

Decoupled Plasma Nitridation 공정 적용을 통한 Negative Bias Temperature Instability 특성 개선

Improvement of Negative Bias Temperature Instability by Decoupled Plasma Nitridation Process

박호우^{1,a}, 노용한²
(Ho-Woo Park^{1,a} and Yong-Han Roh²)

Abstract

In this paper, the established model of NBTI (Negative Bias Temperature Instability) mechanism was reviewed. Based on this mechanism, then, the influence of nitrogen was discussed among other processes. A constant concentration of nitrogen exists inside SiO₂ in order to prevent boron from diffusing and to increase dielectric constant. It was shown that NBTI improvement was achieved by controlling nitrogen profile. It was supposed that the existence of low activation energy of Si-N bonds at Si-SiO₂ interface attributes the improvement by making hydrogen prevent interface traps. It was also shown that improvement of NBTI can be achieved by more effective control of nitrogen profile. It was supposed that the maximum control of nitrogen profile can be achieved by DPN (Decoupled Plasma Nitridation) process.

Key Words : NBTI, Negative bias temperature instability, Nitrogen, DPN, 300 mm, 0.13 um

1. 서론

현재의 반도체 산업은 집적회로 제작에 있어서 괄목할만한 성장을 지속해왔다. 특히 지난 10년간 이러한 성장은 무어의 법칙을 넘어서며[1] 아날로그와 디지털 신호처리가 동시에 일어나는 system-on-a-chip (SOC) 집적과 고성능 제품을 위한 지표라 할 수 있는 최첨단 반도체 산업의 SIA 로드맵을 수없이 수정해왔다. 불과 4년 전만 하더라도 혹자는 반도체 산업이 100 nm 기술에서 벽에 부딪힐 것이라는 주장을 해 왔음에도 불구하고 현재의 최첨단 기술은 65 nm급 반도체의 제조를 가능하게 만들었다. 반도체 제작이 좀 더 진화한

deep-submicron 기술로 이동함에 따라 우리는 다음세대의 SOC와 집적회로 제품을 위해 넘어서야 할 새로운 도전에 맞서게 된다. 이러한 새로운 도전 중에서도 소자의 scale down이 이루어짐에도 불구하고 가장 해결하기 어려운 숙제로 남아있는 것이 바로 제품의 신뢰성과 관련된 문제일 것이다. 또한 제품의 신뢰성 문제 중 최근에 많은 학자와 연구원들에 의해 가장 활발하게 연구되는 것이 바로 negative bias temperature instability (NBTI), 게이트 산화막 누설전류 등이다. 이러한 제품의 신뢰성과 관련된 이슈들을 명확히 규명하지 못하고는 향후 경쟁력 있는 제품을 만들어 내지 못할 것이다. 이러한 이슈들을 해결하여 경쟁력 있는 제품을 만들어 내고자하는 노력은 300 mm 웨이퍼로 갈수록 더욱 치열해 질 것이다. 본 논문에서는 300 mm 웨이퍼 0.13 um 공정의 NBTI 메카니즘 개선을 위해 기존에 제시되었던 NBTI trap 생성 모델들을 살펴보고 또한 NBTI와 공정과의 관련성증질소에 대해 논의하고 마지막으로 NBTI를 효과적

1. 성균관대학교 정보통신공학부/(주) 삼성전자 System LSI 사업부 기술개발실
(경기 용인시 기흥읍 농서리 산24)
2. 성균관대학교 정보통신공학부
a. Corresponding Author : kyuho.park@samsung.com
접수일자 : 2005. 8. 11
심사완료 : 2005. 8. 19

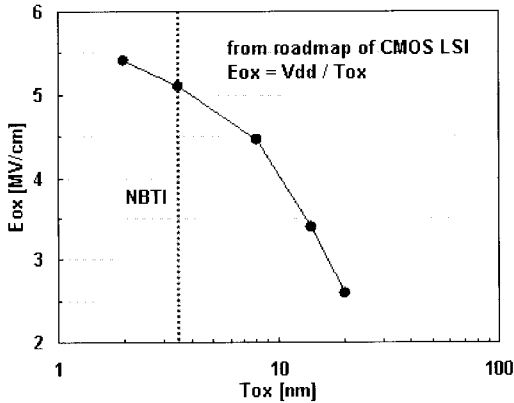


그림 1. 게이트 산화막의 두께에 대한 산화막 전기장.

Fig. 1. Eox applied to gate oxide vs Tox.

으로 개선할 수 있도록 질소 profile의 조절을 위해 decoupled plasma nitridation (DPN) 공정 적용을 제안하고자 한다.

NBTI는 p형 채널 MOS소자에서 상승된 온도조건과 음의 게이트 전압을 인가했을 때 발생한다. 이것은 드레인 포화전류(Idsat)와 트랜스 컨덕턴스(gm)가 감소하고 드레인 누설전류(Ioff)와 문턱전압(Vt)이 증가함을 나타낸다. 이러한 현상에 대한 간략한 이해는 다음과 같이 설명되고 있다. 게이트 산화막에 neagtive bias temperature stress (NBT stress)가 인가되면 산화막과 실리콘의 계면에 interface state와 고정전하가 발생하고 이로 인하여 문턱전압의 변화 및 트랜스 컨덕턴스의 열화가 발생하는 것으로 알려져 있다[2]. 여기서 NBTI를 유발하는 통상의 스트레스 온도는 100-250 °C 범위에 놓여지며, 산화막 전기장은 Hot Carrier를 유발하는 전기장의 아래인 6 MV/cm 아래이다. 이러한 전기장과 온도는 통상적으로 burn-in 조건에서 마주치게 되고 또한 고성능 집적회로가 동작하는 조건에서도 마주치는 조건이므로 제품의 신뢰성에 심각한 영향을 주는 요소이다. 이와 같이 NBTI가 최근에 신뢰성 문제의 화두로 대두되고 있는 이유 중의 하나가 바로 산화막 전기장의 크기 때문이다. NBTI는 산화막 전기장이 6 MV/cm 아래 영역에서 현저해지고 있으며 특히 얇은 산화막 두께를 지니는 CMOS LSI에서 문제가 된다. 이러한 얇은 산화막 두께를 지니는 pMOSFET이 100 °C 이상에서 동작할 때에 nMOSFET에 있어서의 hot carrier injection (HCI)에 의한 특성 열화나 산화막 breakdown에 비하여 pMOSFET에서의 NBTI가

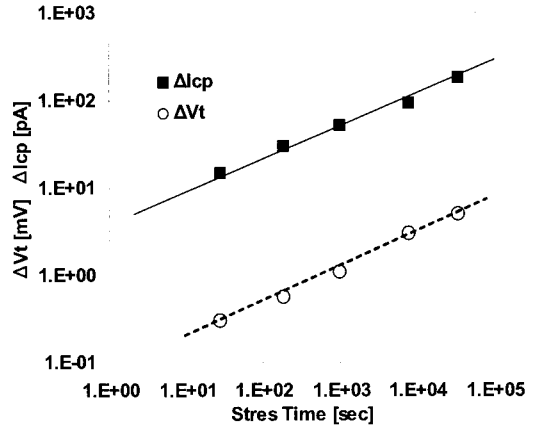


그림 2. pMOSFET에 대한 스트레스에 따른 문턱 전압과 Charge Pumping 전류의 증가.

Fig. 2. Relation between stress time and Vth, charge pumping current of pMOSFET.

소자 신뢰성의 lifetime을 결정하는 주요인이 될 가능성이 크다.

그림 1은 게이트 산화막의 두께에 대한 통상적인 산화막 전기장의 경향을 나타낸다[2]. 여기서 오늘날 회로에 있어서 산화막 전기장의 크기와 산화막 두께는 NBTI를 생성하는 크기임을 알 수 있다.

NBTI가 음의 게이트 전압에 발생하므로 그것은 특히 p+혹은 n+나결정 실리콘 게이트를 가지는 pMOSFET에 불리하다. 최근 발표되는 실험 결과 들은 buried-channel p형 MOSFET가 NBTI에 덜 영향을 받는 것으로 제안되었다. buried channel 채널에서의 개선된 신뢰성은 surface 채널 소자와 비교했을 때 같은 게이트 전압에 대해 산화막 전기장의 크기가 n+와 p+ 게이트의 일 함수 차이로 인해서 줄어들고 또한 n+ 게이트에서는 붕소의 확산이 없고 실제 산화막의 두께도 surface 채널 소자보다 buried-channel 채널에서 더 두껍기 때문으로 설명된다[3]. 따라서 비록 short-channel-effect (SCE) 악화와 여러 공정 문제로 인한 제조상의 어려움이 있을지라도 NBTI와 다른 소자 특성을 개선할 수 있다. 이러한 특성 중 1/f 노이즈는 실리콘과 산화막 계면의 trap으로 인하여 발생하게 되는데 이러한 1/f 노이즈의 감소는 NBTI와 같은 제품의 신뢰성 문제뿐 아니라 특히 이미지 센서 소자에서의 노이즈 특성을 개선할 수 있는 장점이 있다. NBTI 열화의 예는 그림 2에서 보여진다. 그림 2는 스트레스 시간에 따른 함수로써 문턱전압의 변화를 charge pumping 전류로 나타내었다[4].

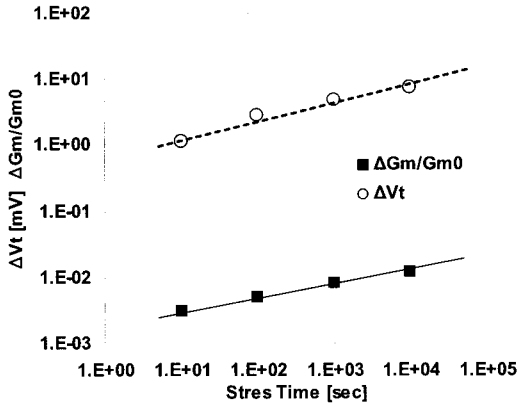


그림 3. pMOSFET 문턱전압과 트랜스 컨덕턴스의 증가.

Fig. 3. Increase of Vth and Gm of pMOSFET.

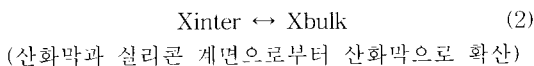
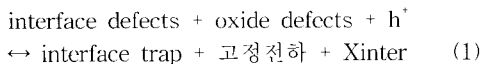
여기서 charge pumping 전류는 열화에 따른 interface trap 밀도의 증가를 측정하는데 사용된다.

명확히 문턱전압 (Vt)과 charge pumping 전류 (Icp)는 모두 비슷한 양만큼 변화되는데 단순히 이는 interface trap이 증가됨을 가리킨다. 그림 3은 문턱전압과 트랜스 컨덕턴스 변화에 대한 비슷한 양상을 보여 준다. 트랜스 컨덕턴스는 스트레스 동안 감소되는 이동도와 연관되어 있다. 이러한 그림들은 일반적인 NBTI 경향을 나타내는데 주로 사용되어지며 대부분의 연구자들의 결과에서 비슷한 결과를 나타내고 있다[4].

2. 본 론

2.1 NBTI TRAP 생성 모델

NBTI 동안에 발생하는 interface trap 생성 모델링에 대하여 기존에 제시된 모델들에 대하여 간략히 살펴보고자 한다. 일반적으로 산화막과 실리콘의 계면에서의 electrochemical 반응은 다음과 같이 알려져 있다[5].



여기서 h^+ 는 정공을 Xinter 및 X bulk는 산화막과 실리콘의 계면과 산화막내의 확산불질을 나타낸다. 이를 그림으로 표현하면 아래와 같다.

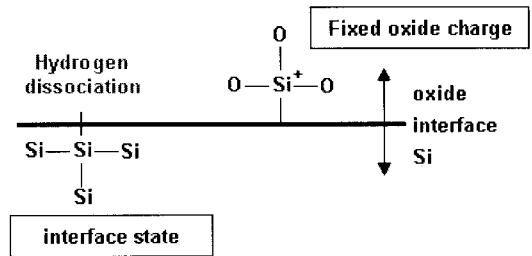
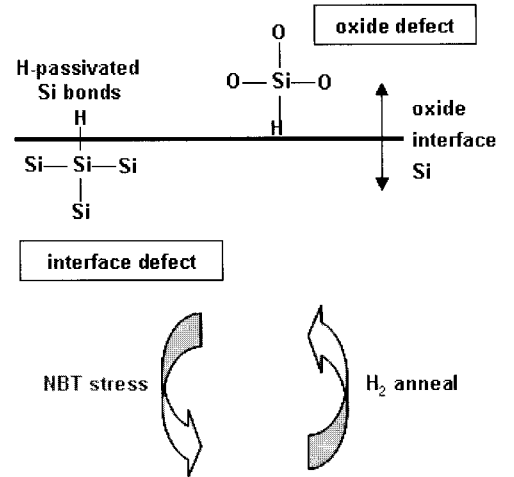
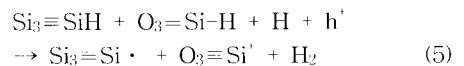
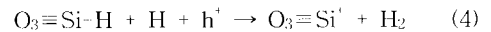
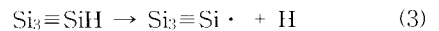


그림 4. Interface state와 고정전하의 생성.

Fig. 4. Generation of interface state and fixed oxide charges.

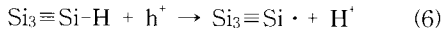
식(1)과 식(2)의 상세한 반응식에 대하여는 학자들 사이에서 여러 가지 논란이 많이 있으나 대표적인 것으로서는 아래와 같은 반응식들이 제안되고 있다.



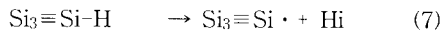
식(3)은 높은 음의 산화막 전기장에 의한 수소 분리를 나타낸다. 식(3)과 식(4)를 결합하면 식(5)의 반응식이 된다. 이를 정성적으로 설명하면 최초 게이트에 음의 전압이 인가되면 실리콘 표면에 정공이 축적되고 축적된 정공들이 산화막으로 주입된다. 이렇게 주입된 정공들은 interface defect과

산화막 결함과 반응하여 동일한 밀도의 interface state와 고정전하를 생성하게 된다. 또한 여기서 분리된 H는 H와 반응하여 H₂가 되고 다시 산화막 속으로 확산한다. 여기서 또한 interface state를 생성하는 모델에 대하여 여러 논문에서 제안이 되고 있는데 그 중 주로 다음의 3가지 모델이 거론되고 있어 이를 소개하면 아래와 같다.

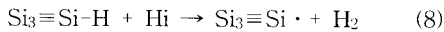
정공에 의한 수소분리[6]



높은 전기장에 의한 수소분리[7]



interstitial 수소 공격[8]



지금까지 여러 논문에서 일반적으로 잘 알려진 NBTI의 trap 생성모델에 대하여 알아보았다. 이러한 기존 모델에 대한 이해를 바탕으로 다음의 공정 영향성을 살펴보고자 한다.

2.2 NBTI와 공정 영향성

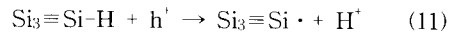
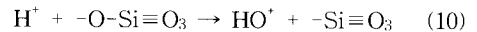
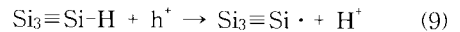
2.2.1 수소

수소는 집적회로 제조과정에 있어서 예를 들면 질화물 테포나 어닐링 공정을 진행하는데 있어서 여러 형태로 산화막내에 포함되는 MOS 집적회로의 산화막내에서 가장 일반적인 불순물이다. 높은 농도는 공정과 어닐링 조건에 의해 좌우되어 존재할 수 있다. 수소는 원자상태 H⁰, 또는 분자 H₂ 또는 양성자 H⁺, OH, H₃O⁺, OH 등 여러 형태로 존재할 수 있다. 최근의 연구는 H⁰는 실리콘과 산화막 모두에서 불안정하여 존재하기 어려운 것으로 확인되었다[9]. 앞서 논의한 바와 같이 수소는 실리콘의 dangling 결합을 덮는 주요 물질이고 SiH 결합의 깨지면서 interface trap을 형성할 때 즉, NBTI 스트레스 동안 중요한 역할을 한다. NBTI 스트레스 동안 이동 가능한 수소이온은 Si-O 결합보다 낮은 활성화에너지를 갖는 Si-N 결합과 결합하려는 경향이 있고 따라서 고정전하를 질화 산화막내에서 형성한다[4].

2.2.2 질소

NBTI에 미치는 공정의 영향성중 질소는 일반적으로 NBTI를 열화시킨다. 질소는 통상 유전율을 증가시키고 hot carrier 특성을 향상시키고

pMOSFET에서 붕소확산을 줄이기 위해 일정 농도 산화막내에 포함된다. 그러나 이렇게 산화막내에 포함된 질소는 NBTI를 열화시키는 경향이 있다[10]. 본 논문에서는 NBTI개선을 위하여 질소의 영향성을 최소화하기 위한 실험을 진행하였다. NBTI에 미치는 질소의 영향성을 좀 더 자세히 알아보면, 실리콘과 산화막 계면과 실리콘과 질화산화막 계면에서는 통상 다음과 같은 반응이 이루어지는 것으로 알려져 있다. 실리콘과 산화막 계면은 식(9)와 식(10)과 같은 반응이 실리콘과 질화산화막 계면은 식(11)과 식(12)와 같은 반응이 일어난다[11].



식(9)의 반응과정을 설명하면 음의 전기장에 의하여 산화막내로 정공이 주입되면 interface state가 생성된다. 또한 실리콘으로부터 떨어져나간 H⁺는 포획되어 고정전하를 만들게 된다. 질화산화막의 경우는 식(11)과 식(12)의 반응을 통하여 마찬가지로 고정전하를 형성하나 활성화에너지가 낮은 질화산화막의 반응식 식(12)가 산화막 반응식 식(10)에 비하여 일어나기 쉬우므로 질화산화막이 고정전하를 생성하기 쉽다.

2.3 실험의 방향

NBTI와 공정영향성중 질소에 대한 평가를 진행하기 위하여 그림 5와 같이 서로 다른 질소농도를 함유한 시료와 또한 GNOX 시료와 DPN 시료와 같이 서로 다른 질소 profile을 지니는 시료로 실험을 진행하고자 한다. 이는 앞에서 밝힌바와 같이 질소에 의한 계면에서의 고정전하 생성을 억제할 경우 NBTI 신뢰성 및 1/f 노이즈에 대하여 개선효과가 있는지 확인하기 위하여 이다. 또한 기존에 알려진 실험결과에서처럼 상부층을 질화시켜 상대적으로 실리콘과 산화막 계면의 질소농도를 감소시킨 경우 문턱전압의 변화량을 효과적으로 감소시킬 수 있었던 결과[12]를 바탕으로 질소 profile을 가장 효과적으로 제어할 수 있는 DPN 공정을 사용하여 실험에 활용하고자 한다.

2.4 시료의 제작

pMOSFET가 그림 6과 같은 공정 순서에 의하여 제작되었다. 게이트 산화막 두께는 여러 질소 농도를 가지면서 2.2 nm 이다. 질소 profile의 영향을 평가하기 위해 GNOX 공정과 Pure Oxide 공정, 그리고 Pure Oxide 공정후 DPN 처리 공정을 진행한 시료를 각각 제작하였다.

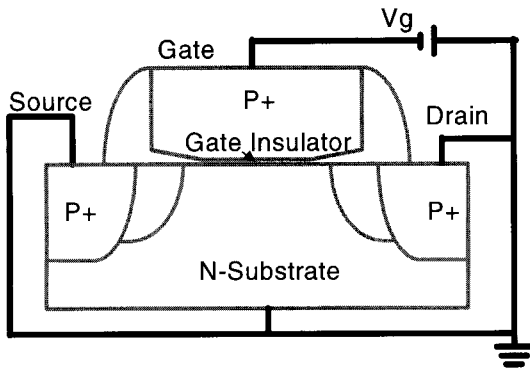


그림 5. NBTI 스트레스 개시도.
Fig. 5. Schematic of NBTI stress.

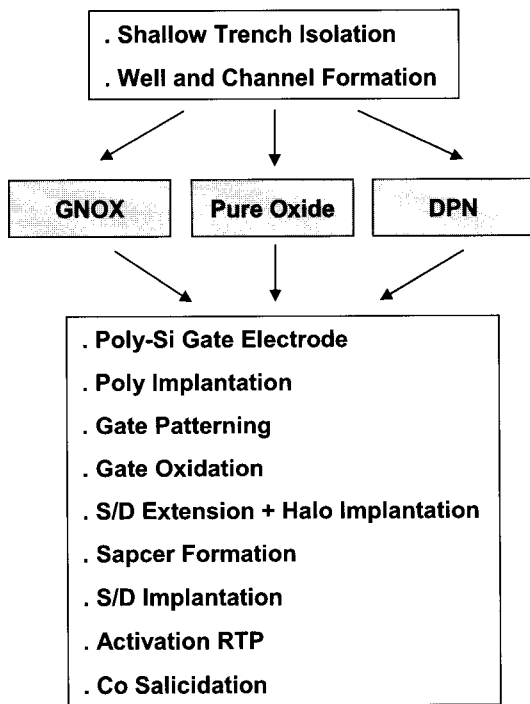


그림 6. 시료제작을 위한 공정흐름도.
Fig. 6. Process flow for experiment.

3. 결과 및 고찰

3.1 시료의 물리적 분석

시료의 물리적 분석을 위하여 DPN적용 시료의 SIMS (Secondary Ion Mass Spectrometry) 분석 및 GNOX 시료와 DPN처리 시료의 TEM (Transmission Electron Microscope) 분석을 진행하였다.

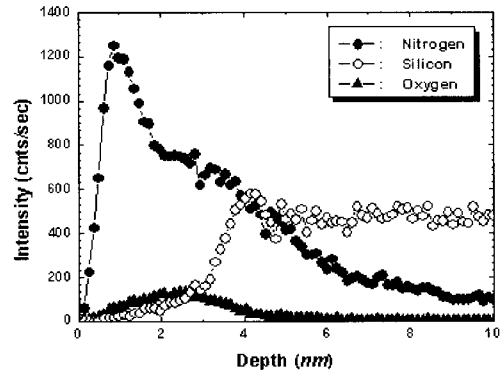
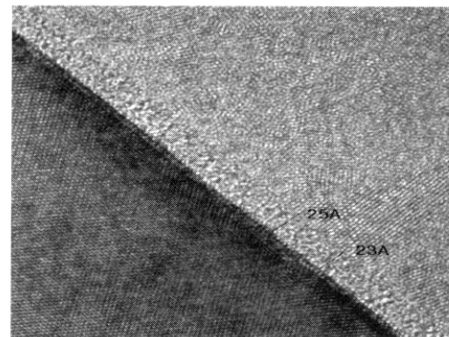
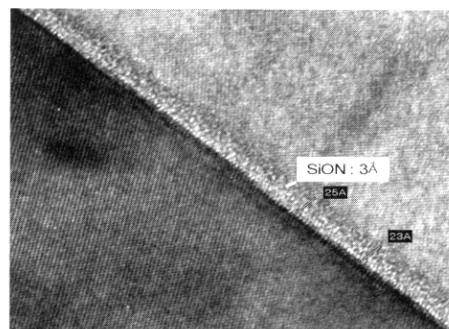


그림 7. DPN처리 시료의 SIMS 분석결과.
Fig. 7. SIMS result of DPN sample.



(a)



(b)

그림 8. TEM 분석결과 (a) GNOX시료, (b) DPN시료.
Fig. 8. TEM result (a) GNOX sample, (b) DPN sample.

그림 7의 SIMS 분석은 산화막내 질소 profile을 보여준다. DPN 시료내에서의 질소 profile의 농도 최고치가 게이트 산화막이 아닌 게이트 전극쪽에 위치함을 알 수 있다. 따라서 NBTI에 대한 질소의 영향성을 최소화할 수 있음을 알 수 있다. 그림 8에서 GNOX 시료와 DPN 시료의 TEM 분석을 진행하였다. DPN 시료의 순수산화막 두께는 19 Å, 질화 산화막의 두께는 약 3 Å임을 알 수 있다.

3.2 시료의 전기적 특성

그림 9는 게이트 누설전류를 측정된 것이다. E.O.T (Equivalent Oxide Thickness) 는 게이트 공핍 효과와 양자 효과를 고려한 것이다[13]. 동일한 E.O.T 에서 DPN 시료의 게이트 누설전류는 GNOX 시료와 비교했을 때 약간 더 우수하였고 일정농도 이상 질소가 함유된 경우 게이트 누설전류에 대한 억제 효과는 GNOX 시료보다 양호할 것으로 예상된다. 또한 그림 10의 NBTI 특성을 나타낼 수 있는 Vth Stability 특성은 DPN시료가 가장 양호하였다. 측정조건은 전압 4.5 V, 온도 170 °C 조건에서 측정하였다.

그림 11 은 DPN 시료와 GNOX 시료의 capacitance-voltage (C-V) 측정 결과 이다. C-V측정을 통하여 평탄전압을 구할 수 있고 또한 NBTI특성을 열화시키는 가장 커다란 요인인 interface trap의 농도를 구할 수 있다. 금번 C-V 측정을 통하여 구한 interface trap 농도는 각각 GNOX 시료의 경우 3.2×10^{12} (#/cm³), DPN 시료의 경우 2.8×10^{12} (#/cm³)으로 DPN이 약간 더 양호함을 알 수 있다. 이는 고정전하를 생성하는 H⁺의 농도가 interface trap

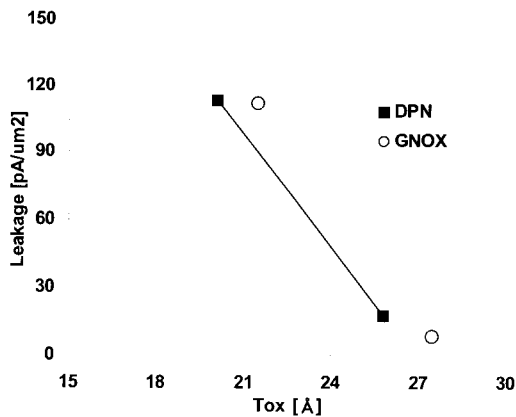


그림 9. GNOX 시료와 DPN 시료의 게이트 누설전류.
Fig. 9. Gate leakage current of GNOX and DPN sample.

농도와 정확히 비례관계에 있으므로 GNOX 시료 대비 상대적으로 낮은 interface trap 농도를 가지는 DPN 시료에서 낮은 고정전하 농도 또한 예측할 수 있다. 또한 C-V 측정결과를 통해 알 수 있듯이 DPN 시료의 질소로 인한 붕소화산 방지효과는 기존 GNOX 시료와 거의 동일한 수준임을 알 수 있다.

그림 12는 DPN과 GNOX 시료의 1/f 노이즈 특성을 비교한 결과이다. DPN시료의 이동도가 GNOX 공정대비 산화막 과 실리콘의 계면사이에서 질소에 의한 영향을 덜 받기 때문에 우수한 특

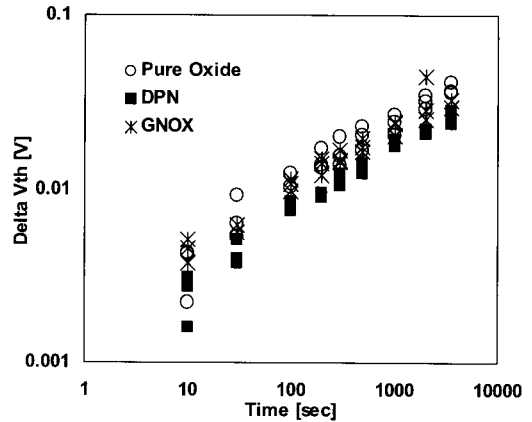


그림 10. 문턱전압 변화치 및 안정도 측정 결과.
Fig. 10. Vth stability of GNOX and DPN sample.

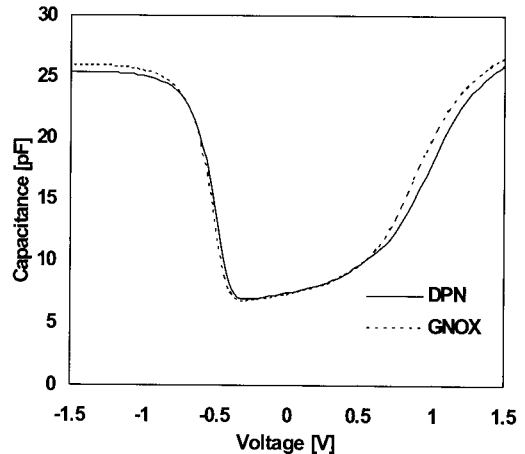


그림 11. GNOX 시료와 DPN 시료의 C-V 측정 결과.
Fig. 11. C-V result of GNOX and DPN sample.

성을 나타내는 것을 확인할 수 있다. 이러한 1/f 노이즈 특성의 개선은 이미지 센서 소자의 노이즈 특성과도 직결되므로 NBTI와 같은 소자 신뢰성의 개선 방향이 궁극적으로는 소자의 특성 개선 방향과도 일치한다고 볼 수 있다.

마지막으로 DPN 시료와 GNOX 시료간의 NBTI 수명시간을 측정하였다. DPN 시료의 경우 양호한 Vth Stability 특성, 낮은 interface trap density, 우수한 1/f noise 특성 확인을 통하여 이미 NBTI 수명시간의 우수함이 예상되었으며 그림 13에서와 같이 질소의 profile이 최적화되지 않은 GNOX 시료 대비 DPN 공정을 통하여 질소 profile의 최적화를 진행한 시료에서 우수한 소자 lifetime을 획득하였다.

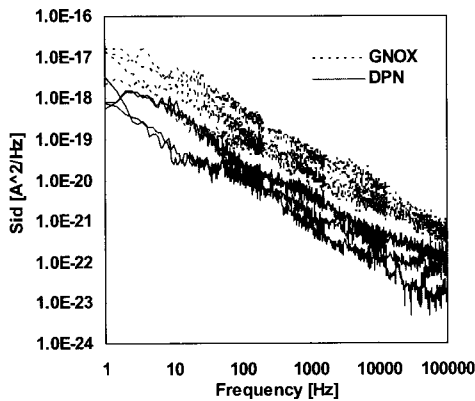


그림 12. GNOX 시료와 DPN 시료의 1/f 노이즈 측정 결과.

Fig. 12. 1/f noise result of GNOX and DPN sample.

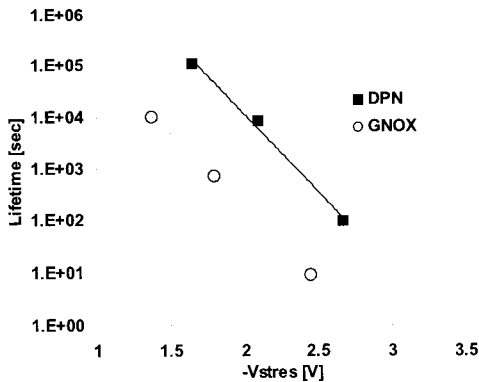


그림 13. GNOX 시료와 DPN 시료의 NBTI 신뢰성.

Fig. 13. NBTI lifetime of GNOX and DPN sample.

4. 결론

본문의 앞부분에서는 NBTI의 메카니즘에 대해서 여러 가지 모델을 제시하였고 이 메카니즘에 대한 이해를 바탕으로 NBTI와 공정의 영향성중 수소, 질소의 영향성에 대해 살펴 보았다. 이중 질소는 붕소화산 방지 유전율의 상승을 목적으로 일정농도 산화막내에 함유되는데 이러한 질소의 profile 조절을 통해 NBTI 특성을 개선함을 알 수 있었다. 이는 Si-N의 낮은 활성화에너지를 갖는 결합들이 실리콘과 산화막의 계면에 존재할 때 수소의 영향으로 interface trap과 고정전하가 생성되는 것을 효과적으로 방지하기 때문에 가능한 것으로 보이며 좀더 효과적인 질소 profile의 조절을 통해 NBTI 특성이 개선 가능함을 알 수 있다. 질소의 profile 조절은 산화막 증착 공정시 NO가스의 조절을 통해서 가능하므로 DPN (Decoupled Plasma Nitridation) 공정을 사용할 경우 최대의 효과를 볼 수 있을 것으로 생각된다.

감사의 글

논문작성 및 연구에 많은 도움을 주신 노용한 교수님께 진심으로 감사드리고 마지막으로 하나님 아버지께 감사드립니다.

참고 문헌

- [1] G. E. Moore, "Progress in digital integrated electronics", IEEE IEDM, No. 21, p. 11, 1975.
- [2] N. Kimizuka, T. Yamamoto, T. Mogami, K. Yamaguchi, K. Imai, and T. Horiuchi, "The impact of bias temperature instability for direct tunneling ultra-thin gate oxide on MOSFET scaling", VLSI Technology Digest of Technical Papers, p. 73, 1999.
- [3] C. Bulucea and D. Kerr, "Threshold voltage control in buried-channel MOSFETs", Solid-State Electron., No. 41, p. 1345, 1997.
- [4] D. K. Schroder and J. A. Babcock, "Negative bias temperature instability: Road to cross in deep submicron silicon semiconductor manufacturing", J. Appl. Phys.,

- No. 94, p. 4, 2003.
- [5] S. Ogawa, M. Shimaya, and N. Shiono, "Interface-trap generation at ultrathin SiO₂ (4-6 nm) Si interfaces during negative-bias temperature aging", J. Appl. Phys., No. 77, p. 1137, 1995.
- [6] C. E. Blat, E. H. Nicollian, and E. H. Poindexter, "Mechanism of negative bias-temperature instability", J. Appl. Phys., No. 69, p. 1712, 1991.
- [7] K. O. Jeppson and C. M. Svensson, "Negative bias stress of MOS devices at high electric fields and degradation of MNOS devices", J. Appl. Phys., No. 48, p. 2004, 1977.
- [8] M. Reed and J. Plummer, "Chemistry of Si-SiO₂ interface trap annealing", J. Appl. Phys., No. 63, p. 5776, 1988.
- [9] C. G. Van de Walle and B. R. Tuttle, "Microscopic theory of hydrogen in silicon devices", IEEE Trans. Electron Devices, No. 47, p. 1779, 2000.
- [10] P. Chaparala, J. Shibley, and P. Lim, "Threshold voltage drift in PMOSFETS due to NBTI and HCI", Integrated Reliability Workshop Final Report, p. 95, 2000.
- [11] N. Kimizuka, K. Yamaguchi, K. Imai, T. Iizuka, C. T. Liu, R. C. Keller, and T. Horiuchi, "NBTI enhancement by nitrogen incorporation into ultrathin gate oxide for 0.10- μ m gate CMOS generation", VLSI Technology, Digest of Technical Papers, p. 92, 2000.
- [12] C. H. Liu, M. T. Lee, L. Chih-Yung, J. Chen, K. Schroefer, J. Brighten, N. Rovedo, T. B. Hook, M. V. Khare, H. Shih-Fen, C. Wann, C. Tze-Chiang, and T. H. Ning, "Mechanism and process dependence of negative bias temperature instability (NBTI) for pMOSFETs with ultrathin gate dielectrics", Electron Devices Meeting, IEDM Technical Digest. International, p. 861, 2001.
- [13] J. R. Hauser and K. Ahmed, "Characterization of ultra-thin oxides using electrical C-V and I-V measurements", Proc. Characterization and Metrology for ULSI Technology Int. Conf., p. 235, 1998.