

공정 및 설계 변수가 고전압 LDMOSFET의 전기적 특성에 미치는 영향

Impacts of Process and Design Parameters on the Electrical Characteristics of High-Voltage DMOSFETs

박훈수^{1,a}, 이영기¹

(Hoon-Soo Park^{1,a} and Young-Ki Lee¹)

Abstract

In this study, the electrical characteristics of high-voltage LDMOSFET fabricated by the existing CMOS technology were investigated depending on its process and design parameter. In order to verify the experimental data, two-dimensional device simulation was carried out simultaneously. The off-state breakdown voltages of n-channel LDMOSFETs were increased nearly in proportional to the drift region length. For the case of decreasing n-well ion implant doses from $1.0 \times 10^{13} / \text{cm}^2$ to $1.0 \times 10^{12} / \text{cm}^2$, the off-state breakdown voltage was increased approximately two times. The on-resistance was also increased about 76 %. From 2-D simulation, the increase in the breakdown voltage was attributed to a reduction in the maximum electric field of LDMOS imolanted with low dose as well as to a shift toward n+ drain region. Moreover, the on- and off-state breakdown voltages were also linearly increased with increasing the channel to n-tub spacing due to the reduction of impact ionization at the drift region. The experimental and design data of these high-voltage LDMOS devices can widely applied to design smart power ICs with low-voltage CMOS control and high-voltage driving circuits on the same chip.

Key Words : LDMOSFET, High-voltage, On-resistance, Drift region

1. 서론

고전압 LDMOSFET (Lateral Double-diffused MOSFET)는 스위칭 속도가 빠르고 전류 구동능력과 on-저항(on-resistance) 특성이 우수하며 집적화에 용이한 평면구조로 CMOS 공정과 호환성이 높은 장점으로 인하여 200 V 이하 전압 범위의 smart power IC 및 고전압 구동 회로와 평판 디스플레이 IC 등의 전력소자 기술 분야에서 적용

범위가 급속히 확대되고 있는 소자이다[1-3]. 지금까지 고 전압 LDMOS 트랜지스터에 대한 기술개발은 주로 미세 패턴 형성 기술을 바탕으로 한 단위소자의 크기 축소와 on-저항 특성을 향상시키는 방법에 대한 연구에 집중되어 왔다[4,5]. 그러나, 고전압 LDMOS는 저전압 CMOS 소자와는 달리 소자 구조가 매우 다양하며, sub-micron CMOS 공정으로 제작된 LDMOS의 경우 소자 설계 및 공정조건에 따라 전기적 특성이 매우 민감하게, 그리고 상호의존적으로 변화한다. LDMOS의 대표적인 상호의존 특성이 항복전압과 전도상태 on-저항 특성이다. 예컨대, 고전압 구동 회로에 요구되는 LDMOS의 전기적 특성은 일차적으로 항복전압을 만족하여야 하지만 항복전압을 증가시키는 경우 on-저항 특성이 나빠지는 현상이 발생하고,

1. 위덕대학교 인터넷IT공학부

(경북 경주시 강동면 산50)

a. Corresponding Author : hspark@uiduk.ac.kr

접수일자 : 2004. 6. 4

1차 심사 : 2004. 6. 17

심사완료 : 2004. 7. 6

on-저항을 감소시키는 경우 off-상태의 항복전압이 감소하고 드레인 전류량이 증가하며 과도한 hot-carrier 발생에 의한 snapback 현상으로 on-상태 항복전압이 감소하는 현상이 발생한다. 또한, LDMOS의 전기적 특성은 공정 조건뿐만 아니라 채널과 표동영역 (drift region)의 길이 및 구조에 따라 매우 민감하게 변화하므로 전기적 특성이 우수한 LDMOS를 구현하기 위해서는 소자구조, 소자 설계 및 공정 등의 최적 조건에 대한 종합적인 연구가 필요하다.

따라서, 본 연구는 기존 twin-well CMOS 기술을 기반으로 고 전압 LDMOS 를 설계/제작하고 공정조건, 소자구조 및 설계치수 변화에 따른 on/off 상태 항복전압과 on-저항 등 전기적 특성의 상대적 변화를 분석하였다. 또한, LDMOS에 대한 2차원 소자 simulation을 수행하여 측정된 전기적 특성과 비교 분석하였다.

2. 실험 및 결과 고찰

본 연구에서는 기존 twin-well CMOS 공정기술을 이용하여 고전압 n-채널 LDMOSFET를 구현하였으며 간략화한 n-채널 LDMOS 소자의 단면구조는 그림 1과 같다. LDMOS 소자제작에 사용한 웨이퍼는 비저항 $6-9 \Omega \cdot \text{cm}$ 인 p-형 웨이퍼이다. Well 형성은 self-aligned twin 방법으로 n-well 이온 주입과 산화막 성장 후 p-well을 이온 주입하고 1150°C , 질소 분위기에서 8시간 drive-in 하였다. 그림 1의 단면 구조와 같이 n-well은 n-채널 LDMOS의 표동영역 역할을 하므로 n-well 농도 변화에 따른 LDMOS의 전기적 특성변화 관계를 관측하기 위해 인 (phosphorous) 이온 주입량을 $1.0 \times 10^{12} - 1.0 \times 10^{13} / \text{cm}^2$ 으로 변화시켜 이온 주입하고, p-well은 붕소 (boron)를 $7.0 \times 10^{12} / \text{cm}^2$ 으로 이온 주입하였다. 드레인 영역의 n-tub 확산은 well 형성 후 LOCOS 격리 공정 전에 추가 마스크를 사용하여 이온 주입하고, 이온 주입한 tub의 확산은 추가 열처리 공정 없이 LOCOS 산화막 성장하는 동안 drive-in 되도록 하여 tub 추가 확산에 의한 well 농도 변화를 배제함으로써 저전압 CMOS 소자를 고전압 LDMOS와 동일 칩 상에 집적하는 경우에도 CMOS 소자의 전기적 파라미터가 변화하지 않게 하였다. 공정 simulation 결과 n-tub를 $1.2 \times 10^{13} / \text{cm}^2$ 으로 이온 주입한 경우 접합깊이는 약 $1.1 \mu\text{m}$, 표면 농도는 약 $1.2 \times 10^{17} / \text{cm}^3$ 으로 나타났다. 다음으로 LOCOS 산화막을 약

6500 \AA 성장하고, 희생 산화막 성장과 문턱전압 조절 이온 주입 후 게이트 산화막을 성장하였다. 게이트 산화막은 저전압 CMOS 소자와 LDMOS가 동일한 두께 175 \AA 으로 성장시켰다. 게이트 산화막 성장 이후의 공정 단계는 기존 CMOS 제작기술과 동일하게 진행하였다. 본 연구의 고 전압 LDMOS 및 저전압 CMOS 소자 구현기술은 기존 CMOS 기술을 기반으로 하고 이중 금속 배선 공정을 기준으로 총 83개의 공정 단계로 진행하였으며, 고 전압 n-채널 LDMOS를 구현하기 위하여 추가된 마스크 수는 1장이며 추가된 공정 단계는 3단계이다. 그림 1의 단면 구조와 같이 n-채널 LDMOS 소자의 항복전압 및 on-저항 특성은 표동영역의 길이, n-well 농도와 채널과 n-tub 사이의 거리등에 의하여 영향을 받는다.

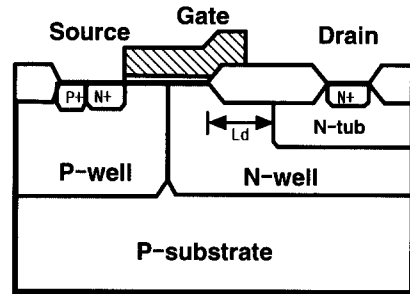


그림 1. CMOS 공정으로 제작한 고 전압 n-채널 LDMOSFET 단면도.

Fig. 1. Cross-section of high-voltage n-channel LDMOSFET fabricated by CMOS process.

그림 2는 채널 폭이 $20 \mu\text{m}$, 표동영역의 필드 산화막 길이 (Fox)가 $5.0 \mu\text{m}$ 이고 n-well을 $7.0 \times 10^{12} / \text{cm}^2$ 으로 이온 주입 조건으로 제작하여 HP4156B 장비로 측정된 n-채널 LDMOSFET의 I_d-V_{ds} 특성곡선이다. 게이트 산화막 두께가 175 \AA 인 LDMOS 소자의 문턱전압은 약 0.6 V 이고, on-저항은 $2.1 \text{ m}\Omega \cdot \text{cm}^2$ 으로 우수하고, off-상태의 항복전압은 약 89.4 V 로 측정되었다. I_d-V_{ds} 특성곡선에서 게이트 인가 전압이 5 V 인 경우 부성 저항특성을 나타내는 것은 게이트와 드레인의 전압 증가에 따른 드레인 전류 밀도와 드레인 전계 (electric field)의 증가로 인하여 드레인 영역의 열 발생이 증가한 joule heating에 의한 영향으로 전자의 이동도가 감소하기 때문이다[6]. 이는 고전압 소자에서 나타나는 일반적 현상이다.

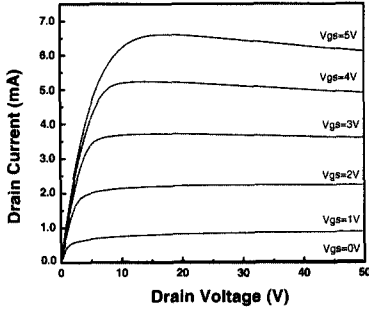


그림 2. 고전압 n-채널 LDMOSFET의 Id-Vds 특성 곡선. (W/L=20/2.4 μm)

Fig. 2. Id-Vds Characteristic curves of high-voltage n-channel LDMOSFET. (W/L=20/2.4 μm)

그림 3은 채널 길이가 2.4 μm 이고, n-well 4.0×10^{12} , p-well $7.0 \times 10^{12} / \text{cm}^2$ 으로 이온 주입한 n-채널 LDMOS에서 표동 영역 길이 변화에 따른 off-상태의 항복전압 변화 특성을 측정된 결과이다. 표동 영역 길이는 드레인 영역의 필드 산화막의 길이로 정의하였으며, off-상태 항복 전압은 게이트 전극을 접지한 상태에서 드레인 전류 1 μA 일 때의 드레인 전압으로 정의하였다. 측정 결과 LDMOS의 표동 영역 길이를 3.5-8.0 μm 로 변화함에 따라 off-상태의 항복전압은 68.4-114.1 V로 증가하였다.

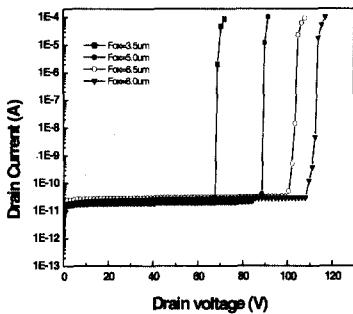


그림 3. 표동영역의 필드 산화막 길이 변화에 따른 n-채널 LDMOSFET의 off-상태 항복 전압 특성.

Fig. 3. Off-state breakdown characteristics of n-channel LDMOSFET for different field oxide lengths in the drift region.

그림 4는 위 소자의 표동영역 길이에 따른 off-상태의 항복전압 및 on-저항 특성 변화 그래프이다. 그림4에서 표동영역의 길이가 증가하는 경우 드레인 영역의 전계가 감소하고 최대 전계가 n+드레인 확산 영역으로 이동함에 따라 항복 전압은 거의 선형적으로 증가하였으나, 표동영역의 길이가 길수록 항복전압이 증가폭은 약간 둔화되었다. 반면 on-저항은 드레인 표동 영역의 저항 증가로 거의 선형적으로 증가하였다.

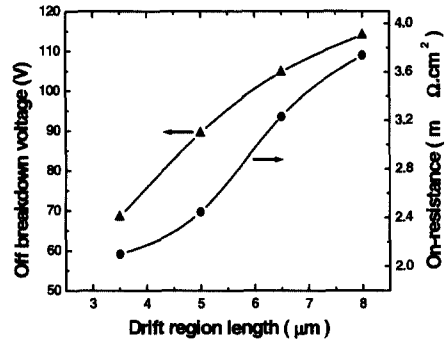


그림 4. 필드 산화막 길이 변화에 따른 LDMOS의 off-상태 항복전압 및 on-저항 특성.

Fig. 4. Off-state breakdown and on-resistance variations with different field oxide lengths in LDMOSFET.

다음으로 n-채널 LDMOS의 표동영역이 되는 n-well의 농도 변화에 따른 LDMOS의 항복 전압 특성을 분석하였다. 그림 5에서 필드 산화막이 5.0 μm 인 LDMOS의 n-well 이온 주입량 변화에 따른 항복전압 측정치와 2차원 소자 simulation 결과와 나타내었다. 그림 5에서와 같이 n-well의 이온 주입량을 $1.0 \times 10^{13} / \text{cm}^2$ 에서 $1.0 \times 10^{12} / \text{cm}^2$ 으로 감소한 경우 항복전압은 62.3-118.1 V로 증가하였으며, 이것은 n-well 농도가 낮을수록 드레인 전계가 감소하고 최대 전계 영역도 n+ 드레인 전극 쪽으로 이동하여 충격 이온화가 감소하기 때문이다. 한편, 측정값과 simulation결과와는 약 10% 정도의 오차가 발생하였다.

그림 6에서는 n-well을 $1.0 \times 10^{13} / \text{cm}^2$ 와 $1.0 \times 10^{12} / \text{cm}^2$ 으로 이온 주입한 경우 드레인 영역의 전계 분포를 simulation한 결과이다. 그림의 전계 분포는 소스 전극에서 횡방향으로 전계의 첨두치가 발생하는 방향의 전계값을 나타내었다. N-well을 $1.0 \times 10^{13} / \text{cm}^2$ 으로 이온 주입한 경우 최대 전계

(5.3×10^5 V/cm)가 필드 산화막 코너에 형성되었으나, 1.0×10^{12} /cm²으로 이온 주입한 경우 필드 산화막 코너의 전계가 감소함과 동시에 최대 전계 영역이 n-tub 영역으로 이동하였음을 알 수 있다. 따라서, n-well 이온 주입량이 높은 경우 항복 현상은 전계가 밀집한 필드 산화막 코너부에서 발생하고 이온 주입량이 낮은 경우 드레인 전계가 n-tub 영역으로 이동하여 분산되고 절대값도 낮아지므로 항복전압은 증가하게 되는 것으로 사료된다.

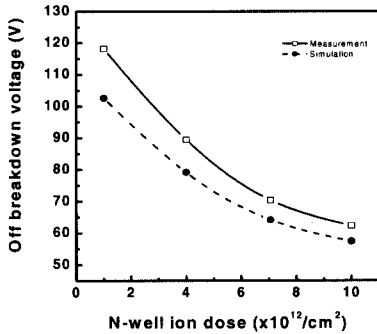


그림 5. N-well 이온 주입량 변화에 대한 off-상태 항복전압 측정값과 simulation 결과.

Fig. 5. Measured and simulated off-state breakdown voltages for the various n-well ion implant doses.

그림 7은 필드 산화막이 5.0 μm이고, n-well 4.0×10^{12} /cm², p-well 7.0×10^{12} /cm²으로 이온 주입한 LDMOS에서 n-tub와 필드 산화막과의 설계 치수(그림 1의 Ld 길이)가 다른 경우의 off- 및 on-상태 항복 전압 변화를 측정된 그래프이다. On-상태 항복 전압은 게이트 인가 전압이 5V인 상태에서 드레인 전류가 급격히 증가하는 드레인 전압값으로 측정하였다. 그림7에서와 같이 Ld가 증가하는 경우 최대 전계가 감소하고 전계 분포가 n+영역으로 분산되어 항복 전압이 증가한다. 한편, LDMOS의 on-상태 항복 전압도 n-tub의 길이에 비례하여 증가하였다. LDMOS의 on-상태 항복 현상은 다음과 같이 설명된다. 드레인 인가 전압 증가에 따라 드레인 전계가 증가하여 충격 이온화가 증가한다. 충격 이온화에 의하여 발생한 전공(hole)이 기판으로 주입되어 기판 전위를 증가시켜 소스(n+)-기판(p)-드레인(n/n+)으로 형성되는 기생 lateral npn 바이폴라 트랜지스터가 전도상태가 되는 snap-back 현상으로 발생하고 [7], 소자는 회복 불능의 파괴 상태가 된다.

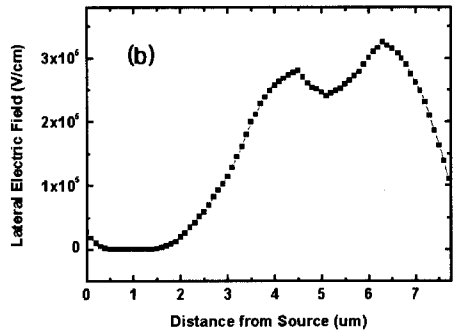
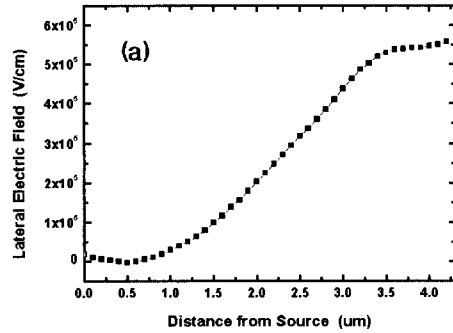


그림 6. N-well 이온 주입량에 대한 횡방향 전계 분포 simulation 결과, N-well 이온 주입량 (a) 1.0×10^{13} /cm², (b) 1.0×10^{12} /cm².

Fig. 6. Longitudinal electric field distributions for different n-well implantation dose, (a) 1.0×10^{13} /cm², (b) 1.0×10^{12} /cm².

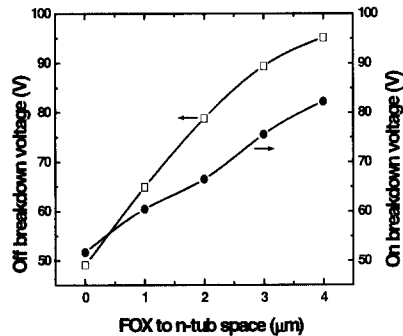


그림 7. 필드 산화막과 n-tub 간격 변화에 대한 LDMOSFET의 off-/on-항복 전압 특성.

Fig. 7. Off-/on-state breakdown voltage characteristics depending on different field oxide to n-tub spacing.

이상과 같이, 본 연구에서는 공정 및 소자 설계 조건을 바탕으로 고 전압 LDMOSFET의 전기적 특성 분석 결과를 제시하였다. 상기에 기술한 고 전압 LDMOS는 저 전압 5V CMOS 소자를 동일 칩상에 제작할 수 있기 때문에 저 전압 제어 회로와 고 전압 구동 회로가 동시에 존재하는 다양한 회로 설계가 가능할 것으로 판단된다.

3. 결론

본 연구는 기존 twin-well CMOS 기술을 기반으로 저 전압 CMOS 소자와 동일 칩상에 구현할 수 있는 고 전압 LDMOS를 설계/제작하고, LDMOS 공정조건 및 설계치수 변화에 따른 on/off-상태 항복전압과 on-저항 등 전기적 특성 변화를 분석하였으며, 2차원 소자 simulation을 수행하여 측정된 전기적 특성과 비교 분석하였다. 고 전압 n-채널 LDMOS를 구현하기 위하여 추가된 마스크 수는 1장이며, n-well 4.0×10^{12} , p-well $7.0 \times 10^{12} / \text{cm}^2$ 으로 이온 주입한 n-채널 LDMOS에서 표동 영역 길이가 3.5 - 8.0 μm 로 변화함에 따라 off-상태의 항복전압은 68.4 - 114.1 V로 증가하였으며, on-저항은 약 76 % 증가하였다. 80 V 이상의 항복전압을 얻기 위해서는 필드 산화막 길이가 5.0 μm 이상 되어야 함을 알 수 있었다. 한편, n-채널 LDMOS의 표동영역 역할을 하는 n-well을 $1.0 \times 10^{13} / \text{cm}^2$ 과 $1.0 \times 10^{12} / \text{cm}^2$ 으로 이온 주입량을 감소한 경우 off-상태 항복전압은 62.3 - 118.1V로 약 2배 증가하였다. 전계 simulation 결과 n-well을 $1.0 \times 10^{13} / \text{cm}^2$ 으로 이온 주입한 경우 최대 전계 ($5.3 \times 10^5 \text{ V/cm}$)가 필드 산화막 코너에 형성되었으나, $1.0 \times 10^{12} / \text{cm}^2$ 로 낮춘 경우 필드 산화막 코너의 최대 전계 ($2.8 \times 10^5 \text{ V/cm}$)가 감소함과 동시에 최대 전계 영역이 n-tub 영역으로 이동하였음을 알 수 있다. 따라서, n-well 이온 주입량이 낮은 경우 드레인 전계가 n-tub 영역으로 이동하여 분산되고 절대값도 낮아지므로 항복전압이 증가하게 되는 것으로 사료된다. 또한, n-tub와 필드 산화막과의 설계 치수가 다른 경우의 off- 및 on-상태 항복 전압 변화를 측정된 결과 필드 산화막과 n-tub의 길이가 증가하는 경우 최대 전계가 감소하여 항복 전압이 증가함과 동시에 드레인 전계 감소로 충격 이온화에 의한 캐리어 발생이 감소하여 on-상태 항복 전압도 n-tub의 길이에 비례하여 증가하였다. 본 연구에서는 공정 및 소자 설계 조

건을 바탕으로 고 전압 LDMOSFET의 전기적 특성 분석 결과를 제시하였다. 상기에 기술한 고 전압 LDMOS는 저 전압 5 V CMOS 소자를 동일 칩상에 제작할 수 있기 때문에 저 전압 제어 회로와 고 전압 구동 회로가 동시에 존재하는 다양한 회로 설계가 가능할 것으로 판단된다.

감사의 글

본 연구는 한국과학재단 목적기초연구(R01-2002-000-00507-0) 지원으로 수행되었음.

참고 문헌

- [1] L. Vestling, B. Edholm, J. Olsson, S. Tiensuu, and A. Soderbrag, "A novel high-frequency LDMOS transistor using an extended gate RESURF technology", Proceeding of ISPSD '97, p. 45, 1997.
- [2] P. G. Tsui, P. V. Gilbert, and S. W. Sun, "Integration of power LDMOS into a low-voltage 0.5 μm BiCMOS technology", IEEE IEDM Digest, p. 27, 1992.
- [3] 문승현, 강이구, 성만영, 김상식, "스마트 파워 IC를 위한 P+ Driver 구조의 횡형 트랜치 IGBT", 전기전자재료학회논문지, 14권, 7호, p. 546, 2001.
- [4] D. Ueda, H. Takagi and G. Kano, "An ultra-low on-resistance power MOSFET fabricated by using a fully self-aligned process", IEEE Transaction on Electron Devices, Vol. ED-34, No. 7, p. 926, 1987.
- [5] 강이구, 성만영, "레치업 특성의 개선과 고속 스위칭 특성을 위한 다중 게이트 구조의 새로운 LIGBT", 전기전자재료학회논문지, 13권 5호, p. 371, 2000.
- [6] U. Lindefelt, "Heat generation in semiconductor devices", Journal of Applied Physics, Vol. 75, No. 2, p. 942, 1994.
- [7] D. W. Lee, T. M. Ro, J. Kim, J. G. Koo, K. S. Nam, and H. S. Park, "Effects of drain structures on the hot-carrier degradation of high-voltage LDMOS transistors", Journal of the Korean Physical Society, Vol. 34, June, p. 542, 1999.