

ICP 식각 시스템에 의한 초전도 스트립 라인의 임계 특성 분석

Analysis of the Critical Characteristics in the Superconducting Strip Lines by ICP Etching System

고석철¹, 강형곤^{2,a}, 최효상³, 양성채¹, 한병성¹

(Seok-Cheol Ko¹, Hyeong-Gon Kang^{2,a}, Hyo-Sang Choi³, Sung-Chae Yang¹, and Byoung-Sung Han¹)

Abstract

Superconducting flux flow transistor (SFFT) is based on a control of the Abrikosov vortex flowing along a channel. The induced voltage by moving of the Abrikosov vortex in an SFFT is greatly affected by the thickness, the width, and the length of channel. In order to fabricate a reproducible channel in the SFFT, we studied the variation of the critical characteristics of $YBa_2Cu_3O_{7-\delta}$ (YBCO) thin films with the etching time using ICP (Inductively coupled plasma) system. From the simulation, it was certified that the vortex velocity was increased in a low pinning energy at channel width 0.5 mm. The surfaces of YBCO thin film were etched by ICP etching system. We observed the etched channel surfaces by AFM (Atomic Force Microscope) and measured the critical current density with etching time. As a measured results, the etching thickness of channel should be optimized to fabricated a flux flow transistor with specified characteristics.

Key Words : SFFT, ICP etching system, AFM, Abrikosov vortex

1. 서론

영저항 특성을 갖는 고온 초전도체의 발견은 기존 반도체 분야의 한계를 극복할 수 있는 새로운 가능성을 열어 놓았다. 전자회로에서 초전도체의 응용은 기존의 반도체 트랜지스터와 같은 특성을 갖는 3단자 소자의 제작이다[1,2]. 현재 발표된 3단자 소자 모델은 초전도체를 베이스로 하는 SBT (Superconducting Base Transistor) 타입, 유전체를 베이스로 하는 DBT (Dielectric Base Transistor) 타입, 초전도체를 직접 채널로써 사용하는 SuFET (Superconducting Field-Effect Transistor) 타입, 혼합상태에서 볼텍스를 이용하는 SFFT

(Superconducting Flux Flow Transistor) 타입, 변형된 형태의 여러 트랜지스터들이 연구되고 있다.

이중 SFFT는 다른 초전도 트랜지스터의 제작 방법과는 달리 여러층을 쌓을 필요가 없어 가장 실용 가능성이 높은 초전도 트랜지스터 소자로 분류되고 있다[3]. 이것은 볼텍스를 형성할 수 있도록 약결합을 인위적으로 만들어 채널층으로 사용한다. 약결합 제작은 SFFT 특성에 큰 영향을 끼치므로 재현성 있는 채널 제작이 아주 중요하다[4,5]. 채널을 갖는 SFFT를 제작하기 위해서는 화학적인 방법에 의한 습식식각과 고밀도 플라즈마에 의한 건식식각을 사용해야 한다.

브롬수 (Br)나 인산 (HNO_3)과 같은 화학 용액을 이용하는 습식식각에서는 반응속도가 용액농도에 비례한다. 초전도 박막의 크기가 큰 경우 기판 중심 부분의 용액농도가 가장자리에 비해 적기 때문에 중앙부분이 가장자리보다 식각속도가 느리다. 또한, 시료의 식각두께는 식각시간에 의해서도 상당한 변화를 받기 때문에 식각용액마다 최적의 식각 농도를 설정해 둘 필요가 있다. HF (Hydro-

1. 전북대학교 전자정보공학부
(전북 전주시 덕진동 1가 664-14)
2. 전북대학교 기초과학연구소
3. 조선대학교 전기공학과
a. Corresponding Author : joshmoses@hanmail.net
접수일자 : 2004. 5. 3
1차 심사 : 2004. 5. 31
심사완료 : 2004. 6. 2

fluoric acid), EDTA (Ethylenediaminetetra acetic acid), HNO₃, H₃PO₄ 용액이나 브롬수 용액을 이용하여 시간에 따른 식각깊이, 임계온도 및 임계전류 특성변화에 대한 연구가 발표되었다[6]. 습식식각 방법들의 단점은 수직방향뿐만 아니라 수평방향으로도 식각이 진행되는 언더컷 (under-cut) 현상이 발생한다. 따라서 이를 감안하여 식각 시 마스크의 초기 선폭을 미리 조정해야 한다. 또한 습식식각은 공정중에 초전도체와 수분과의 접촉으로 초전도 특성이 저하되기 때문에 질소가스를 이용하여 수분을 빨리 제거해야 하며, 마이크로 단위나 나노단위의 선폭을 가지는 미세 회로의 제작에는 적당하지 않다. 따라서 SFFT의 핵심부분인 미세채널을 제작하기 위해서는 플라즈마를 이용한 유도결합형 플라즈마 (Inductively Coupled Plasma : ICP)와 같은 건식식각법을 사용해야 한다[7-9]. ICP 식각은 구조가 간단하고 고밀도 플라즈마를 발생시킬 수 있으며, 대면적화가 용이하고 이온밀도와 이온 에너지를 독립적으로 조절할 수 있는 이점을 가지고 있다. 또한 이온 가스의 높은 직진성으로 인해 충분히 재현성 있는 SFFT를 제작할 수 있다.

본 연구에서는 SFFT를 제작하기 위한 기초연구로서, 임계전류를 측정하기 위해 패턴을 형성하였으며, ICP 시스템으로 채널부분을 식각하여 식각 시간에 따른 식각깊이 변화를 조사하였다. 원자력 주사현미경 (Atomic Force Microscope : AFM) [10] 표면분석을 통해 ICP에 의해 식각된 초전도 스트립 라인의 표면변화와 거칠기를 각각 관찰하였다. 채널의 식각깊이 변화에 따른 전류-전압 방정식을 세워 임계전류밀도를 시뮬레이션하였다. 또한, 채널폭에서 피닝 (pinning) 에너지에 따른 바이어스 전류 대 볼텍스 속도변화를 계산하였다. 식각깊이에 따른 임계전류밀도 특성변화를 측정값을 근거로 시뮬레이션 하였으며, 그 결과값을 비교 분석하였다. 본 연구에서 분석된 최적 식각 조건들은 우수한 특성을 갖는 SFFT를 설계/제작할 때 기초 자료로 활용코자 하였다.

2. 실험 방법

채널 두께에 따른 임계전류밀도를 측정하기 위해 포토리소그래피 공정과 습식식각 방법으로 초전도 박막에 스트립 라인, 전압단자 및 바이어스 전류 단자의 패턴을 그림 1과 같이 형성시켰다. LaAlO₃ 기판 위에 약 800 nm 두께로 YBa₂Cu₃O_{7-δ}

(YBCO)가 증착된 박막을 스핀코터를 이용하여 AZ6612 포토레지스터를 도포하였다. 90 °C 온도의 hot plate에 2분간 soft baking을 실시하고 노광기를 이용하여 초전도 박막 위에 도포된 포토레지스터층에 자외선을 노광한 후 현상액에 7초 정도 담가 노광된 포토레지스터층을 제거하였다. 광학현미경으로 식각된 포토레지스터층을 관찰 한 후 다시 hot plate에서 120 °C 온도로 2분간 hard baking을 실시하고, 1 %의 인산 수용액에 시편을 40초 이상 담가 포토레지스터 층이 없는 부분의 초전도 박막을 제거하여 채널부분을 제외한 두께 d 를 갖는 스트립 라인의 형상을 제작하였다. 최종적으로 남아있는 포토레지스터를 아세톤으로 제거하고, 시편에 남아있는 아세톤을 제거하기 위해 이소프로필알콜에 담근 후 질소로 불어내었다. ICP 시스템을 이용하여 가장 핵심 부분인 채널을 제작하기 위해서 포토리소그래피 공정을 다시 한번 반복하였다. 스트립 라인의 중앙부분을 ICP로 식각하기 위해서 스트립 라인의 채널부분은 두 번째 마스크를 사용하여 리소그래피를 행하였다. 그림 1은 채널의 임계전류를 측정하기 위해 제작된 패턴을 보여주고 있다. 약결함으로 되어 있는 채널은 가장 중요한 부분으로서 전압단자의 중간부분에 있다. 채널폭 w 가 0.5 mm, 채널길이 L 을 1 mm로 제작하였다. 그림 1 안에 삽입된 채널의 확대 사진은 ICP 시스템에 의해 식각된 채널의 광학 현미경 사진을 보여주고 있다.

그림 1. ICP 식각 시스템에 의해 식각된 채널의 임계전류밀도 분석을 위한 패턴 형성.

Fig. 1. A pattern for analyzing the critical current density of etched channel by ICP etching system.

채널부분의 식각은 ICP 시스템을 사용하여 30 초, 40초, 50초씩 식각하였다. ICP 식각시간에 따른

식각깊이를 알파스텝을 사용하여 측정하였고, 식각된 표면을 AFM으로 측정하였다. 식각시간이 각각 다른 시료를 그림 2와 같은 I-V 자동 측정 시스템을 사용하여 임계전류를 측정하였다.

자동 측정 시스템은 프로그램을 탑재하고, GPIB 보드가 장착된 PC와 직류전원공급장치, 측정 샘플에 대한 임계 온도, 전류, 전압 및 저항값을 측정하기 위한 나노미터로 구성되어 있다. 측정 프로그램 사용자 인터페이스를 통해 확보된 데이터를 바탕으로 직류전원공급기를 제어하여 원하는 전류 및 전압값을 공급한다. 나노미터를 통해 전류, 전압, 저항, 온도 등의 현재값을 즉시 확인해 보거나, 주어진 전류, 전압값을 가지고 전원을 공급한 후 체크된 전류, 전압, 저항, 온도 항목에 대한 측정 장치의 응답값을 측정한다. 측정결과 기준값과 프로그램을 통해 얻어진 값으로부터 임계 특성에 대한 비교 분석을 수행한 후 그 결과를 데이터베이스화한다. 이렇게 구성된 자동 측정 시스템을 이용하여 ICP 식각 시스템에 의해 제작된 시료를 홀더 끝부분에 4단자법으로 접속하여 임계특성을 측정하였다. 이때 임계 온도 이하로 낮추기 위해 액체 질소를 사용하였다.

그림 2. 자동 측정 시스템 구성도.

Fig. 2. Schematic of automatic measurement system.

3. 실험결과 및 고찰

3.1 스트립 라인의 전류-전압 방정식

혼합상태에서 자계에 의해 불텍스가 형성되어 전류는 이 불텍스들을 이동시키기 때문에 에너지 소비가 발생된다. 식각된 채널두께 d_1 , 채널 거리 L , 채널 폭 w 을 갖는 채널부분에서 불텍스가 거동할 때 출력단자에서 유기되는 전압 크기는 다음과 같이 표현될 수 있다[2].

$$V_{out} = \frac{d\phi}{dt} = B \frac{dS}{dt} = Bv_L L = \frac{N_{vortex}}{S} \phi_0 v_L L = nL v_L \phi_0 \quad (1)$$

여기서 ϕ 는 채널에서의 자속이고, t 는 시간, B 는 자속밀도, S 는 채널의 단면적, N_{vortex} 는 불텍스의 개수이다. n 은 불텍스 표면 밀도이고, v_L 은 불텍스 평균 속도이다. ϕ_0 는 자속의 최소단위인 양자속이다. 수정된 London 방정식으로부터 채널 부분의 가장자리 방향으로 불텍스 표면 밀도는 식 (2)로 나타낼 수 있다.

$$n\left(\frac{w}{2}\right) = \frac{\mu_0 [I_b - I_{cr}]}{2\phi_0 d_1} \quad (2)$$

여기서 I_{cr} 는 채널 부분의 임계전류이고, 핵의 주위를 도는 영구전류의 불텍스와 같다고 가정할 수 있다. 또한, 자속 열유동 지역에서 불텍스 속도는 다음 식(3)과 같이 표현된다.

$$v_L = \frac{2k_B T \delta}{\hbar} \exp\left(-\frac{E_p}{k_B T}\right) \sin\left[\frac{I_b}{(w k_B T / (\delta \phi_0))}\right] \quad (3)$$

여기서 \hbar 와 k_B 는 각각 플랑크 상수와 볼츠만 상수를 의미한다. 또한, T 와 E_p 는 절대온도와 핀고정 에너지를 의미한다. δ 는 피닝 에너지 거리를 나타낸다.

그림 3은 채널폭이 0.5 mm 이었을 때 피닝 에너지에 따른 바이어스 전류 대 불텍스 속도를 보여주고 있다.

그림 3. 일정한 채널폭에서 피닝 에너지에 따른 바이어스 전류 대 불텍스 속도.

Fig. 3. Vortex velocity vs bias current as a function of pinning energy in constant channel width.

바이어스 전류를 증가함에 따라 피닝 에너지가 작은 값에서 볼텍스 속도가 더 커짐을 보였다. 이는 ICP 식각 시스템에 의해 식각된 채널두께 d_1 을 더 얇게 했을 때 자속의 침투깊이는 더 증가하여 볼텍스 속도가 더 커짐을 의미한다. 식 (1)~(3)로부터 채널에 유기되는 전압방정식을 정리하면 다음과 같다.

$$V_{out} = \left\{ \frac{\mu_0 L k_B T \delta \exp(-E_p/k_B T)}{d_1 \hbar} \right\} \{I_b - I_{cr}\} \times \sin h \left[\frac{I_b}{(w k_B T / (\delta \phi_0))} \right], \text{ for } I_b > I_{cr},$$

$$= 0, \text{ for } I_b \leq I_{cr}. \quad (4)$$

침투깊이는 임계전류 I_{cr} , 식각된 채널두께 d_1 , 가간섭 길이 ξ , 채널폭 w 의 함수로 표현할 수 있다.

$$\frac{(\mu_0 I_{cr})}{\left\{ 4d_1 \left[\frac{1}{2} + \frac{\lambda}{d_1} \left(\frac{\sqrt{2} \sinh(d_1/\sqrt{2}\lambda)}{1 + \cosh(d_1/\sqrt{2}\lambda)} \right) \right] \right\}}$$

$$= \left\{ \frac{[\phi_0/(4\pi\lambda^2)]}{\sqrt{\frac{\pi w}{4d_1}}} \right\} \times \ln \left(\frac{\lambda}{\xi} \right) \quad (5)$$

식 (5)로부터 임계전류, 채널두께, 가간섭 길이, 채널폭이 주어지면 침투깊이를 계산할 수 있다. 일반적으로 가간섭 길이는 초전도 박막의 면에 비례하며, YBCO 초전도체에서 1.5 nm 값을 가진다.

3.2 시뮬레이션 및 실험결과 고찰

ICP 식각 시스템을 이용하여 스트립 라인의 채널을 식각하였으며, 측정된 값을 바탕으로 한 컴퓨터 시뮬레이션 값을 표 1에 정리해서 나타냈다.

그림 4는 ICP 식각 시스템을 사용하여 각기 채널의 식각 두께를 달리하여 채널 부분을 식각한 시료의 임계전류를 나타내고 있다. 전류-전압 방정식의 변수 중에서 식각된 채널두께가 유기전압에 큰 영향을 끼친다. I - V 임계특성 곡선으로부터 채널에 식각을 더 많이 할수록 임계전류밀도가 더 낮은 값을 갖는다.

그림 5는 LaAlO_3 기판 위에 증착된 800 nm 초전도 박막 두께가 ICP 식각 시스템에 의해 식각시간에 따라 식각된 채널깊이를 보여주고 있다. 식각시간이 각각 30초, 40초, 50초였을 때 식각된 깊이

는 각각 30 nm, 50 nm, 100 nm 이었다. 각 시간에 따라 식각 깊이가 비례함수적으로 증가하지 않고 지수함수적으로 증가하는 것을 보여주고 있다. 초기에는 식각이 약하게 일어나다가 점차적으로 식각이 빠르게 진행됨을 보여주었다. 이는 식각 초기에는 Ar 및 Cl_2 이온들이 충분하게 생성되어 있지 못하다가 rf 파워가 증가함에 따라 ICP 코일에 의해 생성된 이온들을 기관쪽으로 강하게 끌어당김으로 인해 식각율이 증가된 것으로 생각된다.

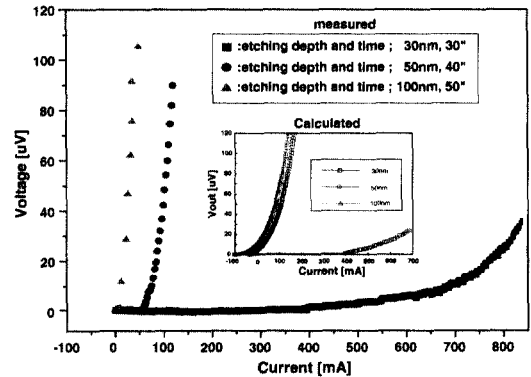


그림 4. ICP에 의한 식각된 채널두께와 식각시간에 따른 전압-전류 곡선.

Fig. 4. Voltage-current curves as a function of etched channel thickness and etching time by ICP etching system.

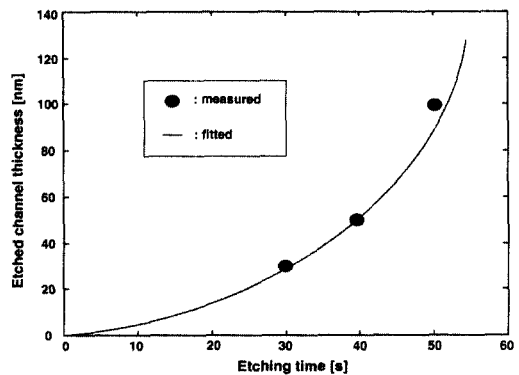


그림 5. ICP 식각 시스템에 의한 식각시간에 따른 식각된 채널두께.

Fig. 5. Etched channel thickness as a function of etching time by ICP etching system.

표 1. 임계특성 해석을 위한 파라미터 조건.
Table 1. Condition of parameters for analysis of the critical characteristics.

Parameter	value	Parameter	value
ϕ_0	2.07×10^{-15} [weber]	30초 식각후 채널두께	770×10^{-9} [m]
h	6.63×10^{-34} [J·sec]	40초 식각후 채널두께	750×10^{-9} [m]
k_B	1.38×10^{-23} [J/deg]	50초 식각후 채널두께	700×10^{-9} [m]
L	1×10^{-3} [m]	30초 식각후 침투깊이	5.4×10^{-9} [m]
d	0.8×10^{-6} [m]	40초 식각후 침투깊이	1.93×10^{-8} [m]
μ_0	$4\pi \times 10^{-7}$ [F/m]	50초 식각후 침투깊이	5.02×10^{-8} [m]
T	77[K]	30초 식각후 임계전류	400×10^{-3} [A]
δ	2.15×10^{-9} [m]	40초 식각후 임계전류	63×10^{-3} [A]
w	0.5×10^{-3} [m]	50초 식각후 임계전류	13×10^{-3} [A]

ICP 식각 시스템에 의해 식각된 샘플표면의 이미지를 관찰하기 위해 AFM 표면 분석 사진을 그림 6에 나타냈다. 원 시료의 초전도 박막 실험 표면 거칠기가 6 nm 이었다가 식각시간이 증가함에 따라 15.8 nm, 22 nm 그리고 50초에서는 다시 12.8 nm로 감소하였다. 식각 초기단계에서 거칠기가 점점 증가하다가 다시 식각시간이 증가함에 따라 감소함을 알 수 있다. 이는 초전도 표면의 식각이 전체적으로 고르게 이루어지는 것이 아니라 표면의 경도가 약한 부분부터 먼저 식각이 되고 점차 식각시간이 증가함에 따라 경도가 강한 부분도 식각이 되기 때문이다. 특히 YBCO 초전도체는 단일 성분으로 이루어진 초전도체가 아니라 Y, Ba, Cu 로 인한 산화물이기 때문에 이러한 경향이 나타난다고 생각된다.

표 2는 ICP 식각 시스템에 의한 식각깊이 따른 임계전류밀도를 요약한 것이다. ICP 식각 시스템에 의한 채널 식각시간이 50초에서 비록, 채널두께는 얇아졌지만 임계전류가 크게 감소하였다. 이는 너무 오랜 시간 초전도체가 플라즈마 상태에 노출되게 되면 초전도 임계특성이 크게 저하되어 바이어스 전류를 조금만 인가해 주어도 출력전압은 포화가 되며, 어느 한계 이상에서는 디바이스가 파괴될

수 있음을 의미한다. 따라서, ICP를 이용하여 초전도 디바이스를 제작할 때 식각두께와 초전도 특성이 저하되는 것을 고려해야 한다.

그림 6. ICP에 의한 식각 시간에 따른 YBCO 박막의 AFM 표면 사진.

(a) 원샘플 (b) 30초 (c) 40초 (d) 50초

Fig. 6. AFM surface images of the YBCO film as the etching time by ICP.

(a)original sample (b) 30" (c) 40" (d) 50"

표 2. ICP에 의한 식각깊이시 임계전류밀도.

Table 2. The critical current density with etched depth by ICP.

Time (second)	as grown	30"	40"	50"
식각된 채널두께	0 nm	30 nm	50 nm	100 nm
임계전류밀도	1.7MA/ cm ²	104kA/ cm ²	16.8kA/ cm ²	3.7kA/ cm ²
실험 표면 거칠기	6 nm	15.8 nm	22 nm	12.8 nm

4. 결 론

본 연구에서는 SFFT를 제작하기 위한 기초연구로서 채널부분의 식각 깊이에 대한 임계특성들을 조사하였다. ICP 식각 시스템으로 채널부분을

식각하여 식각시간에 따른 식각깊이 변화를 조사하였다. AFM 표면분석을 통해 ICP에 의해 식각된 초전도 스트립 라인의 표면변화와 거칠기를 각각 관찰하였다. 표면의 실효 거칠기는 원 시료의 표면 거칠기가 6 nm 이었다가 식각시간이 증가함에 따라 15.8 nm, 22 nm 그리고 50초에서는 다시 12.8 nm 로 감소하였다. 이것은 초전도체의 표면의 ICP 식각 시 그 식각은 고르게 이루어지지 않고, 먼저 경도가 약한 부분부터 식각이 이루어졌다. 식각시간이 각각 30초, 40초, 50초였을 때 식각된 깊이는 각각 30 nm, 50 nm, 100 nm 이었다. 각 시간에 따라 식각 반응은 처음에는 약하게 일어나다가 점차적으로 빠르게 진행됨을 보여주었다. 채널의 식각깊이 변화에 따른 전류-전압 방정식을 세워 시뮬레이션을 수행한 결과 실험값과 비슷한 결과를 얻었다. 또한, 0.5 μm 채널폭에서 피닝 에너지에 따른 바이어스 전류 대 볼텍스 속도는 바이어스 전류를 증가함에 따라 피닝 에너지가 작은 값에서 볼텍스 속도가 더 커짐을 보였다. 이는 ICP 식각 시스템에 의해 채널두께를 더 얇게 식각했을 때 자속의 침투깊이가 더 증가하여 볼텍스 속도가 더 커졌다. 채널 식각시간이 50초에서 채널두께는 얇아졌지만 임계전류는 크게 감소하였다. 이는 너무 오랜 시간 초전도체가 플라즈마 상태에 노출되게 되면 초전도 임계특성이 크게 저하되어 어느 한계 이상에서는 디바이스가 파괴될 수 있음을 의미한다. 따라서, ICP를 이용하여 실제 SFFT 제작 시 식각두께에 따른 초전도 특성 변화를 고려해야 할 것이다. 본 실험결과에 따르면, ICP 식각 시스템에 의한 초전도 스트립 라인의 채널 식각시간은 40초에서 적합함을 알 수 있었다.

참고 문헌

- [1] J. S. Martens, G. K. G. Hohenwarter, J. B. Beyer, J. E. Nordman, and D. S. Ginley, "Single parameter measurements on single superconducting thin-film three-terminal devices made of high- T_c materials", *J. Appl. Phys.*, Vol. 65, No. 10, p. 4057, 1989.
- [2] P. Bernstein, C. Picard, M. Pannetier, Ph. Lecocur, J. F. Hamet, T. D. Doan, J. P. Contour, M. Drouet, and F. X. Reg, "Current-Voltage characterization of the vortex motion in $\text{YBa}_2\text{Cu}_3\text{O}_{7-\delta}$ microbridges and implications on the development of superconducting flux flow transistor", *J. Appl. Phys.*, Vol. 82, No. 10, p. 5030, 1997.
- [3] J. S. Martens, D. S. Ginley, and J. B. Beyer, "A Model and equivalent circuit for a superconducting flux flow transistor", *IEEE Trans. Appl. Supercon.*, Vol. 1, No. 2, p. 95, 1991.
- [4] Y. H. Im, H.-G. Kang, B.-S. Han, and Y. B. Hahn, "High density plasma etching of Y-Ba-Cu-O superconductors", *Electrochemical and Solid-state Lett.*, Vol. 4, No. 10, p. C77, 2001.
- [5] 강형곤, 임성훈, 임연호, 한윤봉, 황종선, 한병성, "새로운 ICP 장치를 이용한 고온 초전도체의 Dry Etching과 기존의 Wet Etching 기술과의 비교", *전기전자재료학회논문지*, 14권, 2호, p. 158, 2001.
- [6] F. K. Schokoohi, L. M. Schiavone, C. T. Rogers, A. Inam, X. D. Wu, L. Nazar, and T. Venkatesan, "Wet chemical etching of high-temperature superconducting Y-Ba-Cu-O films in ethylenediaminetetraacetic acid", *Appl. Phys. Lett.*, Vol. 55, No. 25, p. 2661, 1989.
- [7] Hyeong-Gon Kang, Sung-Hun Lim, Byoung-Sung Han, Hyo-Sang Choi, and Yoon-Bong Hahn, "Conditions of ICP for a superconducting flux flow transistor and Its etching characteristics", *Matt. Sci. Eng. B*, Vol. 102, p. 344, 2003.
- [8] 강형곤, 임성훈, 고석철, 한윤봉, 한병성, "플라즈마 식각을 이용한 초전도 자속 흐름 트랜지스터 제작", *전기전자재료학회논문지*, 16권, 5호, p. 424, 2003.
- [9] 고석철, 강형곤, 임성훈, 최효상, 한병성, "다채널 고온 초전도 볼텍스 유동 트랜지스터의 I-V 특성 해석", *전기전자재료학회논문지*, 16권, 10호, p. 931, 2003.
- [10] K. Matsumoto, "STM/AFM nano-oxidation process to room temperature operated single-electron transistor and other devices", *Processing of the IEEE*, Vol. 85, No. 4, p. 612, 1997.