

MMIC에 적용되는 MIM 커패시터의 실리콘 질화막 증착과 전기적 특성

Deposition and Electrical Properties of Silicon Nitride Thin Film MIM Capacitors for MMIC Applications

성호근¹, 소순진², 박춘배^{1,a}

(Ho-Kun Sung¹, Soon-Jin So², and Choon-Bae Park^{1,a})

Abstract

We have fabricated MIM capacitors for MMIC applications, with capacitances as high as 600pF/mm² and excellent electrical properties of the insulator layer. Silicon nitride thin film is the desirable material for MMIC capacitor fabrication. Standard MIM capacitance in MMIC is 300pF/mm² with an insulator layer thickness of more than 2000Å. However, capacitors with thin insulator layers have breakdown voltages as low as 20V. We have deposited insulator layers by PECVD in our MIM structure with an air bridge between the top metal and the contact pad. The PECVD process was optimized for fabricating the desired capacitors to be used in MMIC. Silicon nitride(Si_xN_y) thin films of about 1000Å thick show capacitances of about 600pF/mm², and breakdown voltages above 70V at 100nA.

Key Words : Silicon nitride, MIM capacitor, PECVD, MMIC

1. 서론

정보통신기술의 급격한 발달과 함께 MMIC (Monolithic Microwave Integrated Circuit)로 대표되는 고주파 전자회로 및 부품에 대한 미세화·고집적화의 요구가 증대됨에 따라, 보다 우수한 전기적·구조적 특성을 갖는 박막형 커패시터에 대한 연구개발이 활발하게 진행되고 있다[1-7]. 일반적으로 화합물 반도체 InGaP HBT(1.8GHz Amplifier) MMIC 공정에서 고용량의 커패시터를 제작하기 위해서는, layout 상에서 넓은 면적의 커패시터를 제작함으로써 정전용량을 높이는 방법과, 유전율이 SiO₂나 Si₃N₄ 보다 높은 Ta₂O₅ 등의 강유전체 박막을 증착함으로써 동일한 면적에서 보다 큰 정전용량을 갖도록 하는 방법이 고려되고 있다[8,9]. 전자의 경우 커패시터의 면적이 증가하게 되면 그 만큼 전체적인 칩의 크기가 증가하게 되어 단가 상승의 원인이 되며, 후자의 경우는 TaO_x 등의 박막이 SiO₂나 Si₃N₄에 비해 화합물 반도체 InGaP HBT 공정 라인에서 보편화되지 않았으며, 아직 양산화 하기에는 부분적인 문제점을 안고 있다.

따라서, 본 연구에서는 위의 두 가지 문제점을 동시에 해결하기 위한 방법으로, SiO₂보다 유전율이 높은 실리콘 질화막을 MIM 구조에서 I(Insulator) 재료로 선정하고, 현재 화합물 반도체 공정 라인에서 사용되고 있는 실리콘 질화막의 두께 2000Å보

1. 원광대학교 전기전자 및 정보공학부

(전북 익산시 신용동 344-2)

2. (주)나리지온

a. Corresponding Author : cbpark@wonkang.ac.kr

접수일자 : 2003. 12. 12

1차 심사 : 2004. 1. 19

심사완료 : 2004. 1. 20

다 그 두께가 1/2에 해당하는 1000 Å의 박막을 제작하여, 600pF/mm²의 정전용량을 갖는 MIM 커패시터를 구현한다. 두께 감소에 의한 항복전압 감소의 문제점은, PECVD 공정조건을 최적화하여 막질을 향상시킴으로써 항복전압 70V(@100nA) 이상의 전기적 안정성을 확보한다.

2. 실험

PECVD 장비를 사용하여 실리콘 질화막을 제조하기 위한 기본 공정조건을 우선 확립한 다음에, 이 데이터의 DOE(Design of Experiments) 통계분석 자료를 근거로 MIM 커패시터 제조 공정조건을 확립하여 시편을 제작하고, 그 특성을 분석하여 양산화 가능성 통계프로그램 평가를 실시한다.

2.1 실리콘 질화막 증착

PECVD장비를 사용하여 가스의 혼합비(SiH₄/NH₃)와 증착 압력 그리고 RF Power를 각각 0.99~1.58, 2~4.1Torr, 40~100W로 다양하게 변화시키면서 300°C에서 실리콘 질화막을 증착한 다음 굴절율, 증착율 및 식각율 등 박막 특성의 변화를 고찰하였다. 굴절율과 증착율은 엘립소미터를 이용하여 측정하였으며, 식각율은 BOE(6:1)로 1분간 에칭한 다음에 구하였다.

2.2 MIM 커패시터 제작

PECVD을 이용한 MIM 커패시터의 제작은 실리콘 질화막 공정조건에 따른 특성분석 결과를 바탕으로 표 1과 같이 3종류의 질화막 증착 조건을 수립하여 박막을 제작하고, 이에 대한 결과를 검토하였다. 표 1의 조건 A는 기존의 InGaP HBT 공정라인에서 사용하고 있는 공정조건이며, 나머지 개선을 위한 두 조건은 B와 C이다. 조건 B는 웨이퍼 내의 증착 균일도와 항복전압을 개선하기 위해 가스혼합비를 변화시킨 것이며, 조건 C는 항복전압을 증가시키기 위해 증착압력과 RF Power를 변화시킨 것이다. 제작된 실리콘 질화막의 특성을 표 1에 정리하였다. 굴절율은 1.9~2.0으로 실리콘 질화막의 일반적인 특성값을 나타냈으며, 식각율은 조건 C에서 가장 낮은 1.30nm/sec를 보였다. 이에 대한 증착율은 식각율과 같은 경향을 보이며 조건 B에서 가장 높은 값을 보였다.

표 1. MIM 커패시터 제작에 대한 공정조건과 실리콘 질화막의 특성.

Table 1. The process conditions and the properties of silicon nitride thin film for the manufacture of MIM capacitors.

가스혼합비	1.307	0.925	0.925
증착압력(Torr)	2.7	2.7	1.3
RF Power(W)	40	40	53
증착온도(°C)	300	300	300
굴절율	2.0	1.9	1.9
식각율(Å/s)	4420	8960	1300
증착율(Å/s)	1210	1230	830
질화막 두께(Å)	995	1000	1010

InGaP HBT 제조공정상에서 사용되고 있는 MIM 커패시터 제작을 위한 공정 순서를 그림 1에 나타내었다. 기판은 n-type GaAs를 사용하였으며, 기판과 하부 전극을 절연시키기 위해 먼저 1차 실리콘 질화막을 표 1의 조건 A에서 1000 Å 두께로 증착하였다. 하부 전극이 놓일 부분은 사진 식각공정을 이용하여 오픈한 후, DC 스퍼터를 이용하여 Au 전극을 증착하였다. seed metal로 Ti/Au(500/1500 Å)를 사용하였으며, 도금용액은 non-시안계를 사용하였다. 여기에 MIM 구조에서 유전체인 2차 실리콘 질화막이 PECVD에 의해 증착되었다. 이때 높은 절연강도와 고용량의 커패시터를 제작하기 위해 가스 혼합비와 증착 압력 그리고 RF power 등을 표 1의 공정조건 A, B, C에 따라 제어하여 유전층을 증착한 후, 사진식각공정과 DC 스퍼터링을 이용하여 seed metal을 증착하였다. 이때 seed metal은 Ti/TiW/Au(500/500/1000 Å)을 사용하였다. 그리고, 도금 공정을 이용하여 상부전극과 Air bridge를 제작하였다. 이렇게 제작된 MIM 커패시터는 600pF/mm²을 유지하도록 실리콘 질화막의 두께를 표 1과 같이 995 Å에서 1010 Å까지 변화시켰다. 절연강도와 유전특성은 Semiconductor Parameters Analyzer(HP4156B)와 LCR Meter(HP4284A)를 이용하여 측정하였다.

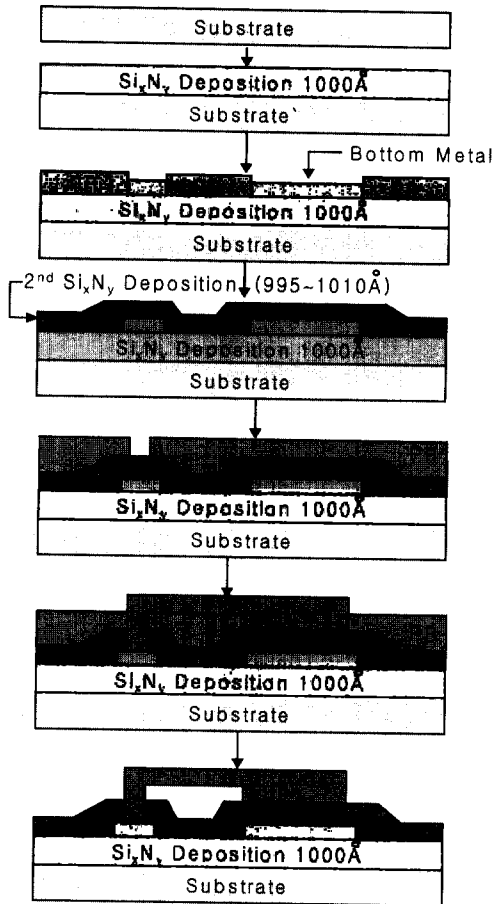


그림 1. MIM 커패시터의 공정 흐름도.
Fig. 1. The process flow chart for MIM capacitor.

3. 결과 및 고찰

3.1 PECVD 공정 조건에 따른 실리콘 질화막 특성

그림 2는 PECVD의 증착 압력을 2.7Torr, RF Power를 40W에 고정하고 SiH₄와 NH₃의 혼합비를 변화시키면서 실리콘 질화막을 증착하였을 때 증착율과 식각율 그리고 굴절율을 나타낸 것이다. 가스 혼합비에 따라 증착율은 큰 변화를 보이고 있지 않지만, 굴절율과 식각율은 서로 반대 특성을 보이고 있다. 굴절율은 SiH₄/NH₃의 혼합비가 1.0에서 1.6으로 증가함에 따라 약 1.92에서 2.04까지 증가하였고, 반면 식각율은 7.6nm/sec에서 4nm/sec로 감소하였다.

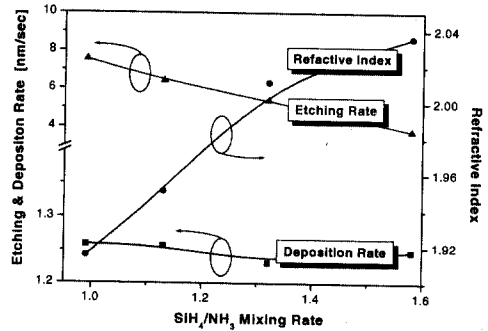


그림 2. SiH₄/NH₃ 혼합비에 따른 굴절율, 식각율, 증착율.
Fig. 2. Refractive index, etching rate and deposition rate with SiH₄/NH₃ mixing rate.

그림 3은 PECVD의 SiH₄/NH₃의 혼합비를 0.99, RF Power을 40W에 고정하고 증착 압력을 변화시키면서 실리콘 질화막을 증착하였을 때 증착율과 식각율 그리고 굴절율을 나타낸 것이다. 증착 압력이 2.0Torr에서 4.2Torr까지 증가함에 따라 증착율은 증가하였고, 이와 함께 식각율도 증가하였다. 반면 굴절율은 반대 경향으로 약 1.935에서 1.895까지 감소하였다.

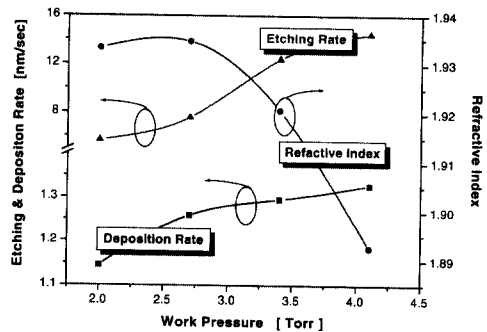


그림 3. 증착 압력에 따른 굴절율, 식각율, 증착율.
Fig. 3. Refractive index, etching rate and deposition rate with working pressure.

그림 4는 PECVD의 SiH₄/NH₃의 혼합비를 0.99, 증착압력을 2.7Torr에 고정하고 RF Power을 변화시키면서 실리콘 질화막을 증착하였을 때 증착율과

식각율 그리고 굴절율을 나타낸 것이다. 40W에서 100W까지 증가함에 따라 박막 증착시 증착율은 증가하였으며, 식각율은 40W에서 약 7.6nm/sec로 높고 나머지 60~100W까지는 증착율과 비례관계를 보였다. 반면 그림 2와 그림 3에서와 같이 굴절율은 증착율과 식각율에 반비례 경향을 보이며 감소하였다.

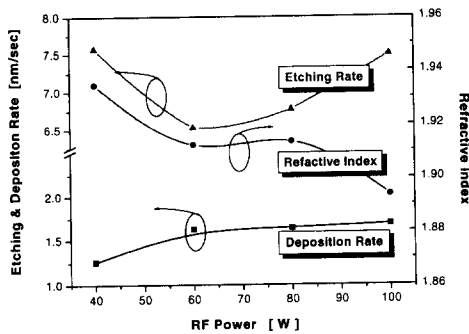


그림 4. RF Power에 따른 굴절율, 식각율, 증착율.
Fig. 4. Refractive index, etching rate and deposition rate with RF Power.

이상의 PECVD 공정 조건에 따른 실리콘 질화막(I) 특성을 검토한 결과 일반적으로 질화막의 증착율이 증가하면 식각율이 증가하는 경향을 보였으며, 굴절율은 이와 반대 경향을 보였다. 이는 증착시 공정조건에 따라 박막의 밀도, 경도 등의 기계적 특성과 함께 굴절율의 광학적 특성을 변화시킬 수 있음을 의미하며, 이를 최적화한다면 MIM 커패시터에서 양질의 질화막을 얻을 수 있을 것으로 판단된다.

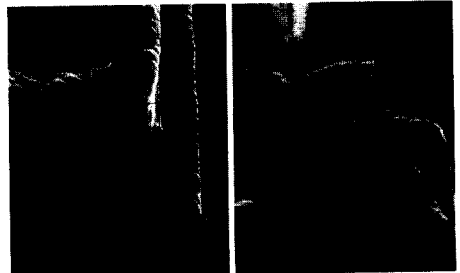
3.2 PECVD 공정조건에 따른 MIM 커패시터의 특성

그림 5는 MIM 커패시터의 평면과 단면 사진을 나타낸 것이다. 그림 5(a)와 같이 MIM 커패시터 평면은 하부 전극 패드(Bottom Metal Pad), 상부 전극(Top Metal), 상부 전극 패드(Top Metal Pad), 그리고 상부전극과 상부전극 패드를 연결하는 Air bridge로 구성되어 있다. 제작된 커패시터의 상부 전극의 크기는 $100\mu\text{m} \times 100\mu\text{m}$ 이다. 그림 5(b)는 MIM 커패시터의 단면으로 아래에서부터 차례로 하부 seed 전극(Bottom Seed Metal), 하부 전극, 실리콘 질화막(Insulator layer), 상부 seed 전극(Top Seed Metal), 상부 전극으로 이루어졌다. 여

기에서 실리콘 질화막은 증착 면의 단차에 따른 측면과 상부면의 두께가 매우 비슷하여, PECVD의 우수한 step-coverage 특성을 알 수 있다.



(a) MIM capacitor.



(b) The cross section of MIM capacitor.

그림 5. MIM 커패시터의 SEM 사진.

Fig. 5. SEM photographs of MIM capacitor.

그림 6은 표 1의 조건 A, B, C에 의해 제작된 MIM 커패시터의 항복전압 특성을 보이기 위한 전압-전류 특성곡선이다. 공정조건 A로 제작된 MIM 커패시터의 항복전압은 약 32V(@100nA)이고, 조건 B로 제작된 MIM 커패시터는 약 50V(@100nA)이며, 초기 누설전류는 조건 A로 제작된 MIM 커패시터가 더 낮아, 신뢰성 특성에서 조건 B로 제작된 MIM 커패시터는 조건 A로 제작된 MIM 커패시터 보다 우수한 특성을 기대할 수 없을 것으로 판단된다. 그림 6에서 초기 누설전류나 항복전압 모두가 가장 우수한 특성을 보인 것은 조건 C로 제작된 MIM 커패시터이다. 항복전압은 약 70~76V(@100nA) 영역에 분포하였다. 이 항복전압의 값은 기존 제품의 값에 비해서 매우 우수한 유전장도 약 7.0~7.5 MV/cm의 값을 의미한다. 그리고 조건 A, B, C에 대해 Vector Network Analyzer (Agilent 8510C)을 이용하여 2GHz의 조건에서 Q factor를 확인하여 본 결과 조건 A, B, C에 대해서 각각 209, 168, 105이었다.

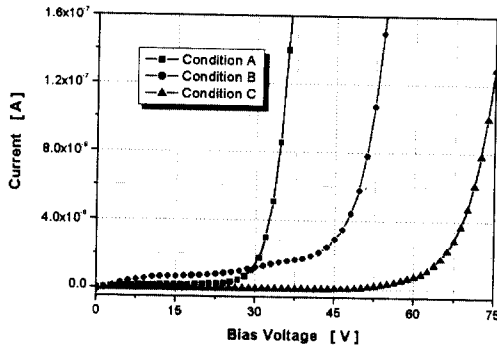


그림 6. MIM 커패시터의 전압-전류 특성.
Fig. 6. Voltage-current properties of MIM capacitors.

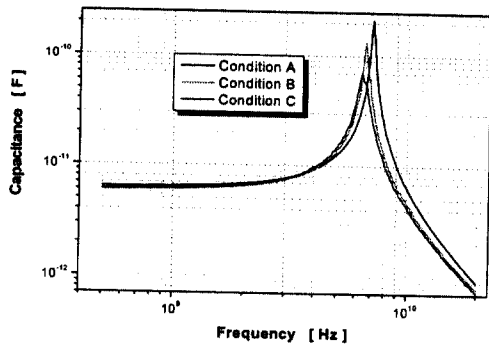


그림 7. MIM 커패시터의 주파수 특성.
Fig. 7. Frequency properties of MIM capacitors.

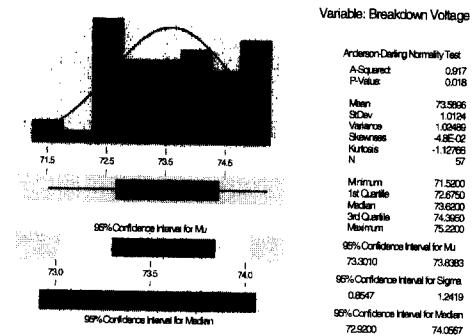
그림 7은 조건 A, B, C에 대한 MIM 커패시터의 주파수 특성을 나타낸 것이다. 공진 주파수는 모두 약 6.2~7.2GHz내에 존재하고 있으며, 3GHz 이하에서 약 6pF의 정전용량을 보이고 있다. 따라서 5GHz 이하의 InGaP HBT 커패시터로 적용이 가능함을 확인할 수 있다.

그림 6과 그림 7에서 조건 C로 제작된 MIM 커패시터는 70V 이상의 높은 항복전압과 GHz 대역에서 통신용으로 사용 가능한 커패시터로 확인되었다.

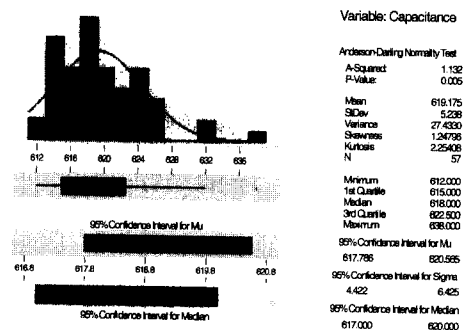
3.3 MIM 커패시터의 양산화 평가

제작된 MIM 커패시터의 양산화 평가를 위해 6인치 GaAs 웨이퍼 위에 제작된 57개의 MIM 커패시터를 측정하였다. 측정된 항복전압과 정전용량의

통계프로그램 결과를 그림 8 (a)와 (b)에 나타내었다. 항복전압의 평균은 약 73.57V를 보였으며, 95% 신뢰구간에서 평균에 대한 추정 값이 73.30~73.84V를 나타내었다. 또한, 정전용량은 전형적인 정규분포형태로 평균은 619pF/mm²을 보였으며, 95% 신뢰구간에서 평균에 대한 추정 값이 617.786~620.565pF/mm²을 나타내었다. 공정능력 분석결과에서 항복전압에서 Lower spec을 70V로 하였을 때, CPL이 2.16이었으며, 정전용량에서는 Lower spec을 600pF/mm², Upper spec을 630pF/mm²로 하였을 때, CP는 2.39이었다. 여기에서 CPL와 CP는 통계 프로그램에 의해 계산된 단기공정능력을 나타낸 것으로 일반적으로 1이상에서 양산이 이루어지며 위의 값들은 매우 우수함을 의미한다.



(a) The distribution of breakdown voltage on 6 inch wafer.



(b) The distribution of capacitance on 6 inch wafer.

그림 8. MIM 커패시터의 항복전압과 정전용량의 분포.

Fig. 8. The distributions of the breakdown voltage and the capacitance for MIM capacitors.

4. 결론

PECVD장비를 사용하여 MIM 커패시터의 유전체로 사용되는 실리콘 질화막의 특성을 평가하여 안정화된 공정조건을 얻을 수 있었다. 공정조건에 대한 인자는 SiH_4/NH_3 가스 혼합비, 증착 압력, RF Power이다. 본 연구에서 얻은 최적화 공정조건은 각각 0.92, 1.3Torr, 53W이며 기판 온도는 300°C이었다. 이 최적화 공정조건에서 증착된 실리콘 질화막의 증착율, 식각율, 굴절율은 각각 0.83nm/sec, 1.30nm/sec, 1.9이었다.

이러한 조건에서 제작된 MIM 커패시터 실리콘 질화막(두께 1000Å)의 절연강도는 7.0~7.5MV/cm으로서 항복전압은 70V(@100nA) 이상을 나타내었다. 또한 양산화 가능성을 6인치 GaAs 웨이퍼에 MIM 커패시터를 제작하여 평가한 결과, 95% 신뢰구간에서 평균에 대한 항복전압과 정전용량의 추정 값이 73.30~73.84V(@100nA)와 617.786pF/mm²~620.565pF/mm²을 보여 양산에도 큰 문제가 없었다.

따라서, 본 연구의 결과는 기존 MIM 커패시터 실리콘 질화막의 두께를 2000Å에서 1000Å으로 감소시켜 면적당 정전용량을 약 2배로 증가시킴으로서 고집적화를 이루었으며, 항복전압을 30V에서 70V로 향상시켜 전기적 안정성을 확보하였다.

감사의 글

이 논문은 2003년도 원광대학교의 교비 지원에 의해서 수행됨.

참고 문헌

- [1] Jone Beall, Ken Decker, Keith Salzman, and Gergana Drandova, "Silicon Nitride MIM Capacitor Reliability for Multiple Dielectric Thickness", 2002 GaAs MANTECH Technical Digest, p. 145, 2002.
- [2] C. S Cook, T. K. Daly, R. Liu, M. Canonico, M. Erikson, Q. Xie, R. B. Giegory, and S. Zollner, "Properties Process Control, and Characterization of PECVD Silicon Nitrides for Compound Semiconductor Devices", 2003 GaAS MANTECH Conference Digest, p. 173, 2003.

- [3] Jiro Yota, Ravi Ramanathan, Jose Arreaga, Peter Dai, and Cristan Cismaru, "Development and Characterization of a 600 Å PECVD Si_3N_4 High-Density", 2003 GaAs MANTECH Conference Digest, p. 65, 2003.
- [4] Mariam Sadaka, Darrell Hill, Fred Clayton, Haldane Henry, Colby Pampley, Jon Abrokwah, and Ric Uscola, "Development of Motorola's InGaP HBT Process", 2002 GaAs MANTECH Technical Digest, p. 251, 2002.
- [5] L. J. Quinn, S. J. N. Mitchell, B. M. Armstrong, and H. S. Gamble, "Plasma-enhanced silicon nitride deposition for thin film transistor application" J. Non-Crystalline Solids, Vol. 187, p. 347, 1995.
- [6] 김인성, 정순중, 송재성, 윤문수, 박정후, "Au/Ta₂O₅/Pt MIM Capacitor의 annealing과 유전특성", 전기전자재료학회논문지, 14권, 12호, p. 1016, 2001.
- [7] 정석원, 정성해, 강대진, 노용한, "스퍼터링 방법으로 증착한 HfO₂ MIM 커패시터의 유전특성", 한국전기전자재료학회 2002년도 하계학술대회 논문집, Vol. 3, No. 1, p. 362, 2002.
- [8] G. N. Parsons, J. H. Souk, and J. Batey, "Low hydrogen content stoichiometric silicon nitride films deposited by plasma enhanced chemical vapor deposition" J. Appl. Phys., Vol. 70, p. 3, 1991.
- [9] 김광호, "SrBi₂Ta₂O₉/SiN/Si 구조를 이용한 MFISFET의 제작 및 특성", 전기전자재료학회 논문지, 15권, 5호, p. 383, 2002.