

오존 산화가 DRAM 셀의 콘택 저항에 미치는 영향

Effects of Ozone Oxidation on the Contact Resistance of DRAM Cell

최재승¹, 이승욱², 신봉조¹, 박근형^{1,a}, 이재봉¹

(Jae-Seung Choi¹, Seung-Wook Lee², Bong-Jo Shin¹, Keun-Hyung Park^{1,a}, and Jae-Bong Lee¹)

Abstract

In this paper, the effects of the ozone oxidation of the landing polycrystalline silicon on the cell contact resistance of the DRAM device were studied. For this study, the ozone oxidation of the landing polycrystalline silicon layer was performed under various conditions, which was followed by the normal DRAM processes. Then, the cell contact resistance and t_{WR} (write recovery time) of the devices were measured and analyzed.

The experimental results showed that the cell contact resistance was more significantly increased for higher temperature of oxidation, longer time of oxidation, and higher concentration of ozone in the oxidation furnace. In addition, the TEM cross-sectional micrographs clearly showed that the oxide layer at the interface between the landing polycrystalline silicon layer and the plug polycrystalline silicon layer was increased by the ozone oxidation. Furthermore, the rate of the device failure due to too large write recovery time was also found to be well correlated with the increase of the cell contact resistance.

Key Words : Ozone oxidation, Contact resistance, Refresh, Write recovery time, DRAM

1. 서론

최근 DRAM(dynamic random access memory)의 기술 개발 방향은 디자인 룰의 감소를 통한 생산성 증대와 고속 소자 개발에 초점이 맞추어지고 있다. 하지만, 0.18 μ m 급 이하 제품 영역에서는 선평 미세화로 인하여 셀 및 주변 회로의 접촉 홀 크기가 감소하고 이에 따라 접촉 저항이 급격히 증가하여 DRAM 소자의 쓰기 동작과 관련된 t_{WR} (write recovery time)이 증가하고 리프레시(refresh) 특성이 크게 열화되는 문제가 발견되고 있다[1].

일반적인 DRAM 셀에서 커패시터는 단위 셀의 크기를 줄이기 위해 비트라인의 위에 위치하도록 제작된다. 이러한 구조의 DRAM 셀에서 커패시터와 트랜지스터의 접합을 연결시키기 위해 다결정 실리콘을 사용하여 플러그를 만드는데 이때 플러그와 비트라인이 서로 단락되지 않도록 하기 위해 두개의 다결정 실리콘을 사용하여 접촉 홀의 위치를 변경시키게 된다. 이때 트랜지스터의 접합과 직접 접촉되는 것을 랜딩 다결정 실리콘(landing polysilicon), 커패시터와 연결되는 것을 플러그 다결정 실리콘(plug polysilicon)으로 정의한다. 또한 접촉 홀의 깊이가 상당히 깊은 이와 같은 구조에서 두개의 다결정 실리콘을 플러그로 사용함으로써 각각의 플러그의 깊이가 작아지기 때문에 공정을 진행하기도 용이하게 된다. 이와 같은 구조의 DRAM 셀에서 접촉 저항이 증가하는 주요 원인은 랜딩 다결정 실리콘 막과 접합 영역 사이의 접촉 저항의 증가보다는 랜딩 다결정 실리콘 막과 플러

1. 충북대학교 전기전자컴퓨터공학과

(충북 청주시 개신동 산 48)

2. 충북대학교 산업대학원 전기전산공학과

a. Corresponding Author : khp@cbucc.chungbuk.ac.kr

접수일자 : 2003. 8. 22

1차 심사 : 2003. 9. 26

심사완료 : 2003. 10. 15

그 다결정 실리콘 막 사이의 접촉 저항이 증가하기 때문인 것으로 알려지고 있다 (그림 1 참조) [2-5]. 이는, 랜딩 다결정 실리콘 막을 형성한 후 플러그 다결정 실리콘 막을 증착하는 과정에서 랜딩 다결정 실리콘 막의 표면이 대기에 노출되면서 표면에 실리콘 산화막이 형성되기 때문이다. 이는 주로 대기에 존재하는 오존에 의한 것으로써, 이러한 이유로 대기 오염의 증가는 DRAM 셀 접촉 저항의 증가를 야기한다. 계절적 영향으로 대기 온도가 증가하는 하절기에는 대기 오존농도 역시 증가하게 된다. 하루 중 외부대기에 포함된 오존농도의 변화를 보면 오후 시간대에 가장 높은 수치(보건환경연구원 측정 결과 약 85 ppb)를 나타내게 되며 대기 오존농도증가로 인하여 DRAM 제작하는 청정실의 내부 오존농도 역시 증가한다. 이로 인하여 오존농도가 증가한 시기에 플러그 다결정 실리콘 증착공정이 진행될 경우 셀 접촉 홀 표면에서 오존에 의한 실리콘 산화가 증가하게 된다. 시간대에 따른 대기 오존농도의 변화와 같은 시기에 플러그 다결정 실리콘 증착공정이 진행된 DRAM 제품의 셀 접촉 저항의 변화가 동일한 경향을 나타내었다. 오존 농도와 셀 접촉 저항이 동일한 경향을 보이는 것은 플러그 다결정 실리콘 증착 공정을 진행할 때 오존 농도가 증가하면 산화속도가 증가하여 실리콘 계면에서 오존에 의한 산화막 성장이 증가하기 때문이다[4-7]. 산소와 오존의 실리콘 산화속도를 비교해 보면 모든 온도 영역에서 오존 산화속도가 높게 나타난다.

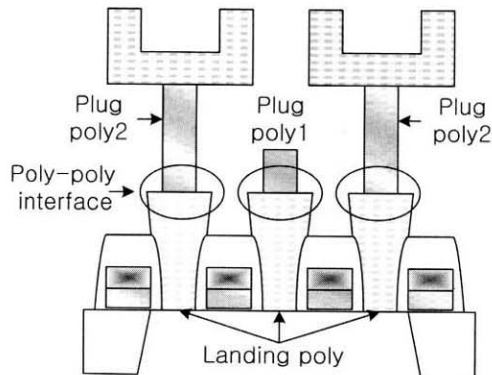


그림 1. DRAM 셀 단면도.
 Fig. 1. The cross sectional view of the DRAM cell.

특히 DRAM 제조 공정에서 플러그 다결정 실리콘 막의 증착 온도인 570 °C에서는 오존에 의한 실리콘 산화 속도가 산소에 의한 것보다 약 4배 이상 높은 것으로 알려지고 있다[6-9].

본 논문에서는 저압화학기상증착 (low pressure chemical vapour deposition) 장치를 이용한 DRAM의 스토리지 단자 제조 공정에서 발생하는 다결정 실리콘 막 표면의 오존에 의한 실리콘 산화가 DRAM 셀 접촉 저항에 미치는 영향을 체계적으로 연구하였다.

2. 실험

플러그 다결정 실리콘 막의 증착 공정에서 오존에 의한 다결정 실리콘 막의 산화가 DRAM 셀의 접촉 저항에 미치는 영향을 분석하기 위하여, 먼저 보건환경연구원으로부터 대기 중의 오존 농도를 확인하고 같은 시점에 플러그 다결정 실리콘 막을 증착하였다. 플러그 다결정 실리콘 막은 수직 형 저압화학기상장치에서 증착되는데 웨이퍼를 loading하는 동안 전기로 내부는 질소 분위기가 유지되지만 한쪽 입구가 개방되어 대기에 노출된 상태로 고온으로 유지된다. 이때 대기 중에 오존이 존재한다면 오존에 의해 랜딩 다결정 실리콘의 표면이 산화된다. 표 1에서 볼 수 있는 바와 같이 플러그 다결정 실리콘 막을 증착하는 공정조건과 일치하는 오존 산화 온도, 랜딩 다결정 실리콘을 형성한 후 플러그 다결정 실리콘을 증착하기까지의 시간과 일치하는 오존 산화된 대기 시간 그리고 시점에 따라 변화하는 오존 농도에 따라 랜딩 다결정 실리콘 막을 오존 산화하였다. 그 후 나머지 DRAM 공정을 기존의 공정과 같은 공정을 사용하여 시료를 제작한 후에 각 시료의 스토리지 단자의 접촉 저항을 측정하고, 랜딩 다결정 실리콘 막과 플러그 다결정 실리콘 막의 계면을 TEM (transmission electron microscope)과 EDX (Energy Dispersive X-ray) 장비를 사용하여 분석하였다. 또한, 수직 형 전기로 내에서 오존 산화시의 웨이퍼 투입 위치에 따라 up, center, low zone으로 구분하여 각 zone에서 실험한 시료의 셀 접촉 저항을 비교 분석하였다.

DRAM 셀의 접촉 저항을 평가하기 위하여 DRAM 셀 또는 DRAM 셀과 유사한 패턴들을 체인으로 구성하여 접촉 저항 측정용 테스트 패턴으로 사용하였다. DRAM 셀을 제작할 때 발생하는

각 계면들의 성분을 구분할 수 있도록 셀과 유사한 형태의 몇 가지 패턴을 만들고 이를 체인으로 구성하였고 HP 4156 (semiconductor parameter analyzer)를 사용하여 전기적 특성을 평가하였다. 또한 오존 산화에 의한 t_{WR} (write recovery time) 불량의 영향을 분석하기 위해 셀 접촉 저항을 10 k Ω 이하, 20 k Ω 이하 그리고 30 k Ω 이상인 시료들로 분리하고 각각의 t_{WR} 불량 발생률을 분석하였다.

표 1. 플러그 다결정 실리콘 막의 오존산화 실험조건.

Table 1. The condition of the ozone oxidation of the plug polycrystalline silicon layer.

Group	온도 [°C]	Zone (Vertical)	시간 [min]	O ₃ 농도 [ppb]
1	500 / 570	Up	60	80
2	570	Up / Center / Low	60	80
3	570	Up	20 / 40 / 60 / 80	80
4	570	Up	60	20 / 40 / 60 / 80

3. 실험 결과 및 분석

그림 2는 500 °C와 570 °C에서 각각 플러그 다결정 실리콘 막을 증착한 시료의 셀 접촉 저항의 측정 결과를 보여주고 있다. 이 때, 웨이퍼의 투입 위치는 up zone이었으며, 전기로 내의 오존 농도는 80 ppb이었고, 산화 시간은 60 분이였다. 실험 결과에서 나타난 것과 같이 500 °C 조건에서의 셀 접촉 저항의 평균값은 약 6.4 k Ω 으로 570 °C 온도 조건에서의 셀 접촉 저항의 평균 값 17 k Ω 에 비하여 훨씬 낮았다.

오존 산화전 대기 시간에 대한 의존성을 보기 위하여 20, 40, 60, 80 분의 산화 시간에 대하여 각각 셀 접촉 저항을 측정한 결과를 그림 3에 나타내었다. 이때의 산화 온도는 570 °C, 오존 농도는 80 ppb이었다. 측정 결과 셀 접촉 저항의 평균값은 20, 40, 60, 80분의 산화전 대기 시간에 대하여 각각 10.7, 12.2, 22.7, 그리고 28.3 k Ω 이었다. 60분까지는 대기 시간이 증가함에 따라 저항도 빠르게 증가하였으나, 60분이 넘으면 점차 저항 값이 포화상태에 이르면서 60분에 비하여 뚜렷한 변화가 없었다.

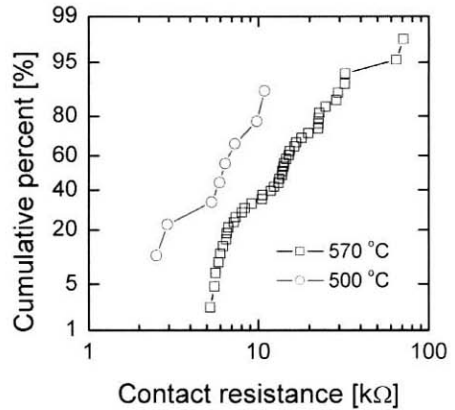


그림 2. 랜딩 다결정 실리콘 막의 오존 산화 온도에 따른 셀 접촉 저항 분포도.

Fig. 2. The distribution of cell contact resistances vs. ozone oxidation temperature of landing polycrystalline silicon layer.

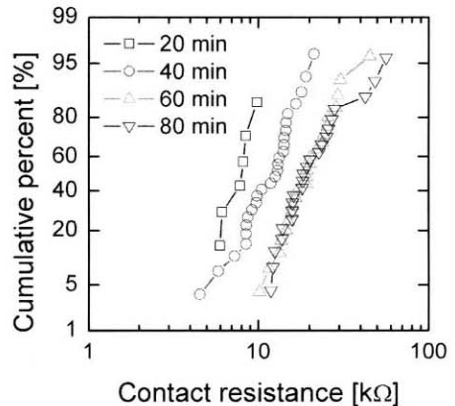


그림 3. 랜딩 다결정 실리콘 막의 오존 산화전 대기 시간에 따른 셀 접촉 저항 분포도.

Fig. 3. The distribution of cell contact resistances vs. ozone oxidation time of landing polycrystalline silicon layer.

오존 산화와 셀 접촉 저항과의 관계를 확인하기 위하여, 570 °C, 60분간 전기로의 위쪽 부분에서 오존 농도를 20 ~ 80 ppb로 변화시키면서 오존 산화실험을 실시하였다. 그림 4에서 보는 것과 같이 오존 농도가 증가하면서 셀 접촉 저항의 평균값은 꾸준히 증가하는 것이 확인되었다. 즉, 20

ppb의 경우에는 셀 접촉 저항의 평균값이 4.3 kΩ이었으나 80 ppb의 경우에는 대략 19.3 kΩ이었다. 또한 오존 농도가 증가하면서 같은 시료 내에서의 셀 접촉 저항이 더 넓게 분포되는 것을 알 수 있었다. 이는, 오존 산화가 모든 소자들에게 균일하게 발생하는 것이 아님을 보여주는 것이다.

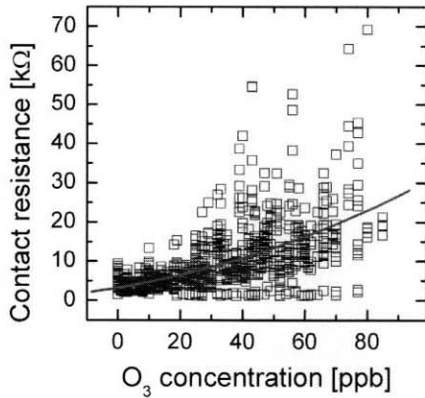


그림 4. 수직 전기로 내의 오존 농도에 따른 셀 접촉 저항 분포도.
 Fig. 4. The distribution of cell contact resistances vs. ozone concentration in the vertical furnace.

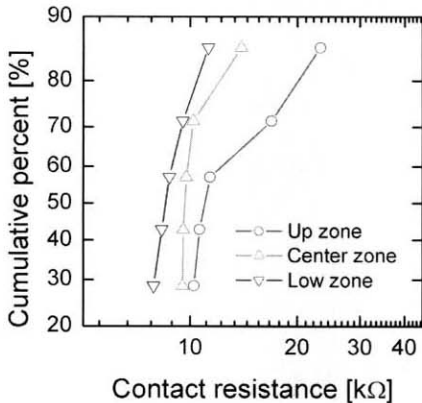


그림 5. 전기로 내의 시료웨이퍼 로딩 위치에 따른 셀 접촉 저항 분포도.
 Fig. 5. The distribution of cell contact resistances vs. loading position of the test wafers in the vertical furnace.

저압화하기상증착 장치인 수직 형 전기로의 경우 장치 특성상 웨이퍼의 loading 위치가 위에서 아래방향으로 3개 그룹으로 나뉘어 진다. 따라서, 전기로의 위쪽 부분 (up zone)이 아래쪽 부분에 (low zone)에 비하여 loading하는 동안 고온에서 유지되는 시간이 상대적으로 길고 대기에 포함된 오존에 노출되는 양이 클 것으로 판단된다. 그림 5는 570 °C에서 60분 동안 80 ppb의 오존 농도를 유지하며 산화 실험을 수행하고 나서 웨이퍼 loading 위치에 따라 시료의 셀 접촉 저항을 측정 한 결과를 보여주고 있다. 예상했던 바대로 전기로의 위쪽 부분에 loading되었던 시료의 셀 접촉 저항 (18.6 kΩ)이 아래 부분에 loading되었던 시료의 셀 접촉 저항 값 (8.6 kΩ)에 비해 크게 증가하였다.

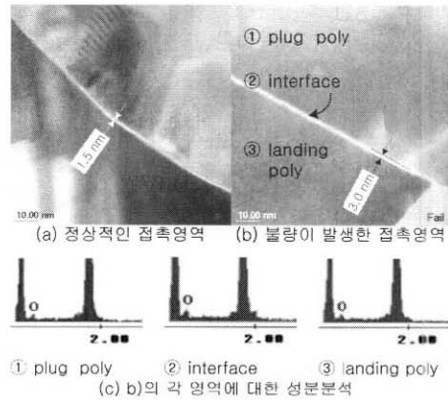


그림 6. 랜딩 다결정 실리콘과 플러그 다결정 실리콘 계면의 TEM과 EDX.
 Fig. 6. The TEM photograph and the EDX pattern of the interface between the landing and the plug polycrystalline silicon layer.

오존 산화가 발생하여 셀 접촉 저항이 30 kΩ 이상 증가하게 되면 리프레시 시간이 증가하여 t_{wr} 특성이 열화되는 결과가 나타난다. TEM을 이용하여 찍은 t_{wr} 불량 발생 셀의 접촉 결과 정상 셀 접촉 결과의 단면 사진이 그림 6에 나와 있다. 그림 6(a)는 접촉 저항 값이 정상적인 셀의 접촉 영역의 단면 사진이고, 그림 6(b)는 오존 산화가 발생하여 접촉 저항이 크게 증가한 셀 접촉 영역의 단면 사진이다. 여기서 볼 수 있는 바와 같이, 다결정 실리콘 플러그 계면의 산화막 두께가 정상적

인 셀 접촉 영역에서는 약 1.5 nm 인데 비하여 오존 산화가 발생한 셀 접촉 영역에서는 산화막 두께가 약 3.0 nm로 증가하였다. EDX를 사용한 성분 분석 결과에서도 플러그 다결정 실리콘과 랜딩 다결정 실리콘 계면에 성장한 막에서 다량의 산소 성분이 검출되었다 (그림 6(c)).

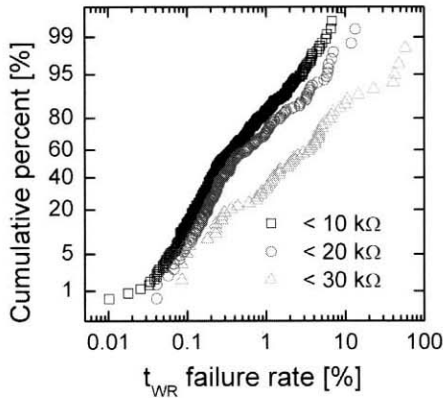


그림 7. 셀 접촉 저항에 따른 t_{WR} 특성.
 Fig. 7. The t_{WR} characteristics vs. cell contact resistance.

셀 접촉 저항의 증가가 DRAM 리프레시 특성 열화에 미치는 영향을 분석하기 위하여 셀 접촉 저항이 10 k Ω 이하, 20 k Ω 이하, 30 k Ω 이상인 시료들로부터 t_{WR} 불량 발생률을 각각 측정하여 비교하여 분석을 하였다 (그림 7). t_{WR} 은 DRAM 셀에 완전한 데이터 '1' 또는 '0' 을 저장하는데 걸리는 지연 시간으로 정의되는데 DRAM 셀의 쓰기 동작과 관련된 성능을 평가하기 위한 항목으로서 DRAM 셀이 쓰기 동작을 하는 동안에 전류가 흐르는 통로를 점검하여 전류통로에 존재하는 각 소자 성분(element)들의 상태를 확인할 수 있다. 즉, 셀의 기본 특성을 미리 평가한 후 적당한 시간의 t_{WR} 을 선택하여 목표한 시간보다 긴 경우에 불량으로 처리한다. 이와 같이 t_{WR} 불량 발생하는 원인은 접촉 홀 크기의 감소, 계면에 발생한 결함, 플러그 다결정 실리콘의 농도 감소와 같은 공정상 이유로써 저항이 증가되어 나타나는 RC 시간 지연이다. 이러한 불량은 각 저항의 평균값을 낮추고 공정을 균일하게 함으로써 방지할 수 있다. 그림 7에서 볼 수 있는 바와 같이 셀 접촉 저항이 10 k Ω 이 시료들에서는 0.7 %, 20 k Ω 이하인 시료들에서는 약 1.2 %, 30 k Ω 인 시료들에서는 약 2.4 %의

t_{WR} 평균 불량률이 발생하였다. 이러한 결과는 셀 접촉 저항의 증가가 DRAM 소자의 리프레시 특성 열화 및 소자 속도 저하의 주요 원인임을 시사하고 있다.

4. 결 론

DRAM 제조 시 저압화학적상증착 장치를 이용하여 랜딩 다결정 실리콘 막 위에 플러그 다결정 실리콘 막을 증착할 때 그 두께 막 사이의 계면에서 대기에 포함된 오존으로 인해 산화막이 성장하여 셀 접촉 저항이 크게 증가하는 것이 확인되었다. 이러한 셀 접촉 저항의 증가는 결국 t_{WR} 불량률의 주요 원인이 되고 있다.

대기 오염의 증가와 함께 대기 내의 오존 농도가 점차 증가하고 있고 또한 DRAM의 셀 크기 및 접촉 홀의 크기가 점차 감소하고 있는 추세이므로 이러한 랜딩 다결정 실리콘 막의 오존산화로 인한 셀 접촉 저항의 증가 문제는 갈수록 더 심각해질 것으로 판단된다. 따라서, 차세대 DRAM 소자 개발을 위해서는 오존 노출시간 관리, 다결정 실리콘 증착공정시의 저온화 및 대기 오존 농도에 대한 체계적인 관리가 절대적으로 필요하다고 판단된다.

참고 문헌

- [1] D. Khang, "A history perspective on the development of MOS transistor and related device", IEEE Transactions on Electron Devices, Vol. 3, No. 7, p. 655, 1976.
- [2] V. Nayar, P. Patel, and I. Bodye, "Atmospheric pressure, low temperature (<math>< 500^{\circ}\text{C}</math>) ozone oxidation of silicon", Electronics Letters, Vol. 26, p. 205, 1990.
- [3] A. Kazor and I. Bodye, "UV assisted growth of 100Å thick SiO_2 at 550°C ", Electronics Letters, Vol. 27, p. 909, 1991.
- [4] M. Madani and P. Ajmera, "Low temperature oxidation of silicon", Electronics letters, Vol. 24, p. 856, 1988.
- [5] A. Kazor and I. Boyde, "Ozone oxidation of silicon", Electronics letters, Vol. 29, p. 115, 1993.
- [6] A. Kazor and I. Bodye, "Ozone-induced rapid low temperature oxidation of silicon",

Applied Physics Letters, Vol. 63, p. 2517,
November 1993.

- [7] H. Nonaka, S. Ichimura, T. Nishiguchi, and M. Miyamoto, "Applications of 100% ozone gas process to rapid low-temperature oxidation", Advanced Thermal Processing of Semiconductors, RTP 2002. 10th IEEE International Conference of, p. 119, 2002.
- [8] G. Wilk and B. Brar, "Electrical characteristics of high-quality sub-25-Å oxides grown by ultraviolet ozone exposure at low temperature", IEEE Electron Device Letters, Vol. 20, p. 132, 1999.
- [9] Z. Cui and M. Madsen, "Rapid thermal oxidation of silicon in ozone," Applied Physics Letters, Vol. 87, p. 8181, June 2000.
- [10] 윤석범, 오환술, "질연체 위의 다결정 실리콘 재결정화 공정최적화와 그 전기적 특성 연구", 전기전자재료학회논문지, 7권, 4호, p. 331. 1994.
- [11] 이인찬, 강정규, 마대영, "드레인오프셋 다결정실리콘 박막트랜지스터의 누설전류 해석", 전기전자재료학회논문지, 14권, 2호, p. 111. 2001.