

감쇠극을 갖는 적층형 세라믹 칩 필터의 설계

Design of Multilayer Ceramic Chip Band Pass Filter with an Attenuation Pole

강종윤*, 심성훈*, 최지원*, 박용욱**, 이동윤***, 윤석진*, 김현재*
(Chong-Yun Kang*, Sung-Hun Sim*, Ji-Won Choi*, Yong-Wook Park**,
Dong-Yoon Lee***, Seok-Jin Yoon*, and Hyun-Jai Kim*)

Abstract

A multi-layer ceramic (MLC) chip type band-pass filter (BPF) is presented. The MLC chip BPF has the benefits of low cost and small size. The BPF consists of coupled stripline resonators and coupling capacitors. The BPF is designed to have an attenuation pole at below the passband for a receiver band of IMT 2000 handset. The computer-aided design technology is applied for analysis of the BPF frequency characteristics. The passband and attenuation pole depend on the coupling between resonators and coupling capacitance. The frequency characteristics of the passband and attenuation pole are analyzed with the variation of the coupling between resonators and coupling capacitance. An equivalent circuit and structure of MLC chip BPF are proposed. The frequency characteristics of the BPF is well acceptable for IMT-2000 application.

Key Words : MLC, Band-pass filter, BPF, Attenuation pole, Stripline

1. 서론

이동 통신 시장의 지속적 성장이 계속되고 있는 현재, 이동 통신 단말기의 소형화에 대한 요구는 날로 증가하고 있다. 동축형 세라믹 필터의 소형화가 한계에 도달함에 따라 저온 소결 세라믹스 (Low Temperature Co-fired Ceramics, LTCC)와 적층 세라믹 (Multi-layer Ceramics, MLC) 공정 기술을 이용한 소형 마이크로파 필터에 대한 연구가 활발히 이루어지고 있다. 이는 대량 생산성, 높은 3-D 집적도, 높은 신뢰성, 소형화 등의 장점을 가지고 있으며, 특히, 모든 수동 성분 소자를 하나

의 제작 공정으로 구현이 가능하고, 능동 부품의 실장을 통한 RF 모듈화가 가능함에 따라 이동 통신 RF 시스템의 초소형화 기술로 최근 크게 각광 받고 있다[1,2]. 초기의 적층형 칩 필터는 주로 LC 칩 필터가 주류를 이루었는데[3], 이는 집중 인덕터 또는 캐패시터로 구성되는 반면, 인덕터의 낮은 무부하 Q로 인해 다소 높은 삽입손실을 나타낸다. 본 연구에서 제시하고자 하는 stripline 공진기 결합형 BPF는 기존의 Comb-line 필터의 일종으로, 무부하 Q가 낮은 인덕터 성분의 사용을 배제하였기 때문에 적층형 LC 필터에 비해 우수한 삽입손실 특성을 나타낸다[4]. 또한, 공진기간의 전자기적 결합과 공진기에 병렬로 연결된 결합 캐패시터에 의해 감쇠극이 존재하는 타원형 필터의 특성을 나타내는데, 본 연구에서는 감쇠극의 위치를 최대한 통과 대역에 가까운 위치에 존재하도록 하여, 감쇠 특성을 향상시키고자 한다. 이를 위해, 본 연구에서는 설계된 stripline 공진기 결합형 MLC 칩 BPF의 결합 캐패시턴스의 크기, 공진기간의 전자

* : 한국과학기술연구원 박막재료연구센터
(서울시 성북구 하월곡동 39-1,
Fax: 02-958-6720,
Corresponding Author : cykang@kist.re.kr)

** : 남서울대학교 전자정보통신공학부

*** : 중부대학교 정보공학부

2003년 3월 11일 접수, 2003년 3월 19일 1차 심사완료,
2003년 3월 24일 최종 심사완료

기적 결합 등의 변화에 따른 필터의 감쇠극과 통과 대역의 주파수 특성을 알아보고자 한다. 또한, 이를 통해 제시된 결과를 바탕으로 최적의 필터 구조를 설계 해석하고자 한다.

2. 등가회로 설계

그림 1은 본 연구에서 설계된 2-pole 대역통과 필터의 등가회로를 나타낸다. 일반적인 comb-line 필터를 수정 보완한 형태로 전자기적으로 병렬 결합된 두 개의 stripline 전송선의 한쪽 끝은 접지와 단락 되어 있으며, 다른 한쪽은 부하 캐패시터 (load capacitor) C_L 과 직접 연결되어 개방면을 갖는 $\lambda/4$ 공진기 형태로 구성되어 있다. 또한, 공진기 사이에는 결합용 캐패시터 (coupling capacitor) C_c 가 연결되어 있으며, 공진기와 입력측단 사이에는 입출력 결합 캐패시터 C_{01} 이 연결되어 있다. 각 결합 캐패시터의 용량은 결합 stripline 공진기의 우모드 및 기모드 특성 임피던스 해석으로부터 공진기를 등가화하여 계산한다[5]. 식 1과 같이, 같은 공진 주파수를 가질 때, 부하 캐패시터의 값이 클수록 공진기의 길이는 짧아질 수 있으나, 캐패시터를 구성할 수 있는 공간상의 제약에 따라 무한정 부하 캐패시터를 크게 할 수는 없다.

$$C_l = \frac{Y_0 \cot \theta_r}{\omega_0} \quad (1)$$

여기서, Y_0 는 공진기의 특성 어드미턴스, θ_r 은 공진기의 전기적 길이, ω_0 은 공진 각 주파수를 나타낸다.

입출력 결합 캐패시터의 용량은 식 (2)에 의해 체비세프 통과 대역 특성을 갖도록 설계하였고, 전체 필터의 주파수 특성은 2.11~2.17 GHz의 통과 대역을 갖는 IMT-2000 수신단 필터의 응용에 적합하도록 설계하였다.

$$C_{01} = \frac{J_{01}}{\omega_0 \sqrt{1 - \left(\frac{J_{01}}{G_0}\right)^2}} \quad (2)$$

여기서, J_{01} 는 저역 통과 프로토타입으로부터 구한 어드미턴스 인버터, ω_0 은 공진 각 주파수, G_0 는 공진기의 컨덕턴스를 나타낸다.

공진기 사이에 병렬로 연결된 결합 캐패시터와 공진기의 전자기적 결합은 식 (3)과 같이 필터의 감쇠극 위치를 결정한다.

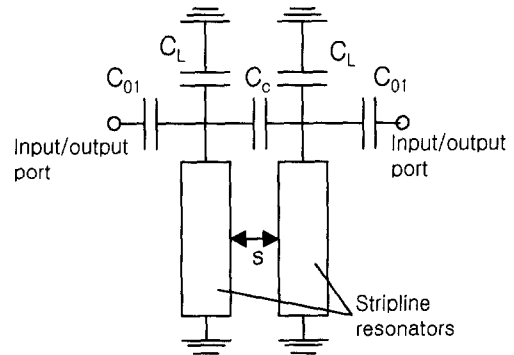


그림 1. MLC 칩 BPF의 등가회로.

Fig. 1. Equivalent circuit of the MLC chip BPF.

$$Z_{12} \tan\left(\frac{\theta_r \omega_n}{\omega_0}\right) = \frac{1}{\omega_n C_{12}} \quad (3)$$

단, 여기서 Z_{12} 는 공진기의 우모드 및 기모드 특성 임피던스에 의해 구해진 결합 전송선의 특성 임피던스, θ_r 은 공진기의 전기적 길이, ω_n 은 감쇠극이 존재하는 각주파수, ω_0 은 공진 각주파수이다.

3. 실험 및 결과 고찰

본 연구에서는, 상용 고주파 회로 시뮬레이터 Serenade를 사용하여 설계된 stripline 공진기 결합형 MLC 칩 BPF의 결합 캐패시턴스의 크기, 공진 시간의 전자기적 결합, 공진기 사이에 놓인 결합 캐패시터의 위치 등의 변화에 따른 감쇠극과 통과 대역의 주파수 특성을 살펴보았다. Stripline 공진기는 유전율 38, 두께 1.4 mm의 유전체 내에 선폭 1 mm로 구현되었다.

그림 2는 설계된 MLC 칩 BPF의 등가회로에서 공진기 사이에 병렬로 연결된 결합 캐패시터 C_c 의 용량 변화에 따른 주파수 특성을 나타낸다. Stripline 공진기 사이의 간격을 0.5 mm로 설정하고, IMT-2000 수신단 필터의 주파수 사양을 만족하도록 각 결합 캐패시턴스 값을 구한 후, C_c 의 용량을 변화시켰다. $C_c=0.36$ pF인 경우, 최적의 주파수 특성을 얻을 수 있었으며, C_c 의 용량이 작아짐에 따라 감쇠극은 통과 대역 근방으로 접근하였고, 커짐에 따라 감쇠극은 저주파 쪽으로 이동하여, 통과 대역에서 멀어지는 현상을 나타내었다. 그러나, 결합 캐패시터 C_c 의 용량 변화에 따라 통과 대역 특성도 변화하여 통과 대역이 좁아지거나, 커짐으로

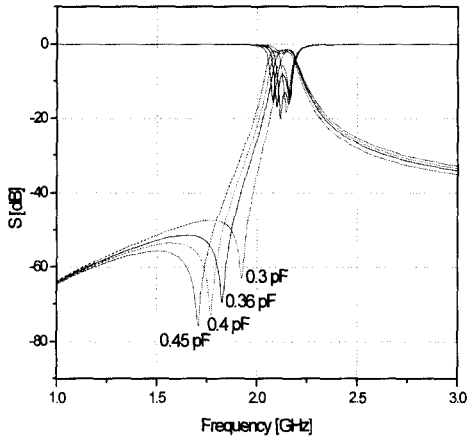


그림 2. C_c 의 용량 변화에 따른 MLC 칩 BPF의 주파수 특성.
 Fig. 2. Frequency characteristics of the MLC chip BPF with the variance of C_c .

인해 만족한 대역 통과 필터의 주파수 특성을 확보하기 어렵다. 따라서, 캐패시터 C_c 의 용량 변화는 감쇠극의 위치 변화와 통과 대역의 변화를 동시에 수반함으로써 이에 의한 감쇠극의 위치 조절은 이 용이하지 않다.

Stripline 공진기 사이의 전자기적 결합량 변화에 따른 감쇠극의 위치 변화를 살펴 보기 위해 공진기 사이의 간격을 0.3~1.0 mm로 변화시켰다. 각각의 경우, 공진기의 우모드 및 기모드 특성 임피던스 해석을 통해 알맞은 통과 대역 특성을 갖도록 결합 캐패시턴스 값을 구하였다. 그림 3은 공진기 사이의 간격 변화에 따라 설계된 MLC 칩 필터의 주파수 특성을 나타낸다. 공진기 간격이 줄어들며 따라 감쇠극의 위치를 통과 대역에 가까운 쪽으로 접근시킬 수 있었고, 이에 따라 통과 대역 아래쪽 감쇠 특성을 향상시킬 수 있었다. 즉, 수신단 필터의 경우 1.92~1.98 GHz의 IMT-2000 송신단 주파수 대역에서의 우수한 감쇠 특성이 요구되는데, 공진기 간격이 0.3 mm인 경우 이 주파수 대역에서 약 40 dB 이상의 감쇠 특성을 확보할 수 있었다.

일반적인 동축형 대역 통과 필터의 경우, 공정을 고려하여 공진기의 개방단 위에 모든 입출력 및 공진기간 결합 캐패시터의 구현한다[6,7]. 그러나 MLC 공정을 이용한 적층형 칩 필터의 구현은 결합 캐패시터 구현의 자유도가 매우 높다. 따라서, 본 연구에서는 공진기간의 결합 캐패시터를 그림 4와 같이 stripline 공진기의 중간에 위치시킴으로써, 보다 넓은 캐패시터 설계 공간을 확보하였다. 즉,

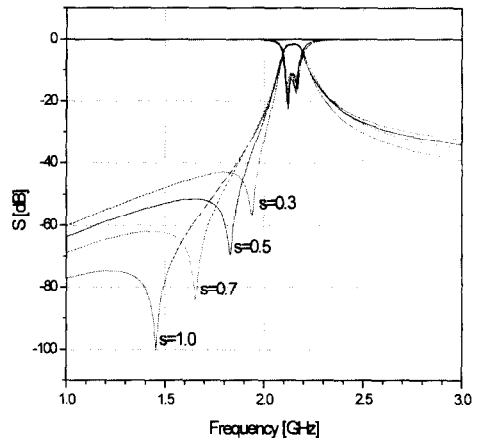


그림 3. 공진기 간격 변화에 따른 MLC 칩 BPF의 주파수 특성.
 Fig. 3. Frequency characteristics of the MLC chip BPF with the variance of gap between stripline resonators.

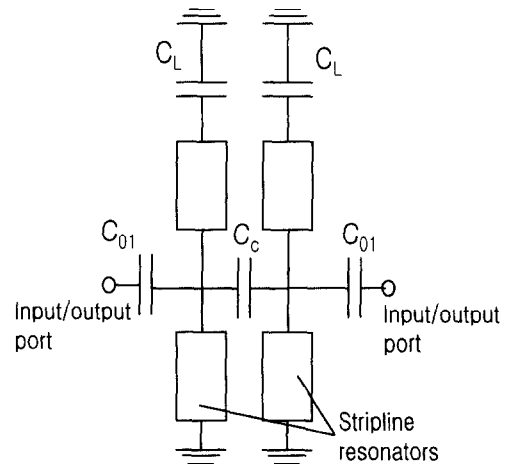


그림 4. 제안된 MLC 칩 BPF의 등가회로.
 Fig. 4. Equivalent circuit of the proposed MLC chip BPF.

부하 캐패시터 C_L 이 구현되어야할 공간이 넓어짐에 따라 보다 많은 부하 캐패시턴스를 구현할 수 있었고, 이로 인해, 공진기의 길이를 보다 짧게하여 소형화를 기할 수 있었다. 또한, 근접한 공간에 여러 개의 캐패시터를 존재하게 함에 따라 야기될 수 있는 상호 간섭을 배제함으로써, 설계의 안정성을 기하였다. 이 때, 공진기간의 간격은 0.3 mm이었다.

그림 5는 그림 4의 등가 회로를 기초로 설계된

MLC 칩 BPF의 구조도를 나타낸다. Resonators layer에 구성된 stripline 공진기의 한쪽 끝은 접지와 단락되어 있으며, 개방단 끝 쪽에는 부하 캐패시터가 구성되어 있다. 공진기의 길이 방향에서 중간정도의 위치에 입출력 및 공진기간 결합 캐패시터가 공진기 위, 아래에 MIM 캐패시터 구조로 형성되어 있다. 설계된 MLC 칩 BPF의 등가회로 및 구조의 주파수 특성은 그림 6과 같다.

4. 결론

본 연구에서는 기존의 comb-line 형태의 필터

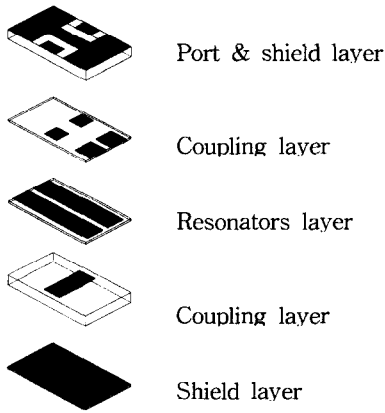


그림 5. 제안된 MLC 칩 BPF의 구조.
Fig. 5. Structure of the proposed MLC chip BPF.

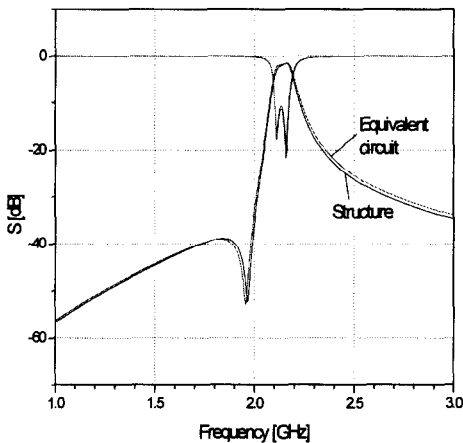


그림 6. 제안된 MLC 칩 BPF의 주파수 특성.
Fig. 6. Frequency responses of the proposed MLC chip BPF.

구조를 변형하여, 통과 대역 아래쪽 저지대역에 감쇠극을 구현한 MLC 칩 BPF에 대해 연구하였다. 즉, stripline 공진기 결합형 MLC 칩 BPF의 결합 캐패시터의 크기, 공진기간의 전자기적 결합 등의 변화에 따른 필터의 감쇠극과 통과 대역의 주파수 특성에 대해 연구하였다. 공진기 사이의 결합 캐패시터가 감소할수록 감쇠극은 통과대역 근방에 가까워지나, 결합 캐패시터의 변화는 통과 대역에 영향을 미치므로, 올바른 필터의 특성을 얻기 어렵다. 반면, 공진기간의 간격을 줄여서 각 결합 캐패시터를 설계함으로써, 통과 대역의 변화없이 감쇠극을 통과대역에 근접시킬 수 있었다. 이와 같은 결과를 바탕으로, 필터의 소형화와 구현이 적합한 최적의 필터 구조를 제시하였다. 설계된 MLC 칩 BPF의 경우, 2.11~2.17 GHz의 통과 대역과 1.95 GHz 근방에 감쇠극을 가지며, 1.92~1.98 GHz의 송신단 대역에서 40 dB 이상의 감쇠특성을 나타내었다.

참고 문헌

- [1] 강종윤, 윤석진, "LTCC를 이용한 RF 부품 기술", 전자파기술, 12권, 3호, p. 80, 2001.
- [2] 이석원, 윤중락, "차세대 이동통신 단말기에 이용되는 적층 칩 필터의 설계 및 제작", 전기전자재료학회논문지, 13권, 7호, p. 583, 2000.
- [3] T. Nishikawa, "RF front end circuit components miniaturized using dielectric resonators for portable telephones", IEICE Trans., Vol. E74, No. 6, p. 1556, 1998.
- [4] T. Ishizaki, T. Uwano, and H. Miyake, "An extended configuration of a stepped impedance comb-line filter", IEICE Trans., Vol. E79-c4, No. 5, p. 671, 1996.
- [5] 강종윤, 최지원, 심성훈, 박용욱, 윤석진, 김현재, "CAD에 의한 초소형 적층형 대역 통과 칩 필터 설계," 전기전자재료학회논문지, 15권, 1호, p. 56, 2002.
- [6] 강종윤, 최지원, 윤석진, 김현재, 박창엽, "유한 요소법에 의한 1.9 GHz대 유전체 일체형 필터의 설계," 전기전자재료학회논문지, 12권, 10호, p. 983, 1999.
- [7] C. Y. Kang, J. W. Choi, S. J. Yoon, H. J. Kim, and C. Y. Park, "Design of Monoblock Dielectric Filter Using (Pb,Ca)(Fe,Nb,Sn)O₃ Ceramics," JMS in Electronics, Vol. 10 No. 9 p. 661, 1999.