

16-4-5

SOI 웨이퍼를 이용한 Top emission 방식 AMOLEDs의 스위칭 소자용 단결정 실리콘 트랜지스터

Single Crystal Silicon Thin Film Transistor using SOI Wafer for the Switching Device of Top Emission Type AMOLEDs

장재원*, 김 훈*, 신경식*, 김재경**, 주병권*

(Jae-Won Chang*, Hoon Kim*, Kyeong-Sik Shin*, Jai-Kyeong Kim**, and Byeong-Kwon Ju*)

Abstract

We fabricated a single crystal silicon thin film transistor for active matrix organic light emitting displays(AMOLEDs) using silicon on insulator wafer (SOI wafer).

Poly crystal silicon thin film transistor(poly-Si TFT) is actively researched and developed nowadays for a pixel switching devices of AMOLEDs. However, poly-Si TFT has some disadvantages such as high off-state leakage currents and low field-effect mobility due to a trap of grain boundary in active channel. While single crystal silicon TFT has many advantages such as high field effect mobility, low off-state leakage currents, low power consumption because of the low threshold voltage and simultaneous integration of driving ICs on a substrate.

In our experiment, we compared the property of poly-Si TFT with that of SOI TFT. Poly-Si TFT exhibited a field effect mobility of $34 \text{ cm}^2/\text{Vs}$, an off-state leakage current of about $1 \times 10^{-9} \text{ A}$ at the gate voltage of 10 V, a subthreshold slope of 0.5 V/dec and on/off ratio of 10^4 , a threshold voltage of 7.8 V. Otherwise, single crystal silicon TFT on SOI wafer exhibited a field effect mobility of $750 \text{ cm}^2/\text{Vs}$, an off-state leakage current of about $1 \times 10^{-10} \text{ A}$ at the gate voltage of 10 V, a subthreshold slope of 0.59 V/dec and on/off ratio of 10^7 , a threshold voltage of 6.75 V. So, we observed that the properties of single crystal silicon TFT using SOI wafer are better than those of poly Si TFT. For the pixel driver in AMOLEDs, the best suitable pixel driver is single crystal silicon TFT using SOI wafer.

Key Words : SOI(silicon on insulator) wafer, AMOLEDs(active matrix organic light emitting displays), Singlecrystal silicon thin film transistor

1. 서 론

OLED(Organic Light Emitting Displays)는 형

* : 한국과학기술연구원
(서울시 성북구 하월곡동 39-1)
Fax: 02-958-5692
Corresponding Author : jbk@kist.re.kr

** : 광전자재료연구센터
2002년 7월 2일 접수, 2002년 8월 5일 1차 심사완료,
2002년 12월 12일 최종 심사완료

광성 유기화합물을 전기적으로 여기시켜 발광시키는 자체발광 디스플레이이다. OLED소자는 LCD(Liquid Crystal Display)보다 응답속도가 빠르고, 저 전압구동이 가능하며, 자체발광하기 때문에 인식성이 뛰어나다. 또한 구조가 간단하며 제조가 용이하고 경량 박형 등의 장점을 갖고있어 차세대 평판 디스플레이(Flat Panel Displays)로서 주목을 받고있다.

OLED의 구동방식은 두 가지로 분류할 수 있다. 첫 번째로 화소의 구조가 간단한 수동 매트릭스 방식이다. 수동 매트릭스 방식(Passive Matrix)은 해상도가 증가하면 각각 화소에 할당되는 라인시간이 감소되어, 디스플레이 하기 위해서 필요한 전류가 급격히 증가하게 된다. 따라서 해상도가 높은 OLED를 수동 매트릭스 방식으로 구동하면 소비전력이 증가되고, 발광효율이 감소되며, OLED 수명이 감소되는 단점을 지니고 있다. 두 번째 방법은 능동 매트릭스 방식(Active Matrix)으로, OLED를 구동할 때 OLED에 흐르는 전류소비가 감소되어 발광효율이 증가된다. 능동 매트릭스 방식은 화소 내에 설계된 전류원을 사용하여 프레임 시간동안 전류를 계속해서 각 화소의 OLED소자에 공급하는 방식으로 수동 매트릭스 방식의 문제점인 고해상도에서의 전류소비증가문제를 해결할 수 있다.

능동 매트릭스 방식의 구동의 경우, 최근 들어 각광 받고 있는 다결정 실리콘 트랜지스터(poly-silicon thin film transistor)를 이용하여 화소의 스위칭 소자와 구동 드라이브를 동시에 집적화 시키는 방법을 활발히 연구 개발 중에 있다. 그 중 화소 스위칭 역할의 트랜지스터의 경우, 화소의 한 프레임 당 일정한 전류를 공급하여 주어야 하며 turn on이 되었을 때 병렬 정전용량(parallel capacitance)에 충전을 위해 어떠한 전류스파크도 없는 일정함을 유지해야 하고, 또한 고해상도를 위하여 낮은 구동전압과 빠른 이동도의 구현이 필요하다. 하지만 다결정 실리콘 트랜지스터는 off-영역에서 발생하는 누설전류의 감소와 그레인(grain)의 경계로 인한 캐리어들의 트랩현상으로 인한 이동도의 감소와 같은 문제점이 생겨서 스위칭 소자로서의 개선될 부분을 많이 함유하고 있다[1,2].

본 연구에서는 다결정 실리콘 트랜지스터의 누설전류의 단점과 이동도를 개선함과 동시에 기존의 구동 드라이브로 쓰이던 CMOS-FET(complementary metal oxide silicon - field effect transistor)의 다결정 실리콘을 사용으로 인해서 발생할 수 있는 기생 정전 용량 문제점 또한 해결할 수 있는 SOI(Silicon On Insulator) 웨이퍼를 사용함으로써 top emission방식의 OLED에 집적화시킬 수 있는 화소용 스위칭 소자를 제작하고 그 특성을 분석하였다.

2. 실험

2.1 실험방법

단결정 실리콘 트랜지스터를 제조하기 위하여 그 구조는 그림1에서 보이는 것처럼 off set방식의 coplanar structure를 선택하였다.

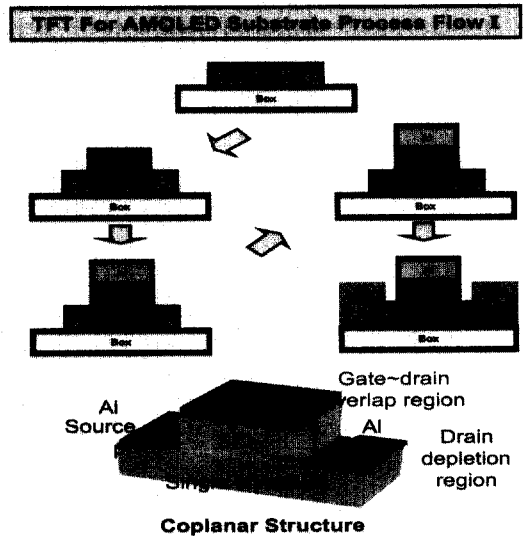


그림 1. SOI 웨이퍼를 이용한 단결정 실리콘 트랜지스터의 제작 구조도.

Fig. 1. Fabrication flow of single-crystal silicon TFT using SOI-wafer.

먼저 기관으로는 활성층으로 쓰일 상부 실리콘층의 두께는 1000 Å, 매몰 산화막은 3000 Å, 하부 실리콘층은 499.6 μm인 SIMOX(separation by implanted oxygen) wafer를 사용하였다. 공정의 순서는 그림2에서 볼 수 있는 것처럼 먼저 활성층인 상부 실리콘층의 island 구조의 절연을 위해 식각 마스크로 사용될 PR(photo-resist)를 이용하여 실리콘 위에 스핀코팅을 실시하고 15분 동안 90 °C에서 soft-baking 후에 사진식각공정을 실시한다. Develop과정을 끝나면 25분 동안 110 °C에서 hard-baking을 실시한다. Baking끝난 샘플을 실리콘 식각액인 Si-II(40% HNO₃ + 1% NH₄F + 1% AgNO₃)를 이용하여 식각을 실시한다. 이때 실리콘이 taper etching이 될 수 있도록 식각 속도를 제어해 주는 것이 필요하다. 이는 등방성 식각액인 Si-II의 식각 시간을 지나치게 많이 잡을 경우

taper etching되지 못함으로 인한 단차가 유발되어 게이트 전극의 형성시 패드와의 단락을 유발하기 때문이다. 실리콘의 식각이 끝난 후 remover를 이용하여 PR을 제거한다. Island patterning이 끝나면 게이트 절연막으로 쓰일 열산화막을 성장시킨다. 산화로에서 건식방법을 이용하여 성장된 열산화막의 경우 막질이 좋고 전자의 포획중심이 적어 게이트 절연막으로 전화포획은 무시할 수 있는 좋은 특성을 가진다. 열 산화막의 성장온도는 1100 °C이고 성장두께는 1500 Å이다. 그 후 게이트 전극의 증착을 연속적으로 실시한다. 게이트 전극으로 쓰인 금속은 트랜지스터의 전극 역할 뿐만 아니라 구동회로의 scan 신호와 data 신호를 다른 트랜지스터들로 전달하는 도로의 역할도 하기 때문에 저항이 작아야 한다. 그러므로 우리는 게이트 전극으로 비저항 값이 낮은 알루미늄을 선택하였다. 게이트 전극은 스퍼터를 이용하여 1500 Å 증착하였다. 게이트 전극 증착 공정이 끝나면 게이트 patterning을 사진식각공정을 이용하여 실시한다. PR을 마스크로 이용하여 island patterning과 동일하게 실시한다. hard baking과정까지 끝낸 후 게이트 전극인 알루미늄과 게이트 절연막인 열산화막을 연속적으로 식각한다. 이때 알루미늄은 Al II(72% H₃PO₄ + 3% CH₃COOH + 3% HNO₃)로, 열산화막은 BOE(NH₄F+HF+H₂O)로 식각을 실시하였다. 식각을 끝낸 후 PR을 제거한다. PR의 제거가 끝난 후 도핑 전 이물질 제거를 위해 충분한 세정작업을 실시한다. 세정이 끝나면 소오스/드레인 전극과 실리콘 사이에 ohmic contact을 이루게 하고 도펀트를 첨가하기 위하여 이온 샤워를 이용하여 도핑을 실시한다. 도핑은 에너지 10 keV, 도즈량 5×10¹⁵에서 실시되었으며 주입된 가스는 BF₂으로 p 타입의 채널형성을 유도하였다. 도핑 실시 후 마지막으로 소오스/드레인 전극용 메탈의 증착을 실시한다. 소오스/드레인 전극용 메탈은 활성층과의 ohmic contact이 이루어져야 하며 스텝부에 크랙이 일어나지 않아야 하며, 증착 후 공정의 화학적인 침식이 없어야 하는데 본 연구에서는 알루미늄을 선택하여 thermal evaporator로 1500 Å 증착하였다. 증착되어진 알루미늄에 사진식각공정 후 Al II(72% H₃PO₄ + 3% CH₃COOH + 3%HNO₃)를 이용하여 식각을 실시한다. 이때 소오스/드레인 전극과 게이트 전극과의 중첩을 줄임으로서 게이트와 드레인간의 전장에 의하여 발생하는 누설전류를 줄이기 위한 off-set 구조가 이루어졌는데 소오스 / 드레인 전극쪽 알루미늄이 게이트쪽과 거리를 유지하지 못한 채 식각이 이루어

지면 단락을 일으켜서 트랜지스터의 특성을 분석할 수 없다. 소오스/드레인의 전극형성이 끝나면 세정을 통해 잔유물질을 제거하여 주고 활성화를 위해서 500 °C에서 15분간 열처리를 실시한다. 열처리가 끝나면 최종적으로 그림2에서 볼 수 있듯이 coplanar structure의 트랜지스터가 만들어진다.

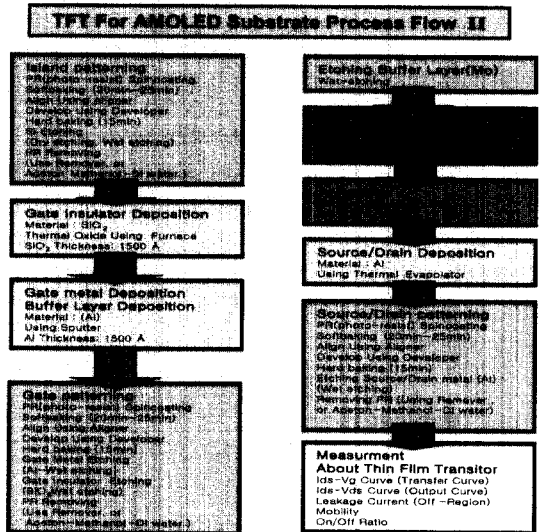


그림 2. SOI 웨이퍼를 이용한 단결정 실리콘 트랜지스터의 공정흐름도.

Fig. 2. Process flow of single-crystal silicon TFT using SOI-wafer.

3. 결과 및 고찰

그림3과 그림4는 제작된 SOI를 이용한 단결정 실리콘 트랜지스터 와 다결정 실리콘 트랜지스터 각각의 I_{ds}-V_g 특성 곡선이다. 다결정 실리콘 트랜지스터의 경우, 드레인 전압이 -0.1 V였을 때, subthreshold slope은 0.5 V/dec 이고, 전계효과 이동도는 34 cm²/Vs, off영역의 누설전류는 게이트 전압이 10 V였을때 1×10⁻⁹ A, 문턱전압은 7.8 V, on/off 전류 비는 약 10⁴임을 나타내고있다. 반면 SOI를 이용한 단결정 실리콘 트랜지스터의 경우, 드레인 전압이 -0.1 V였을 때를 기준으로 subthreshold slope은 0.59 V/dec 이고 전계 효과 이동도는 750 cm²/Vs, off영역의 누설전류는 게이트 전압이 10 V였을 때 1×10⁻¹⁰ A, 문턱전압은 6.75 V, on/off 전류비는 약 10⁷임을 볼 수 있다.

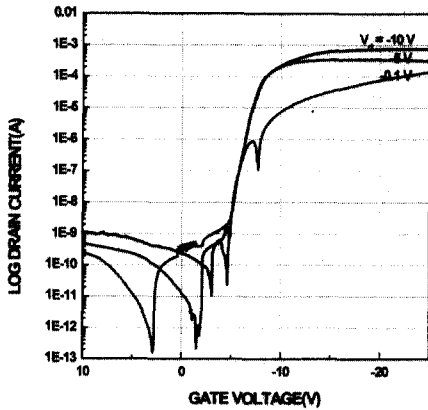


그림 3. 단결정 트랜지스터의 Transfer 곡선 ($I_{ds}-V_g$ 곡선).
 Fig. 3. Transfer curve of single-crystal silicon TFT.

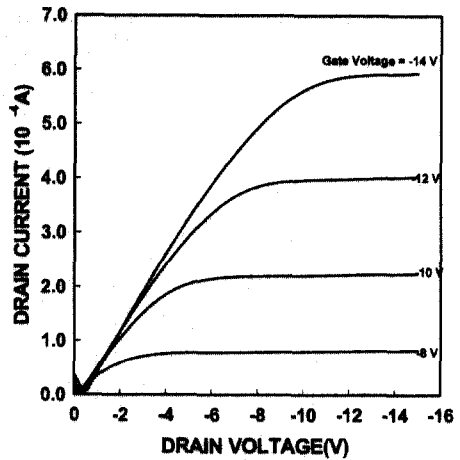


그림 5. 단결정 트랜지스터의 Output곡선 ($I_{ds}-V_d$ 곡선).
 Fig. 5. Output curve of single-crystal TFT.

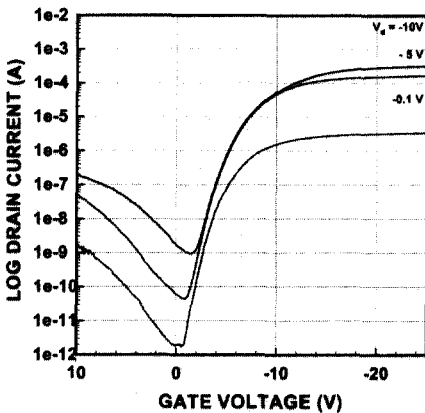


그림 4. 다결정 실리콘 트랜지스터의 Transfer 곡선 ($I_{ds}-V_g$ 곡선).
 Fig. 4. Transfer curve of polycrystalline silicon TFT.

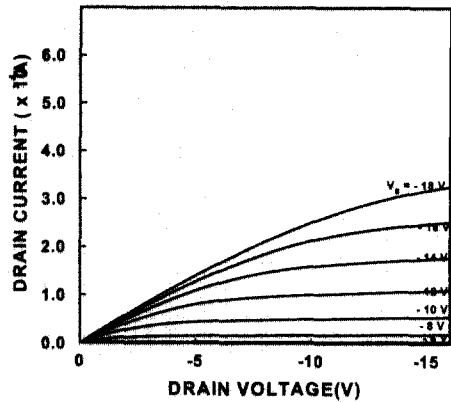


그림 6. 다결정 실리콘 트랜지스터의 Output 곡선 ($I_{ds}-V_d$ 곡선).
 Fig. 6. Output curve of polycrystalline silicon TFT.

그림5와 그림6은 단결정 실리콘 트랜지스터와 다결정 실리콘 트랜지스터의 output 특성 곡선이다. 두 곡선 모두 낮은 게이트 전압에서 current crowding 현상을 보이지 않고 있는데 이는 활성층에 도핑된 p+ 층이 소오스, 드레인 전극과 좋은 ohmic 접촉을 이루었음을 보여주고 있다.

이동도와 문턱전압은 transfer곡선의 선형영역에서 다음의 tranconductance(gm)을 표현하는 식에서 도출하였다.

$$g_m = \left. \frac{\partial I_d}{\partial V_g} \right|_{V_d=0.1} = \mu_n C_i \frac{W}{L} V_d$$

여기서, W/L 은 채널의 폭 대 길이의 비이며, C_i 는 게이트 절연막의 정전용량, μ_{fe} 는 전계효과 이동도이다.

또한 이동도와 문턱전압은 transfer곡선을 선형 스케일로 바꾸어서도 얻을 수 있으며, 각각 V_d 가 -0.1 V이였을 때 다결정 실리콘 트랜지스터의 경우 $34 \text{ cm}^2/\text{Vs}$, -7.8 V이고, 단결정 실리콘 트랜지스터의 경우는 $750 \text{ cm}^2/\text{Vs}$, -6.75 V이다. 이때 게이트 절연막의 정전용량(capacitance)은 2.8×10^{-8} F이었다.

$$I_d = \mu_{fe} C_i \left(\frac{W}{L} \right) (V_g - V_T) V_d \Big|_{V_d=0.1}$$

각 transconductance식을 이용하여 얻은 이동도와 transfer곡선으로부터 얻은 이동도는 거의 일치하였다.

소자의 구조면에서 보면, 두 소자 모두 누설전류를 줄이기 위한 off-set방식의 coplanar 구조를 선택하였는데, 누설전류는 게이트와 드레인 사이에 약한 전기장을 걸어준 상태에서 실리콘의 가전자대에서 전도대로의 전자의 열적 활성화에 의하여 발생하며, 중간정도의 전기장상태에서는 가전자대에서 트랩 영역으로의 전자의 열적 활성화시 발생하거나 낮은 장벽을 통해 전자가 터널링하면서 발생되며, 강한 전기장에서는 터널링 길이가 감소하게 됨으로 밴드갭내의 트랩상태를 통해 전자가 터널링하기 때문에 발생하는 메커니즘을 가지고 있다[2].

off-set구조를 취하게 되면 게이트와 드레인사이의 전기장의 감소되는 영향으로 인해 off쪽의 누설전류를 줄일 수 있으나 전계효과 이동도의 경우 감소되는 경향이 존재하게 된다[3-6]. 하지만 패널의 셀게시 feed-through voltage로 인한 화소의 왜곡현상을 감소시킬 수 있다[7-11].

4. 결론

제작된 단결정 실리콘 트랜지스터는 이동도가 $750 \text{ cm}^2/\text{Vs}$ 이고 문턱전압은 -6.75 V. subthreshold slop은 0.59 V/dec, on/off current ratio는 10^7 이고, 누설전류는 게이트 전압이 10 V였을 때, 약 1×10^{-10} A의 특성을 보여 주고 있고, 다

결정 실리콘 트랜지스터의 경우 이동도는 $34 \text{ cm}^2/\text{Vs}$ 이고 threshold voltage은 -7.8 V. subthreshold slop은 0.5 V/dec, on/off current ratio는 10^4 이고, 누설전류는 게이트 전압이 10 V였을 때, 약 1×10^{-10} A의 특성을 보여주고 있다. SOI 웨이퍼를 이용한 단결정 실리콘 트랜지스터는 다결정 실리콘 트랜지스터의 경우와 비교해서 높은 이동도와 낮은 문턱전압을 보여 주고 있는데 이는 그레이의 경계에서 기인된 캐리어의 트랩현상의 감소와 게이트 절연막인 열산화막의 전하포획중심이 적어서 인가된 전압에 따른 전하포획현상이 거의 없기 때문이다. SOI 웨이퍼를 이용한 단결정 실리콘 트랜지스터의 높은 이동도와 낮은 문턱전압의 특성을 이용하여 top emission 방식의 AMOLED를 제작할 경우 저 소비전력 구현을 실현할 수 있으며 아울러 구동 드라이브 자체를 집적화 함으로서 비용절감과 패널 자체의 신뢰도를 향상시킬 수 있다. 동시에 off-set 구조를 채택함으로써 게이트전극과 소오스 / 드레인전극 사이의 overlap을 줄여 패널제작 시 kick back voltage로 인한 화면의 왜곡현상 또한 감소시킬 수 있다.

참고 문헌

- [1] A. Kohno, T. Sameshima, N. Sano, M. Sekiya, and M. Hara, "High performance poly-Si TFT fabricated using pulsed laser annealing and remote plasma CVD with low temperature processing", IEEE Trans. Electron Devices, Vol. 42, p. 251, 1995.
- [2] M.Yazaki, S. Takenaka, and H. Oshima, "Conduction mechanism of leakage current observed in metal-oxide-semiconductor transistor and poly-Si thin-film transistor", J. Appl. Phys., Vol. 31, p. 206, 1992.
- [3] Vivek Subramanian, Member, IEEE, Masato Toita, Nabeel R. "Low-leakage germanium seeded laterally-crystallized single-grain 100-nm TFT's for vertical integration applications", IEEE Electron Device Letter, Vol. 20, p. 341, 1999.
- [4] Anthony I. Chou, Kafai Lai, Kiran Kumar, Prasenjit Chowdhury, and Jack C. Lee, "Modeling of stress-induced leakage current

- in ultrathin oxides with the trap-assisted tunneling mechanism", *Appl. Phys. Lett.*, Vol. 70, p. 3407, 1997.
- [5] Hank Shin, Stella Hong, Tom Wetteroth, and Syd R. Wilson, "Leakage current models of thin film silicon-on-insulator devices", *Appl. Phys. Lett.*, Vol. 72, p. 1199, 1998.
- [6] Kyung Wook Kim, Kyu Sik Cho, and Jin Jang, "Performance improvement of polycrystalline thin-film transistor by adopting a very thin amorphous silicon buffer" *Journal of Non-Crystalline Solids*, Vol. 266, p. 1265, 2000.
- [7] J. P. Uyemura, "Circuit Design for CMOS VLSI", Kluwer Academic Publishers, p. 1, 1992.
- [8] S.Inoue, et al., "ASIA DISPLAY'95", p. 339, 1995.
- [9] 김종준, 정두연, 이종호, 오환술, "SOI NMOSFET을 이용한 Photo Detector의 특성", *전기전자재료학회논문지*, 17권, 7호, p. 583, 2002.
- [10] 손상희, 진 태, "저전압동작에 적절한 SOI-like-bulk CMOS 구조에 관한 연구", *전기전자재료학회논문지*, 11권, 6호, p. 551, 1998.
- [11] 정귀상, 강경두, 김태송, 이원재, 송재성, "인가 바이어스 조건이 전기화학적 식각정지 특성에 미치는 영향", *전기전자재료학회논문지*, 14권, 4호, p. 263, 2001.