

## Ultra Thin 실리콘 웨이퍼를 이용한 RF-MEMS 소자의 웨이퍼 레벨 패키징

### Wafer Level Packaging of RF-MEMS Devices with Vertical Feed-through

김용국, 박윤권, 김재경, 주병권\*

(Yong-Kook Kim, Yun-Kwon Park, Jai-Kyeong Kim, and Byeong-Kwon Ju)

#### Abstract

In this paper, we report a novel RF-MEMS packaging technology with lightweight, small size, and short electric path length. To achieve this goal, we used the ultra thin silicon substrate as a packaging substrate. The via holes for vertical feed-through were fabricated on the thin silicon wafer by wet chemical processing. Then, via holes were filled and micro bumps were fabricated by electroplating. The packaged RF device has a reflection loss under 22 [dB] and a insertion loss of  $-0.04 \sim -0.08$  [dB]. These measurements show that we could package the RF device without loss and interference by using the vertical feed-through. Specially, with the ultra thin silicon wafer we can realize of a device package that has low-cost, lightweight and small size. Also, we can extend a 3-D packaging structure by stacking assembled thin packages.

**Key Words** : Thin wafer, RF-MEMS, Vertical feed-through, Package

#### 1. 서론

최근 초고주파 시스템의 성능과 집적도 향상을 위하여 MEMS 소자가 사용됨으로써 RF-MEMS 소자의 패키징 기술 개발의 필요성이 증가되고 있다. 특히 메모리 카드, 스마트 카드, 휴대용 통신 장비 및  $\mu$ PDA 등과 같은 시스템은 점점 소형화, 경량화, 및 유연성을 필요로 하고 있으며 시스템의 집적화 및 경량화를 위해 새로운 패키징 방법이 연구되고 있다[1,2]. 따라서 RF 소자뿐만 아니라 패키징 기판 자체의 크기와 무게 또한 작아져야

한다. 저 손실, 저 비용, 소형화, 경량화 요구에 맞춰 RF 소자들을 패키징하기 위하여 패키징 기판의 크기와 두께를 줄이기 위한 연구가 필요하다[3]. 하지만 현재까지 패키징 후 체적을 줄이는 연구는 미비한 상태이다. 따라서 본 연구에서는 박막 실리콘 웨이퍼를 패키징 기판으로 사용하여 RF-MEMS 소자를 패키지 하는 방법을 제안하였다. 박막 실리콘 기판을 사용함으로써 칩 자체의 크기와 무게 등을 줄일 수 있으며 따라서 집적화와 유연성을 필요로 하는 소자에 적용시킬 수 있는 장점이 있다. 또한 MEMS 소자의 패키징에 적용할 경우 3D 패키지에도 적용할 수 있다[4]. RF 소자를 패키지 하는 경우 저주파대역을 사용하는 기존의 다른 소자와는 달리 GHz 이상의 고주파를 사용하기 때문에 신호의 간섭이나 기생용량 등을 고려하여 패키지를 하여야 한다[5]. 이러한 요구를 만족시키기 위하여 패키징 기판으로 박막 웨이퍼를 사용함으

\* : 한국과학기술연구원 마이크로시스템센터  
(서울시 성북구 하월곡동 39-1,  
Fax : 02-958-5692

Corresponding Author : jbk@kist.re.kr

2003년 3월 28일 접수, 2003년 5월 15일 1차 심사완료,  
2003년 7월 25일 최종 심사완료

로써 기판 두께에 따른 유전 손실의 감소를 이룰 수 있고 또한 금속 와이어를 사용하지 않고 수직으로 짧게 전기적 연결을 함으로써 기생용량을 줄일 수 있어 신호의 손실을 최대한 감소시킬 수 있는 장점이 있다. 이를 위하여 본 연구에서는 박막 실리콘웨이퍼를 제작한 후 수직형 feed-through를 위한 홀을 제작하였고, 전기 전도성이 우수한 금으로 홀을 채웠으며 패키징 후 기판의 전기적 특성을 측정하고 분석하였다. 또한 실리콘웨이퍼가 100  $\mu\text{m}$  이하의 두께를 가지게 되면 실리콘 고유의 탄성 성질에 의해 기판 자체가 유연성을 가지게 된다. 박막 실리콘 기판에 MEMS 소자를 제작한 후 본 연구에서 개발한 박막 실리콘 기판을 패키징 기판으로 사용함으로써 flexible MEMS의 적용 또한 기대된다.

## 2. 실험

본 실험에서는 박막 실리콘 기판을 패키징 기판으로 사용하기 위하여 습식 식각을 이용하여 웨이퍼를 식각하였다. 웨이퍼 식각 기술은 현재 실리콘 뒷면을 연마 한 후에 이때 발생하는 실리콘 표면의 스트레스나 결정의 결함 등을 CMP(Chemical Mechanical Polishing) 공정을 통해 제거하는 방법이 주로 연구되고 있다[6,7]. 하지만 CMP 기술은 공정이 복잡하고 비용이 많이 드는 단점이 있다. 따라서 본 연구에서는 실리콘의 스트레스를 줄일 수 있으면서도 공정이 간단하고 비용이 적은 KOH 습식 식각 방법을 이용하여 두께 50  $\mu\text{m}$ 를 가지는 유연성 있는 박막 실리콘 기판을 제작하였다. KOH 습식 식각은 실리콘과의 화학적인 반응에 의해 이루어지기 때문에 랩핑(lapping)이나 연마 방법보다 실리콘 표면의 스트레스나 마이크로 크랙 등을 줄이면서 실리콘을 식각 할 수 있는 장점이 있다. 본 연구에서의 KOH 습식 식각 온도는 79  $^{\circ}\text{C}$ 를 유지하였으며 식각율은 1.3  $\mu\text{m}/\text{min}$  이었다. 온도가 높을수록 식각율은 높아지지만 실리콘 표면의 거칠기가 증가하는 문제가 발생한다. 실리콘 표면의 고른 식각을 위해 수직방향으로 범핑을 해주었다. 그림 1은 제작된 4인치 박막 실리콘 기판과 기판의 두께를 보여주고 있다. 그림에서 보듯이 제작된 50  $\mu\text{m}$  두께의 실리콘 기판은 스트레스가 없으며, 실리콘 기판의 우수한 탄성 성질에 따라 30 $^{\circ}$  이상의 유연성을 가지고 있음을 알 수 있다. 완성된 박막 웨이퍼의 TTV(total thickness variation)는  $\pm 2 \mu\text{m}$ 로 우수한 두께 분포를 보였다.

박막 실리콘 기판을 사용함으로써 패키징 기판의 무게 및 두께를 줄일 수 있고 또한 박막 웨이퍼간의 접합을 통해 3D 및 다층 구조의 패키징을 할 수 있는 장점이 있으며, 또한 전기적 길이를 줄일 수 있는 장점이 있다.

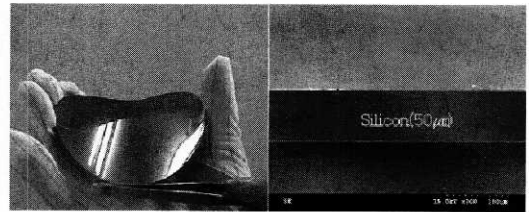


그림 1. 제작된 박막 실리콘 기판.  
Fig. 1. Fabricated thin silicon wafer.

제작된 50  $\mu\text{m}$  두께의 박막 실리콘 기판을 패키징 기판으로 가공하기 위하여 핸들링 웨이퍼를 접합하였다. 박막 실리콘 기판의 경우 웨이퍼가 매우 얇기 때문에 가공 시 핸들링 미숙에 의하여 파손이 되는 위험이 있다. 따라서 본 연구에서는 AZ 9260 두꺼운 감광막을 이용하여 핸들링용 실리콘 웨이퍼와 박막 웨이퍼를 접합함으로써 안정한 공정 조건을 이룩하였다. 두꺼운 감광막을 사용함으로써 최종적으로 lift-off 시 패키징 기판과의 분리를 간단히 할 수 있었고, 기존의 MEMS 공정을 이용하여 쉽게 형성 할 수 있었다. 그림 2는 본 연

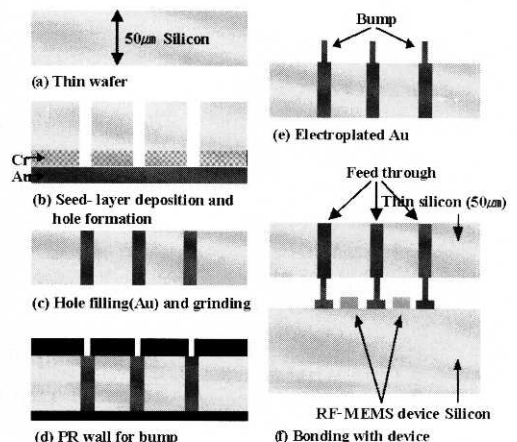


그림 2. 패키징 구조의 제작 공정.  
Fig. 2. Schematic drawing of the packaging process flow.

구에서 제안한 패키징 과정을 보여주고 있다. 패키징 기판으로 50  $\mu\text{m}$  두께를 갖는 박막 실리콘 기판을 사용하였고(그림 2a), ICP RIE(Inductive Coupled Plasma Reactive Ion Etching)를 이용하여 박막 웨이퍼에 비아를 형성하여 feed-through 를 수직으로 연결하는 방법을 제안하였다(그림 2b). 형성된 비아 홀 내부에 전기 도금법을 이용하여 금을 채웠으며(그림 2c), 범프를 제작하기 위하여 두꺼운 감광막을 사용하여 몰드를 만든 후(그림 2d), 소자의 패드와 패키징 기판과의 접합을 위해 범프를 형성하였다(그림 2e). 골드-골드 접합을 이용하여 패키징 기판의 범프와 소자의 패드를 연결하였다(그림 2f). 마지막으로 network analyzer를 사용하여 제작된 패키징 기판의 특성을 측정하였다.

### 3. 실험 결과

일반적인 비아 홀 형성 방법은 드릴링, 레이저, ICP RIE 등이 있다. 드릴링 방법은 공정이 간단하고 비용이 적게 들지만 회로의 미세화로 인해 홀의 지름이 작아지면서 이로 인한 공정비의 증가와 미세홀 가공에 제한이 있으며, 레이저 방법은 미세홀 가공이 가능하고 우수한 중형비를 갖는데 반해 공정 비용이 많이 드는 단점이 있다. 따라서 본 연구에서는 비교적 공정이 간단하고 미세홀 가공이 가능한 ICP RIE 방법을 이용하여 실리콘 기판에 홀 사이즈가 작고, 수직형인 전기적 통로를 이룩하기 위한 비아 홀을 형성하였다. ICP RIE 공정 시 식각 마스크로는 감광막을 사용하였고, 패터닝을 통하여 60  $\mu\text{m}$ 의 홀을 형성하였다. 그림 3은 제작된 홀의 확대된 모양을 보여주고 있다. 제작된 홀 내부의 폴리머 제거와 기질기를 최소화하기 위하여, 불산(1 % HF) 용액에서 1분간 식각을 하였다. 제작된 홀의 크기 감소로 인해 기생 성분의 감소가 기대되고, 홀 제작의 시간이 단축되는 장점이 있다.

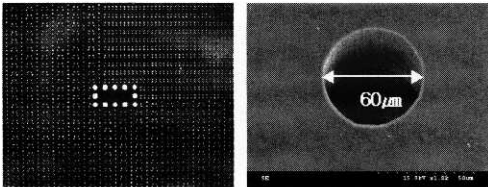


그림 3. ICP RIE을 이용하여 제작된 비아 홀.  
Fig. 3. SEM picture of via hole using ICP RIE process.

제작된 비아 홀 내부를 전기이동 통로로 사용 시 손실을 최소화하기 위하여 전기 도금을 이용 내부를 전기 전도성이 우수한 금으로 채웠다. 스퍼터를 이용하여 전기도금 시 seed layer로 이용될 Cr(500Å)/Au(1500Å) 박막을 증착하였으며 패키징 기판의 표면이 도금되는 현상을 막기 위하여 감광막을 사용하거나 절연체를 증착하여 보호막을 형성하였다. 또한 홀의 크기가 작아지면서 도금을 하는 동안 도금 용액의 침투가 용이하지 않아 홀 내부에 구멍이 생기는 문제가 발생한다. 이런 문제를 해결하기 위해 골드 이온이 홀의 입구 주위보다 홀 내부에 더 집중 될 수 있도록 주기적인 역 바이어스 펄스 전류를 인가하였다[8]. 그림 4는 전기 도금법으로 채워진 비아 홀의 단면 사진을 보여주고 있다. 그림에서 보듯이 홀 내부에 구멍이 없이 금이 채워졌음을 알 수 있다. 따라서 신호 전달 시 금속에 의한 손실이 작아짐을 알 수 있다.

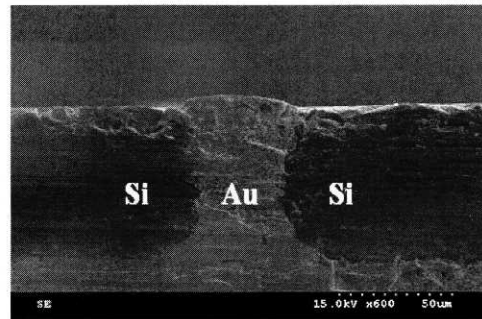


그림 4. 전기도금법으로 채워진 비아 홀.  
Fig. 4. Picture of filled via hole using the gold electroplating.

비아를 금으로 채우고 난 후 두꺼운 감광막을 이용하여 범프 형성 시 가이드를 할 수 있는 몰드를 제작한 후 다시 전기 도금하여 골드-골드 접합을 위한 범프를 형성하였다. 제작된 몰드의 높이는 15  $\mu\text{m}$  이었으며 지름은 80  $\mu\text{m}$  이다. 그림 5는 웨이퍼 레벨로 형성된 범프의 광학 사진 및 높이 프로파일이다. 그림에서 보듯이 범프의 지름은 몰드의 지름보다 20  $\mu\text{m}$  증가한 100  $\mu\text{m}$ 이었으며, 높이는 17  $\mu\text{m}$ 로 제작되었다. 또한 웨이퍼 전체의 범프의 높이 차이는  $\pm 2 \mu\text{m}$ 로 형성되었다.

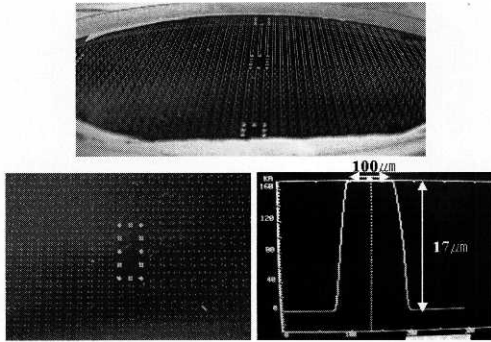
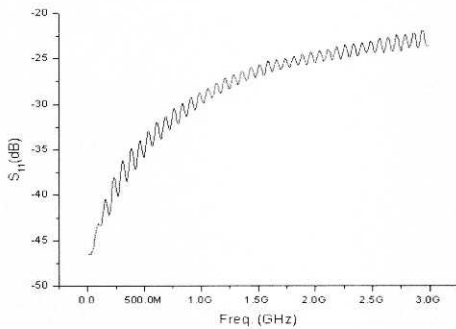
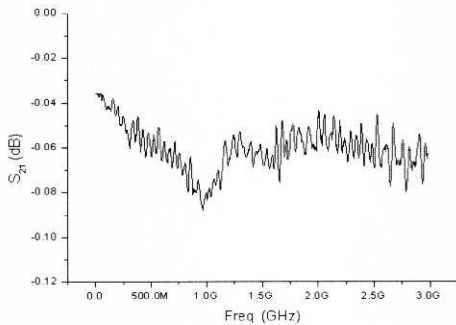


그림 5. 웨이퍼 레벨로 형성된 범프의 광학 사진 및 높이 프로파일.

Fig. 5. Photographs of the gold bumps and surface profile of a bump.



(a) Reflection loss,  $S_{11}$



(b) Insertion loss,  $S_{21}$ .

그림 6. 패키징 구조의 측정 결과.

Fig. 6. Measurement results of packaged structure. GSG probe 와 HP 8753D network analyzer.

제작된 패키징 기판의 특성을 측정하기 위하여 실리콘 기판의 상부에 측정용 패턴을 형성하였다. 측정용 패턴은 GSG(ground-signal-ground, 400  $\mu\text{m}$  pitch) 프로브로 측정이 가능한 구조로 제작하였다. 위와 같이 패키징 기판을 완성한 후, 패키징 될 소자부분을 형성하였다. 패키징 될 소자는 RF-MEMS 스위치로서 실리콘 기판에 형성되며 신호는 CPW(Co-planar waveguide)로 연결되어 있는 구조이다. 본 연구에서는 소자 패키징에 앞서 소자가 형성될 부분에 CPW 만을 제작하여 놓고 제작된 패키징 기판으로 패키징 한 후 패키징 구조만의 특성을 측정하였다. CPW 전송 선로는 150  $\mu\text{m}$  의 넓이에 20  $\mu\text{m}$  갭, 2000  $\mu\text{m}$  의 길이를 가지며 패드의 크기는 400  $\mu\text{m}$   $\times$  400  $\mu\text{m}$  로 프로브 크기에 맞게 제작되었다. 패키징 된 소자에 대해 2 포트를 이용하여 패키징 손실을 측정하였다. 측정된 반사손실( $S_{11}$ )과 삽입손실( $S_{21}$ )을 그림 6에 나타내었다. 반사손실은 측정된 주파수 범위에서 22 [dB] 이하로 측정되었으며 삽입손실은 약 -0.04 ~ -0.08 [dB]로 측정되었고 이러한 측정 결과로 패키징으로 인한 소자의 손실이 매우 작음을 확인 할 수 있었다. 박막 실리콘 기판을 패키징 기판으로 사용함으로써 기판 자체의 두께를 줄여 유전손실을 줄일 수 있었으며 소자의 전기적 연결을 위해 사용된 짧은 feed-through로 인해 소자간의 신호 간섭과 삽입손실을 줄일 수 있었다.

#### 4. 결 론

본 연구에서는 50  $\mu\text{m}$  두께를 갖는 박막 웨이퍼를 사용하여 RF-MEMS 소자를 패키징 하기 위하여 수직형 feed-through의 형성을 제안하였으며 우선 KOH 습식 식각을 이용하여 50  $\mu\text{m}$  두께를 갖는 박막 웨이퍼를 제작하였다. 전체적인 웨이퍼의 TTV는  $\pm 2 \mu\text{m}$  이내로 나왔으며 30° 이상의 유연성을 보였다. 제작된 박막 웨이퍼 기판을 사용하여 패키징 기판을 제작하였으며 측정을 위하여 실리콘 기판에 CPW를 형성한 후, 이를 패키징 한 후 HP 8753D network analyzer를 이용하여 패키징 된 소자의 손실을 측정하였다. 패키징 후 반사 손실은 측정된 주파수 범위에서 22[dB] 이하이며, 삽입손실은 -0.04 [dB] 에서 -0.08 [dB]로써 손실이 매우 작음을 알 수 있었다. 박막 실리콘 기판을 패키징 기판으로 사용함으로써 패키징 후 전체 체적을 줄일 수 있었으며 또한 수직으로 짧게 전기적

연결을 함으로써 기생용량을 줄일 수 있어 신호의 손실을 최대한 감소시킬 수 있었다. 본 연구에서 제안된 웨이퍼 레벨 패키지 방식은 소형화, 경량화 패키징 방법으로 3D MEMS 소자의 패키징으로도 확장 할 수 있으며, 또한 박막 웨이퍼를 이용하여 제작된 소자와 결합을 할 경우 패키징 이후에도 유연성 있는 소자를 제작할 수 있을 것이라 기대된다.

small blind vias”, IEEE Transactions on Electronics Packaging Manufacturing, Vol. 22, No. 3, p. 207, 1999.

### 참고 문헌

- [1] Ingo Doerr, “A new approach for system integrated packaging”, Electronic Components and Technology Conference, p. 831, 2001.
- [2] Erik Jung, A. Neumaan, D. Wojakowski, and A. Ostmann, “Ultra thin chips for miniaturized products”, 2000 Electronic Components and Technology Conference. p. 1110, 2000.
- [3] G. Klink, M. Feil, F. Ansorge, R. Aschenbrenner, and H. Reichl, “Innovative packaging concepts for ultra thin integrated circuits”, Electronic Components and Technology Conference, p. 1034, 2001.
- [4] Kevin Y. Chen, Robert L. D. Zenner, Michael Arneson, and David Mountain, “Ultra-thin electronic device package”, IEEE Transactions on Electronics Packaging Manufacturing, Vol. 23, No. 1, p. 22, 2000.
- [5] 박윤권, 이덕중, 박홍우, 김 훈, 이윤희, 김철주, 주병권, “수직형 Feed-through 갖는 RF-MEMS 소자의 웨이퍼 레벨 패키징”, 전기전자재료학회논문지, 15권, 10호, p. 889, 2002.
- [6] Mark Hebdrix and Trace Hurd, “Advantages of wet chemical spin-process for wafer thinning and packaging applications”, Electronics Manufacturing Technology Symposium, p. 232, 2000.
- [7] C. Landesberger, “New dicing and thinning concept improves mechanical reliability of ultra thin silicon”, 2001 International symposium on Advanced Packaging Materials, p. 92, 2001.
- [8] Show-Chin. K. and Aina. H, “Plating of