

## CeO<sub>2</sub> Buffer Layer를 이용한 Pt/BLT/CeO<sub>2</sub>/Si 구조의 특성

### Characterization of Pt/BLT/CeO<sub>2</sub>/Si Structures using CeO<sub>2</sub> Buffer Layer

이정미, 김경태, 김창일\*

(Jung-Mi Lee, Kyoung-Tae Kim, and Chang-Il Kim\*)

#### Abstract

The MFIS (Metal-Ferroelectric-Insulator-Semiconductor) capacitors were fabricated using a metalorganic decomposition method. Thin layers of CeO<sub>2</sub> were deposited as a buffer layer on Si substrate and BLT thin films were used as a ferroelectric layer. The electrical and structural properties of the MFIS structure were investigated. X-ray diffraction was used to determine the phase of the BLT thin films and the quality of the CeO<sub>2</sub> layer. The morphology of films and the interface structures of the BLT and the CeO<sub>2</sub> layers were investigated by scanning electron microscopy. The width of the memory window in the C-V curves for the MFIS structure is 2.82 V. The experimental results show that the BLT-based MFIS structure is suitable for non-volatile memory FETs with large memory window.

**Key Words** : MFIS, BLT, CeO<sub>2</sub>, Memory window, MOD

#### 1. 서론

강유전체를 이용한 박막기억소자는 FRAM (ferroelectric random access memory), DRAM (dynamic random access memory), FRAM 트랜지스터의 게이트 유전 물질을 강유전체 물질로 이용한 MFS-FET(metal ferroelectric semiconductor field effect transistor)으로 크게 구별된다[1]. 이중 FRAM의 경우 정보를 읽을 때 기억된 정보가 파괴되는 단점을 가지고 있지만, MFS-FET은 강유전체의 분극 특성을 이용하기 때문에 정보를 비파괴적으로 읽을 수 있을 뿐만 아니라 빠른 구동속도, 고직접화의 장점을 가지고 있다[2,3]. MFS-FET의 강유전체로는 Pb(Zr,Ti) O<sub>3</sub>, SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>, (Bi, La)<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub> 등을 많이 사용하고 있다[4]. PZT의 경우 분극피로, imprint, retention 등의 문제점

을 가지고 있고, SBT는 분극피로가 거의 없지만 높은 공정온도가 필요하다는 문제점이 있다. 그 중 BLT가 박막에 ±5 V의 펄스파를 3×10<sup>9</sup> 회까지 인가하여도 피로 현상이 없는 우수한 분극 피로 특성을 나타내고, 650°C의 낮은 공정 온도에서 증착이 가능하며, 잔류 분극값의 경우 SBT 박막은 6~14 μC/cm<sup>2</sup> 인데 비해 25 μC/cm<sup>2</sup> 정도의 큰 잔류 분극값을 갖는 등의 우수한 특성을 가지고 있어 소자 제작시 우수한 특성을 나타낼 것이다[5, 6]. 그러나 이러한 MFS-FET도 Si 위에 직접 강유전체를 증착하기 때문에 제작과정에서 강유전체와 Si의 상호반응으로 인해 계면특성이 나빠지게 된다[7]. 계면 특성이 나빠지게 되면 전기장을 인가했을 때 전기장의 대부분이 강유전층이 아닌 다른 부분에 걸리게 되어 소자 구동시 동작 특성에 영향을 주게 된다. 이러한 문제점을 해결하기 위한 방법으로 강유전체와 Si 사이에 계면특성이 좋고, Si으로 강유전체의 확산반응을 막아줄 수 있는 유전상수가 높은 절연층을 삽입하는 MFIS 구조가 제안되었다. 현재 절연층으로는 CeO<sub>2</sub>, YMnO<sub>3</sub>, MgO, SiON, ZrO<sub>2</sub> 등의 여러 물질이 연구 되어지

\* : 중앙대학교 전자전기공학부  
(서울시 동작구 흑석동 221,  
Fax: 02-812-9651

Corresponding Author : cikim@cau.ac.kr)

2003년 1월 30일 접수, 2003년 4월 2일 1차 심사완료,  
2003년 5월 17일 최종 심사완료

고 있다[3,8]. 일반적으로 절연층은 좋은 계면을 형성하기 위해 Si 위에 heteroepitaxial 성장해야 하고, 높은 유전 상수를 갖으며, Si과 반응하지 않고, 확산 방지막의 특성을 가지고 있어야 한다[9]. 본 논문에서는 Si과의 mismatch가 적어 계면 특성이 우수하고 높은 온도에서도 매우 안정적인 CeO<sub>2</sub>를 버퍼층으로 이용하였다[10].

본 연구는 CeO<sub>2</sub>와 BLT 박막을 MOD (metalorganic decomposition)법으로 제조하여, p-형 Si 기판 위에 CeO<sub>2</sub>를 증착하고, 그 위에 BLT를 스피ن 코팅법으로 증착하여 MFIS 구조의 전기적, 구조적 특성을 연구하고, CeO<sub>2</sub>를 절연층으로 BLT 박막을 강유전층으로 이용한 MFIS-FET 구조의 비휘발성 메모리 소자의 응용 가능성을 고찰하고자 한다.

## 2. 실험

CeO<sub>2</sub> 막이 증착될 p-형 Si 기판은 자연산화막(SiO<sub>2</sub>)을 제거하기 위해 유기 세정 및 표준 RCA 법으로 세정하였다. 우선 CeO<sub>2</sub> 박막은 cerium(III) acetylacetonate hydrate [Ce(CH<sub>3</sub>COCHCH<sub>3</sub>)<sub>3</sub>·x-H<sub>2</sub>O]와 용매로 methanol [CH<sub>3</sub>OH]을 사용하여 CeO<sub>2</sub> 용액을 제조한 후 Si 위에 스피ن 코팅법으로 증착하였다. BLT 용액을 제조하기 위해 bismuth(III) acetate [(CH<sub>3</sub>CO<sub>2</sub>)<sub>3</sub>Bi], lanthanum-acetate hydrate [(CH<sub>3</sub>CO<sub>2</sub>)<sub>3</sub>LA·x·H<sub>2</sub>O], titanium iso-propoxide [Ti[OCH(CH<sub>3</sub>)<sub>2</sub>]<sub>4</sub>]을 사용하였고, bismuth(III) acetate와 lanthanum-acetate의 용매로는 acetic acid, titanium iso-propoxide의 용매로는 ethylen glychol의 일종인 2-methoxyethanol을 사용하였다. BLT 박막은 CeO<sub>2</sub>/Si 박막과 Si 위에 직접 스피ن 코팅법으로 증착하여 BLT/CeO<sub>2</sub>/Si, BLT/Si의 두 가지 형태의 구조를 만들었다. CeO<sub>2</sub>와 BLT 박막의 증착 조건은 표 1에 나타내었다. 전기적 특성을 측정하기 위해 같은 방법으로 BLT/CeO<sub>2</sub>/Pt, BLT/Pt구조의 시료를 제작하였다. 상부 전극으로 쓰일 Pt는 지름이 300 μm인 새도우 마스크를 이용하여 BLT 위에 DC 스퍼터링 방법으로 증착하였다.

증착된 박막의 결정구조를 XRD(x-ray diffraction)를 이용하여 분석하고, 표면 및 단면의 구조를 FE-SEM(field emission scanning electron microscopy)을 이용하여 관찰하였다. P-E 특성은 RT66A로 측정하였으며, 1 MHz의 주파수에서 0.2 V/s로 sweep하면서 ±3 V에서 ±7 V까지의 범위로

전압인가 하여 HP4192 impedance analyzer를 이용하여 C-V 특성을 분석하였다.

표 1. CeO<sub>2</sub>와 BLT 박막의 증착 조건.

Table 1. Deposition condition of CeO<sub>2</sub> and BLT thin films.

	CeO <sub>2</sub>	BLT
rpm	4000 (30초)	4000 (30초)
Hot plate	400°C 10분	400°C 10분
열처리 (O <sub>2</sub> 분위기)	700°C 1시간	650°C 1시간

## 3. 결과 및 고찰

그림 1은 p-형 Si 기판 위에 증착 시킨 CeO<sub>2</sub>, CeO<sub>2</sub>/BLT, BLT 박막의 XRD 패턴을 나타내었다. CeO<sub>2</sub> 박막은 (311) 결정 방향의 피크만이 나타났고, Si 위의 BLT 박막은 BTO 층상 페로스카이트 다결정 구조의 일반적인 XRD 패턴을 나타내었으며, CeO<sub>2</sub>/BLT도 같은 다결정 상을 나타내었다.

CeO<sub>2</sub>/BLT 박막에서 CeO<sub>2</sub>의 (311) 결정 방향의 피크는 열처리시 발생하는 응력에 의해 이동한 BLT의 (173)/(371) 결정 방향 피크와 중첩된 것으로 보인다.

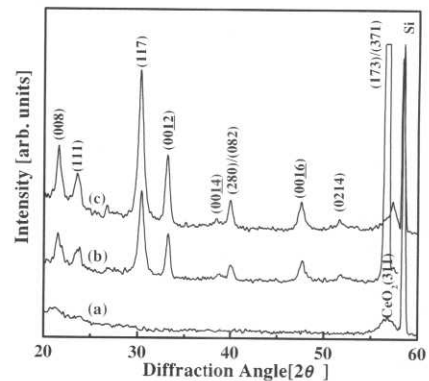


그림 1. X선 회절 패턴 (a) Si/CeO<sub>2</sub>, (b) Si/CeO<sub>2</sub>/BLT, (c) Si/BLT.

Fig. 1. XRD patterns of (a) Si/CeO<sub>2</sub>, (b) Si/CeO<sub>2</sub>/BLT, (c) Si/BLT.

그림 2는 각각 Si/BLT, Si/CeO<sub>2</sub>/BLT, Si/CeO<sub>2</sub> 표면의 FE-SEM 사진이다. Si위에 CeO<sub>2</sub>를 증착한 표면은 CeO<sub>2</sub>가 Si가 mismatch가 적기 때문에 균일한 미세구조를 나타내었으며, Si과 CeO<sub>2</sub> 박막 위에 성장한 BLT 박막의 경우 약간의 기공이 관찰되지만 Si위에 CeO<sub>2</sub>를 증착한 표면이 균일한 미세구조를 나타내기 때문에 그 위에 증착된 BLT 박막 또한 그레인 크기가 작고 균일한 결정립을 나타내었다. 반면에 Si 위에 BLT를 증착한 경우 많은 기공이 관찰되는데 이는 Si과 BLT 사이 경계면에서의 반응에 의한 것으로 판단된다.

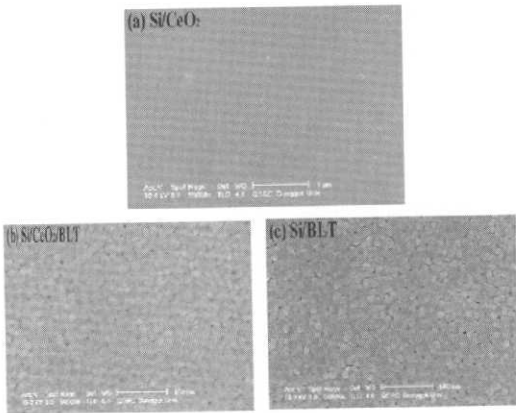


그림 2. SEM 표면 사진 (a) Si/CeO<sub>2</sub>, (b) Si/CeO<sub>2</sub>/BLT, (c) Si/BLT.  
 Fig. 2. Surface SEM image of (a) Si/CeO<sub>2</sub>, (b) Si/CeO<sub>2</sub>/BLT, (c) Si/BLT.

그림 3은 Si/CeO<sub>2</sub>/BLT 박막의 단면 SEM 사진이다. Si 위에 CeO<sub>2</sub> 박막은 매우 얇아 사진상으로 경계면의 확인은 잘 되지 않지만 1회 코팅에 의해 약 10 nm 정도로 증착되었고, BLT 박막은 약 210 nm 정도 증착 되었다. BLT 박막에 비해 절연층으로 이용한 CeO<sub>2</sub> 박막은 매우 얇지만, MFS-FET에서 나타나는 BLT 박막과 Si 사이에 좋지 않은 계면 특성의 원인이 되는 확산은 일어나지 않은 것으로 보인다.

그림 4는 CeO<sub>2</sub> 박막의 계면 확산 방지막(buffer layer)으로서의 효과를 확인하기 위해, Si/CeO<sub>2</sub>/BLT 구조의 박막깊이에 따른 성분 원소분포와 계면에서의 각 원소의 분포 상태를 AES를 이용하여 분석한 결과이다. CeO<sub>2</sub> 박막은 1회 코팅시마다 약 10 nm의 두께로 코팅이 되는데 여기서는 4회 코팅한 것으로 약 40 nm의 두께를 가진다.

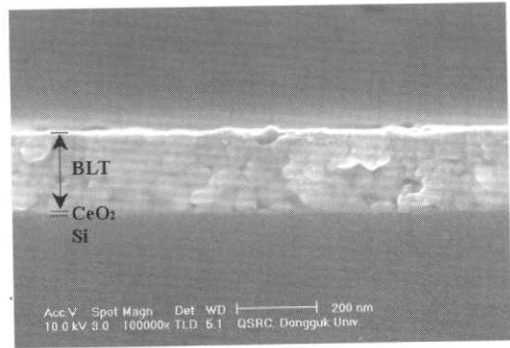


그림 3. Si/CeO<sub>2</sub>(10nm)/BLT(210nm)의 SEM 단면 사진.  
 Fig. 3. Cross-section SEM image of Si/CeO<sub>2</sub>(10nm)/BLT(210nm).

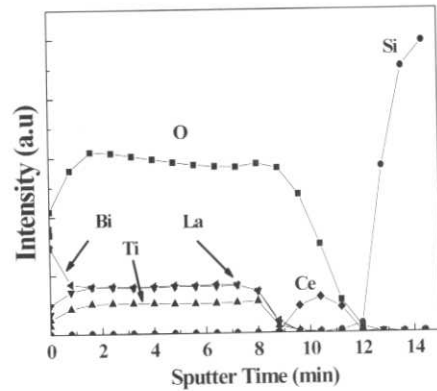


그림 4. Si/CeO<sub>2</sub>(40nm)/BLT(210nm) 구조의 AES depth-profile.  
 Fig. 4. AES depth profile of Si/CeO<sub>2</sub>(40nm)/BLT(210nm) structure.

일반적으로 강유전체 박막과 Si 계면사이에는 상호 확산에 의해 계면 특성이 나빠지게 되고 낮은 유전상수를 가지는 비정질의 SiO<sub>2</sub> 층이 생성되는 것과 같은 문제점이 있다. 또한, 전기장을 인가했을 때 전기장의 대부분이 강유전층이 아닌 다른 부분에 걸리게 되어 소자 구동시 동작 특성에 영향을 주게 된다. 이러한 계면확산을 방지하기 위해 Si 기판위에 CeO<sub>2</sub> 박막 및 BLT 박막을 증착하여 계면에서의 상호확산을 관찰하였다. 그림에서 나타난 바와 같이 BLT와 Si이 서로 확산이 없는 계면 특성을 나타내었다. 이러한 계면특성은 각 계면에서의 자유전율층을 감소시킬 것으로 사료된다.

그림 5는 BLT 박막의 강유전 특성을 관찰하기 위해 MFM(metal ferroelectric metal) 구조를 제작하여 P-E 곡선을 나타내었다. Pt/BLT/Pt와 Pt/CeO<sub>2</sub>/BLT/Pt 구조의 이력곡선을 1~10 V를 인가하여 측정하였다. Pt/BLT/Pt 구조의 경우 BLT의 강유전 특성으로 인해 이력곡선이 포화되고 인가전압이 증가함에 따라 잔류 분극값 및 항전계가 증가한다. 반면 Pt/CeO<sub>2</sub>/BLT/Pt 구조는 CeO<sub>2</sub>의 paraelectric 특성으로 인해 이력곡선이 포화 되지 않고 작은 잔류 분극값을 보인다. 반면 항전계는 Pt/BLT/Pt 구조에 비해 큰 값을 갖고 있어 강유전체 게이트의 전기적 특성이 증가된다. 이는 항전계가 증가할 경우 메모리 윈도우값이 증가하고 이 경우 정보 저장 능력이 향상된다.

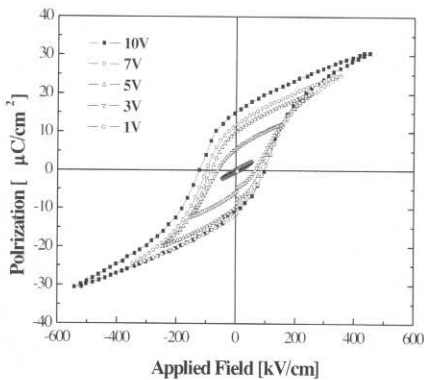


그림 5. Pt/BLT/Pt 구조의 이력곡선.  
Fig. 5. P-E Hysteresis of Pt/BLT/Pt structure.

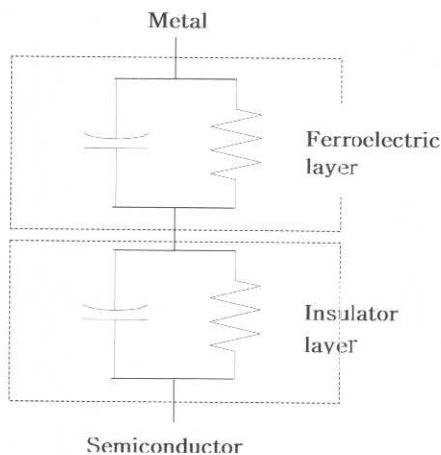


그림 6. MFIS 커패시터의 등가 회로.  
Fig. 6. Equivalent circuit of a MFIS capacitor.

그림 6은 MFIS 커패시터의 등가 회로이다. 전압이 metal과 Si에 인가되면 강유전층과 절연층에 전하가 축적된다. 축적된 전하의 차이는 두 층 사이 계면에 축적된 전하가 되고 그 전하값의 부호가 전압의 것과 같을 때 계면 분극이 잔류분극과 같게 된다.

그림 7은 Si/BLT/Pt와 Si/CeO<sub>2</sub>/BLT/Pt 구조의 1 MHz C-V 특성을 나타내었다. 0.2 V/s로 sweep하고 -5 V에서 +5 V로 다시 +5 V에서 -5 V의 전압을 인가하였다. 강유전체의 분극반전에 의한 반시계 방향의 이력 곡선이 관찰되었다. 이는 강유전체의 분극 상태에 따라서 Si 표면 위에 작용하는 유효전압이 변하게 되기 때문으로 P-E 그래프가 포화 영역에 이를 때 C-V 그래프 또한 포화되게 된다. Si/BLT/Pt와 Si/CeO<sub>2</sub>/BLT/Pt 구조 모두에서 C-V 곡선이 강유전층으로의 전하 주입에 의해 약간 오른쪽으로 shift 된 것을 볼 수 있다. Mobile ion, 항전계 등과 관련 있는 메모리 윈도우값은 결정 방향, 막의 두께, 결정의 크기에 의해 영향을 받는다. 따라서 막의 결정화가 잘 이루어져야 하고 유전율값도 커야 하는데 커패시턴스값을 구하는 식에 의해 살펴 보면 전체 유전율은 절연층의 두께가 얇고 강유전층의 두께가 두꺼워야 커짐을 알 수 있다. 메모리 윈도우를 살펴보면 절연층이 없이 BLT만을 증착한 Si/BLT/Pt 구조는 2.3 V정도의 값을 갖고, Si/CeO<sub>2</sub>/BLT/Pt 구조는

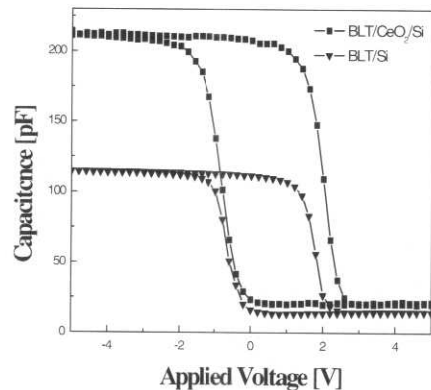


그림 7. Si/BLT(210nm)/Pt와 Si/CeO<sub>2</sub>(20nm)/BLT(210nm)/Pt 구조의 C-V 특성.  
Fig. 7. Capacitance-voltage characteristic of Si/BLT(210nm)/Pt and Si/CeO<sub>2</sub>(20nm)/BLT(210nm)/Pt structure.

2.82 V의 조금 커진 값을 갖는 것을 알 수 있다. 이는 큰 유전율 값을 갖는 얇은 CeO<sub>2</sub> 막으로 인해 BLT 박막에 걸리는 전압이 증가하게 되고 전압이 증가하게 되면 강유전체의 특성으로 분극값과 항전계가 증가하게 된다. 이러한 항전계의 증가로 인하여 이력곡선의 폭인 메모리 윈도우가 증가하게 된다.

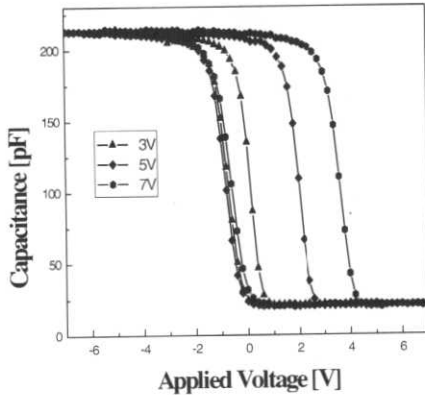


그림 8. Si/CeO<sub>2</sub>(20nm)/BLT(210nm)/Pt 구조의 voltage sweep에 따른 C-V 특성.

Fig. 8. Capacitance-voltage characteristic of Si/CeO<sub>2</sub>(20 nm)/BLT(210 nm)/Pt structure measured with different voltage sweeps.

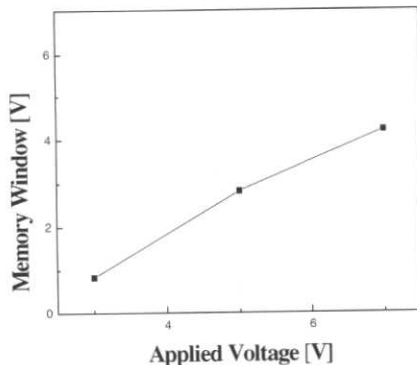


그림 9. Si/CeO<sub>2</sub>(20nm)/BLT(210nm)/Pt 구조 메모리 윈도우.

Fig. 9. Memory windows of Si/CeO<sub>2</sub>(20nm)/BLT(210nm)/Pt structures.

그림 8 및 9는 Si/CeO<sub>2</sub>/BLT/Pt 구조의 voltage sweep에 따른 C-V 특성 및 인가 전압에 따른 메모리 윈도우값을 나타내었다. C-V 특성은 1 MHz의 주파수에서 0.2 V/s로 sweep하면서  $\pm 3$  V에서  $\pm 7$  V까지 범위로 전압 인가하였다. 인가된 전압이 커짐에 따라 메모리 윈도우값 또한 증가하는 것을 알 수 있다. 이는 인가 전압이 음(-)에서 양(+)으로 변할 때 플랫폼 밴드 전압이 sweep 전압에 따라 증가하지만 양(+)에서 음(-)으로 바뀔 때는 sweep 전압에 따라 단계적으로 감소하지 않기 때문에 sweep 전압에 따른 플랫폼 밴드 전압의 차이가 발생하기 때문으로 판단된다[11].

#### 4. 결론

강유전체 BLT 박막과 절연물질로 사용된 CeO<sub>2</sub> 박막은 MOD법에 의해 제조하여 스핀 코팅 방법으로 Si/BLT/CeO<sub>2</sub>/Pt의 MFIS 구조를 제작하였다. CeO<sub>2</sub> 박막은 (311) 결정 방향을 나타내었고, BLT 박막은 (117) 결정성이 강한 다결정임을 XRD를 통해 관찰 하였다. 표면 SEM 사진을 통해 양호한 막 상태를 확인할 수 있었고, 단면 SEM 사진을 통해 BLT와 Si 사이에 확산이 일어나지 않은 우수한 계면 특성을 관찰할 수 있었다. 1 MHz C-V 곡선에서 Si/BLT/Pt 구조의 메모리 윈도우는 2.3 V였고, 절연층을 사용한 Si/CeO<sub>2</sub>/BLT/Pt 구조의 메모리 윈도우는 2.82 V였다. 전압 인가를 크게 할수록 메모리 윈도우값이 커짐을 알 수 있다. 이것으로 CeO<sub>2</sub>를 절연층으로 사용했을 때 특성이 우수하여 Si/CeO<sub>2</sub>/BLT/Pt의 MFIS-FET 구조는 비휘발성 메모리소자로서 응용 가능성이 확인 되었다.

#### 참고 문헌

- [1] J. f. Scott and C. A. Araujo, "Ferroelectric memories", Science, Vol. 246, p. 1400, 1989.
- [2] B. K. Moon, H. Ishiwara, E. Tokumitsu, and M. Yoshimoto, "Characteristics of ferroelectric Pb(Zr,Ti)O<sub>3</sub> films epitaxially grown on CeO<sub>2</sub>(111)/Si(111) substrates", Thin Solid Films, Vol. 385, p. 307, 2001.
- [3] Y. T. Kim and D. S. Shin, "Memory window of Pt/SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>/CeO<sub>2</sub>/Si structure for metal ferroelectric insulator semiconductor

- field effect transistor", Appl. Phys. Lett., Vol. 71, No. 24, p. 3507, 1997.
- [4] 김병호, 윤희성, 정병식, 신동석, "MOD 법에 의한 강유전성  $\text{Sr}_x\text{Bi}_y\text{Ta}_2\text{O}_{9-a}$  (SBT)박막의 제조 및 후 열처리 효과에 관한 연구", 전기전자재료학회논문지, 11권, 3호, p. 229, 1998.
- [5] 김태훈, 김병호, 송석표, "MOD 법으로 제조한 강유전성 SBT 박막에서 하부전극이 유전 및 전기적 특성에 미치는 영향", 전기전자재료학회논문지, 13권, 8호, p. 694, 2000.
- [6] 김경태, 김창일, 권지운, 심일훈, "MOD 법으로 제작된  $\text{Bi}_{3.25}\text{La}_{0.75}\text{Ti}_3\text{O}_{12}$  박막의 강유전 특성", 전기전자재료학회논문지, 15권, 6호, p. 486, 2002.
- [7] T. Kijima, Y. Fujisaki, and H. Ishiwara, "Fabrication and characterization of Pt/(Bi,La)<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>/Si<sub>3</sub>N<sub>4</sub>/Si metal ferroelectric insulator semiconductor structure for FET-type ferroelectric memory applications", Jpn. J. Appl. Phys., Vol. 40, p. 2977, 2001.
- [8] H. S. Choi, Y. T. Kim, S. I. Kim, and I. H. Choi, "Electrical characteristics of Pt/SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>/Ta<sub>2</sub>O<sub>5</sub>/Si using Ta<sub>2</sub>O<sub>5</sub> as the buffer layer", Jpn. J. Appl. Phys., Vol. 40, p. 2940, 2001.
- [9] M. B. Lee, T. Ohnishi, T. Maeda, and M. Kawasaki, "Growth and characterization of ferroelectric Pb(Zr, Ti)O<sub>3</sub> films on interface-controlled CeO<sub>2</sub>(111)/Si(111) structures", Jpn. J. Appl. Phys., Vol. 36, p. 6500, 1997.
- [10] H. W. Song, C. S. Lee, D. G. Kim, and K. S. No, " Characterization of CeO<sub>2</sub> thin films as insulator of metal ferroelectric insulator semiconductor(MFIS) structures", Thin Solid Films, Vol. 368, p. 61, 2000.
- [11] T. J. Choi, Y. S. Kim, C. W. Yang, and J. C. Lee, "Electrical properties of  $\text{Bi}_{3.25}\text{La}_{0.75}\text{Ta}_3\text{O}_{12}$  thin films on Si for a metal-ferroelectric-insulator-semiconductor structure", Appl. Phys. Lett., Vol. 79, No. 10, p. 1516, 2001.