

15-9-2

효율적인 p+ 다이버터를 갖는 수평형 트렌치 전극형 IGBT의 제작에 따른 전기적 특성에 관한 연구

Study on Electrical Characteristics of the Fabricated Lateral Trench Electrode IGBT with p+ Diverter

강이구, 김상식, 성만영*
(Ey Goo Kang, Sang Sig Kim, and Man Young Sung)

Abstract

A new lateral trench LTEIGBT with p+ diverter was proposed to suppress latch-up of LTIGBT. The p+ diverter was placed between the anode and cathode electrode. The latch-up of LTEIGBT with a p+ diverter was effectively suppressed to sustain an anode voltage of 8.7V and a current density of 1453A/cm² while in the conventional LTIGBT, latch-up occurred at an anode current density of 540A/cm². In addition, the forward blocking voltage of the proposed LTEIGBT with a p+ diverter was about 140V. The forward blocking voltage of the conventional LTIGBT of the same size was no more than 105V. We fabricated the proposed LTEIGBT with a p+ diverter after the device and process simulation was finished. When the gate voltage is applied 12V, the forward conduction currents of the proposed LTEIGBT with a p+ diverter and the conventional IGBT are 90mA and 70mA, respectively, at the same breakdown voltage of 150V.

Key Words : Trench electrode, P+ diverter, Latch-up, Forward blocking voltage, High speed

1. 서론

인텔리전트 파워 IC에 있어서 이상적인 특성에 접근된 소자로 1993년에 개발된 Insulated Gate Bipolar Transistor(IGBT)는 높은 전류 밀도, 낮은 순방향 전압 강하의 우수한 순방향 전도 특성을 갖는 바이폴라 구조와 입력임피던스가 높고, 스위칭 특성이 탁월한 MOS 구조를 결합한 3단자 전력용 소자이다[1-3].

이러한 Lateral IGBT(LIGBT) 소자의 단점으로는 게이트 전압 조절을 불가능하게 만들고 있는 래치업 현상과 항복내압을 유지하기 위한 소자의 대형화

등을 이야기할 수 있다. 래칭 전류밀도를 증가시키기 위해 많은 구조의 제안을 하였는데, 그 중에 하나로 소자 내부에 p+ 캐소드 영역을 설정하여 애노드에서 주입되어 래치업 현상에 기여를 하는 홀전류의 흐름을 우회시키는 방법이 보고되었었다. 그러나 이러한 p+ 다이버터의 추가는 항복내압을 감소시키는데 결정적인 역할을 하고 있어 수평형 소자에서는 그 효율성을 인정받지 못하고 있다[4-7].

따라서 본 논문에서는 위와 같은 단점을 보완하기 위해서 모든 전극을 트렌치 형으로 대체함과 동시에 애노드 영역과 캐소드 영역에 p+ 다이버터를 추가한 수평형 트렌치 전극형 IGBT(LTEIGBT : Lateral Trench Electrode IGBT)를 제안하여, 소자를 제작하였다. 제작한 후 소자의 효율성을 검증하기 위해 전기적인 특성을 분석하였다. 또한 제작하기에 앞서 타당성을 입증하기 위하여 2차원 소자시뮬레이터인

* : 고려대학교 전기공학과

(Fax: 02-921-0544

E-mail : semicad@korea.ac.kr)

2002년 4월 29일 접수, 2002년 5월21일 1차 심사완료

2002년 6월 4일 최종 심사완료

MEDICI를 이용하여 소자시물레이션을 수행하여 소자의 전기적인 특성에 대해서 조사하였으며, 2차원 공정시물레이터인 TSUPREM4를 이용하여 공정시물레이션을 수행하여 제작 공정을 대한 흐름을 고찰하였다.

2. 소자의 구조 및 동작

일반적으로 전력용 LIGBT 소자는 구조내에 존재하는 기생 pnpn사이리스터로 인하여 게이트 인가전압에 의한 애노드 전류제어가 불가능해지는 래치업이 발생하여, LIGBT의 최대 동작 전류가 제한되며, 이러한 래치업을 일으키는 원인으로는 p 베이스 영역을 지나가는 정공 전류이다. 이 정공전류는 소자내부에 기생적으로 존재하는 npn 바이폴라 트랜지스터를 활성화시켜 래치업을 발생시키는 것이다. 그림 1(a)는 앞절에서 이미 설명하였던 기존의 LTIGBT 구조의 단면이다. 이 구조에서 MOS 게이트 전극은 트렌치 구조로 형성되어, 채널을 수직방향으로 형성하게 된다. On 상태에서 수직 채널의 공핍층 영역은 n+캐소드 영역 밑의 p-베이스 영역을 지나가는 정공의 수를 효과적으로 감소시키며, 많은 수의 정공들이 p+캐소드를 통해 빠져나가 래치업 특성향상의 효과를 얻을 수 있다.

또한 종래의 VIGBT에서는 구조내에 p+다이버터 영역을 삽입시켜 p-베이스 영역으로 흐르는 정공전류 성분을 감소시켜 래치업 특성향상을 얻고 있다 [1]. 그러나 p+다이버터 구조와 트렌치 전극 구조를 LIGBT에 적용시키면 그림 1(c)와 같은 구조를 얻을 수 있다.

그림 1(b)와 같이 p+ 다이버터를 포함한 LTIGBT 구조에서 정공은 p+ 캐소드 영역과 n-드리프트 영역에서의 역방향 바이어스 접합을 통해서 포획될 뿐만 아니라, p+ 다이버터 영역과 n-드리프트 영역에서의 접합을 통해서도 포획되게 된다. 다이버터 영역도 애노드에 연결되어있으므로 결과적으로 다이버터 영역을 통한 전류도 총 애노드 전류의 한 부분을 차지하게 된다. 결과적으로 p-베이스 영역을 통과하는 정공의 수를 효과적으로 감소시켜 래치업 특성을 향상시킬 수 있으리라 예상된다. 그러나 이와 같은 구조는 순방향 저지영역에서 동작 시, p+ 다이버터로 전계가 집중되어 캐리어의 이온화를 가속시키는 현상을 발생시켜 항복전압을 크게 낮추게 되는 역효과가 있기 때문에 LIGBT 구조에서는 큰 효과를 보지 못하고 있다.

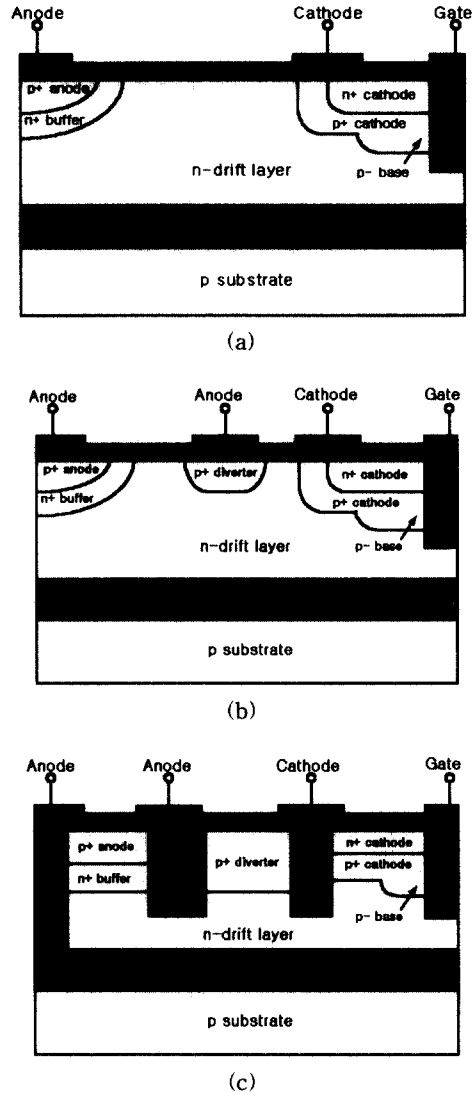


그림 1. 기존의 범용 소자들과 제안된 p+ 다이버터 구조의 LTEIGBT의 단면도 (a) 기존의 범용 LTIGBT (b) p+ 다이버터 구조의 LTIGBT (c) 제안된 p+ 다이버터 구조의 LTEIGBT.

Fig. 1. The cross sectional diagrams of the conventional LTIGBT, LTIGBT with p+ diverter and the proposed LTEIGBT with p+ diverter (a) the conventional LTIGBT (b) the conventional LTIGBT with p+ diverter (c) the proposed LTEIGBT with p+ diverter.

이러한 단점을 극복하기 위해서 그림 1(c) 는 LTEIGBT와 같이 게이트 전극 뿐만 아니라 애노드, 캐소드 전극이 모두 트렌치 구조로 구성되어 있으며, 이 구조에서는 앞서 설명한 바와 같이 트렌치 구조의 전극으로 기존의 구조에서 공핍층에 집중되던 소자 내부의 전계가 트렌치 산화막에 집중되게 된다. 그러므로 래치 업 특성 향상을 위해 p+ 다이버터 영역을 포함하더라도 항복전압이 크게 낮아지지 않아서 높은 저지전압을 유지할 수 있다. 또 이 구조에서 전극이 트렌치 구조로 되어있기 때문에 LTEIGBT 소자처럼 소자의 소형화가 가능하게 된다. 이것은 n+ 캐소드, p+ 애노드 접합과 p+ 다이버터 영역을 형성하는데 트렌치-산화막이 효과적인 마스크 역할을 하기 때문이다.

이 p+ 다이버터를 포함한 LTEIGBT 소자는 p+ 다이버터로 인한 래치 업 특성 향상과 트렌치 산화막으로 인한 항복전압 특성 향상을 동시에 얻을 수 있는 매우 효과적인 구조라고 판단된다.

3. 소자 및 공정 시뮬레이션

소자를 제작하기에 앞서 제안된 소자의 타당성을 검증하기 위해 2-D 소자 및 공정 시뮬레이터인 MEDICI와 TSUPREM4를 이용하여 소자 및 공정 시뮬레이션을 수행하였다.

그림 2에서 보여주고 있는 것은 순방향 전도 영역에서 각 소자들의 I-V 특성을 보여주고 있다. 기존의 LTIGBT인 경우, 1.25V의 애노드 전압에서 117 A/cm²의 전류밀도에서 래치 업이 발생하였으며, 기존의 LTIGBT에 p+ 다이버터를 추가한 p+ 다이버터를 갖는 LTIGBT와 같은 경우에는 비슷한 전류밀도에서 래치 업이 발생하였으나, 래치 업 전압과 같은 경우는 3V로 조금 증가하였다. 래치 업을 일으키는 p 베이스 영역으로 주입되는 홀전류가 감소하고, 반면에 p+ 다이버터 영역으로 주입되는 홀들이 증가하여 래칭 전류밀도 증가할 것으로 예상되었다. 그러나 애노드 전압이 점진적으로 증가하면서, 이러한 p 베이스 영역을 지나는 홀 전류를 다이버터 영역으로 끌어들이는 것이 아니라 p+ 캐소드 영역으로 주입되는 홀들이 나누어서 주입되었기 때문에 래칭 전류밀도를 향상시키질 못한 것으로 판단된다. 그러나 본 논문에서 제안된 구조인 p+ 다이버터를 갖는 LTEIGBT와 같은 구조는 애노드 전압 9V에서 전류밀도 1460.2 A/cm²의 높은 전류밀도에서 래치 업이 발생하였다. 이러한 높은 래칭 전류밀도 특성을 갖

는 것은 LTEIGBT의 구조적인 특성 때문에 LTEIGBT의 전류밀도특성을 그대로 가져오면서 오히려 캐소드 영역이 하나 더 추가된 구조를 갖게 되기 때문이다.

LIGBT 소자의 경우에는 항복 특성을 지배하는 메카니즘은 확장된 공핍층이 만나 이루어지는 펀치 스루 항복 메카니즘이다. 그런데 소자내부에 래치 업을 발생시키기 위해 p 베이스 영역으로 주입되는 홀 캐리어를 우회시키기 위해 제시된 p+ 다이버터 형 구조는 LIGBT에서는 캐소드 전극으로 인식되기 때문에 인가되는 전압이 p+ 다이버터 링에는 역방향 전압이 인가되게 된다. 따라서 p+ 다이버터를 삽입하게 되면 펀치스루 항복이 쉽게 형성되기 때문에 낮은 항복전압을 갖게 되는 것이다. 이러한 이유로 해서 LIGBT에서는 p+ 다이버터 영역을 이용하지 않고 있는 실정이다. 그러나 이전에 서술한바와 같이 p+다이버터를 가지는 제안된 LTEIGBT에서는 전극이 트렌치 형태로 만들어져서 소자 내에서 전계가 이 트렌치-산화막 층에 집중하게 되어 항복현상이 늦게 나타나게 된다. 그림 3에서는 범용 LTIGBT, p+ 다이버터를 갖는 범용 LTIGBT 그리고 제안된 p+ 다이버터를 갖는 LTEIGBT의 순방향 저지 특성을 비교하고 있다. 그림에서 알 수 있듯이, 기존의 LTIGBT의 순방향 저지전압은 97.46 V, p+ 다이버터를 가지는 범용 LTIGBT는 17.4 V인데 비하여 제안된 구조는 약 140 V의 높은 순방향 저지 전압을 나타내었다. 제안된 p+다이버터를 가지는

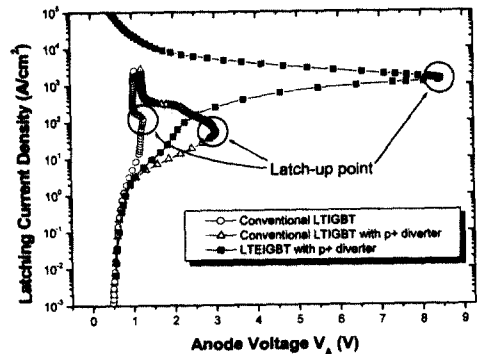


그림 2. 기존의 범용소자들과 제안된 p+ 다이버터 구조의 순방향 전도 특성.

Fig. 2. The forward conduction characteristics of the conventional LTIGBT, LTIGBT with p+ diverter and the proposed LTEIGBT with p+ diverter.

LTEIGBT의 순방향 저지전압이 기존 LTIGBT의 순방향 저지전압의 약 1.4배 향상되었음을 알 수 있으며, p+ 다이버터 영역을 포함한 범용 LTIGBT에 비해서는 9배 정도의 높은 항복전압을 가짐을 알 수 있다.

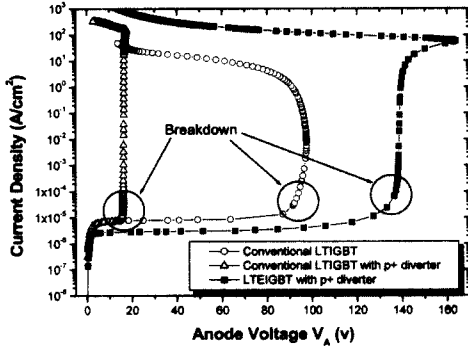


그림 3. 기존의 범용소자들과 제안된 p+ 다이버터 구조의 순방향 항복특성.

Fig. 3. The forward blocking characteristics of the conventional LTIGBT, LTIGBT with p+ diverter and the proposed LTEIGBT with p+ diverter.

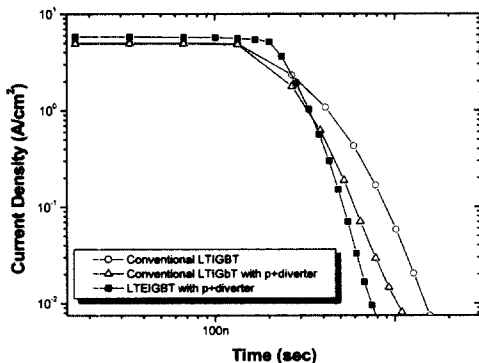


그림 4. 기존의 범용소자들과 제안된 소자의 턴 오프 특성.

Fig. 4. The turn-off characteristics of the conventional LTIGBT, LTIGBT with p+ diverter and the proposed LTEIGBT with p+ diverter.

제안된 소자 및 기존의 범용 LTIGBT의 턴-오프 특성을 그림 4에서 볼 수 있다. 그림에서 알 수 있듯이 제안된 소자가 가장 빠른 턴 오프 특성을 가지고 있는데, p+ 다이버터 구조의 LTEIGBT에서는 기존 LTIGBT와 p+ 다이버터 구조의 LTIGBT의 1.6 μ s, 1.1 μ s 보다 빠른 0.8 μ s를 나타내고 있다. 이것은 트랜치 산화막이 n-드리프트 영역의 일부를 차지하고 있어서 n-드리프트 층에서 축적된 소수 캐리어의 양이 줄어들기 때문이라고 판단된다.

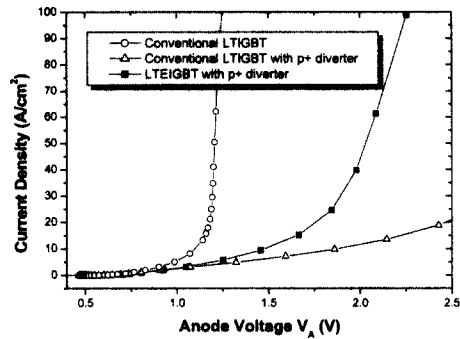


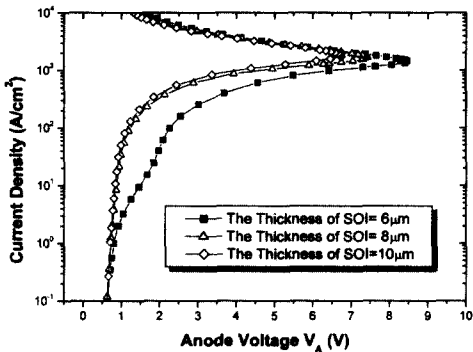
그림 5. 기존의 범용소자들과 제안된 p+ 다이버터 구조의 LTEIGBT의 온 전압 강하 특성.

Fig. 5. The on-state voltage drop of the conventional LTIGBT, LTIGBT with p+ diverter and the proposed LTEIGBT with p+ diverter.

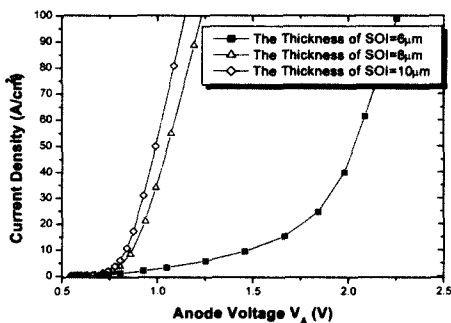
앞에서 확인한 바와 같이 p+ 다이버터를 갖는 LTEIGBT는 기존의 LTIGBT 구조에서보다 래치 업 특성에서 12.4배, 항복 특성에서 1.4배, 턴-오프 특성에서 2배 향상된 특성을 보인다. 그러나 래치 업 전류밀도는 높지만 그림 5에서 보이는 바와 같이 순방향 전도영역에서 초기에 온-저항이 기존의 LTIGBT 구조보다 높은 단점이 있다. 전압용 반도체 소자에서 순방향 전도 시 온-저항이 증가함에 따라 전압강하가 증가하여 이에 따르는 전력손실을 피할 수 없게 된다. p+ 다이버터 영역이 없는 LTEIGBT와 같이 이러한 온-저항 증가는 트랜치 전극구조로 인하여 n-드리프트 영역이 그만큼 감소하여 전기전도에 기여하는 캐리어의 수가 감소했기 때문으로 판단된다. 그래서 기존에 설계하였던 p+ 다이버터 구조의 n-드리프트 영역이 6 μ m이었던 점을 감안하여, SOI의 두께를 8 μ m, 10 μ m인 새로운 구조 모델들에 대하여

시뮬레이션을 수행하였다.

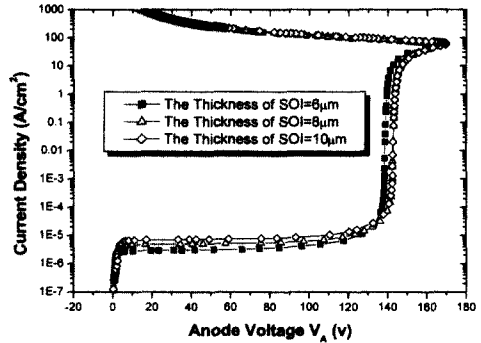
순방향 전도영역에서 각 SOI층의 두께에 따른 특성 변화를 그림 6(a)에서 볼 수 있다. n-드리프트 영역의 두께가 8 μm 인 경우 1643.7 A/cm²의 전류밀도에서, 10 μm 인 경우 1715.2 A/cm²의 전류밀도에서 래치업이 발생하였다. 래치업 특성이 향상되었을 뿐만 아니라 순방향 전도 시에 온-전압 특성도 SOI의 두께가 증가하면서 크게 향상된 특성을 보임을 그림 6(b)에서 확인할 수 있다. n-드리프트 층의 두께가 증가함으로 인해서 전기전도에 기여하는 캐리어의 양이 증가하고 이 부분에서 더 큰 전도도 변조를 일으키면서 전류를 형성하게 되기 때문에 래치업 특성이 향상되면서 온-저항을 감소되는 것으로 판단된다. 순방향 저지영역에서의 항복전압은 그림 6(c)에 나타난 것처럼 기존 큰 변화를 볼 수 없으나 2~3 V정도 향상된 항복전압을 갖는데 이는 항복특성에 주요한 결정요인인 전계의 분포가 트랜치 전극구조로 인하여 대부분 트랜치 전극 산화막에 걸리기 때문이다. 그래서 SOI층의 두께가 변해도 소자 내부에



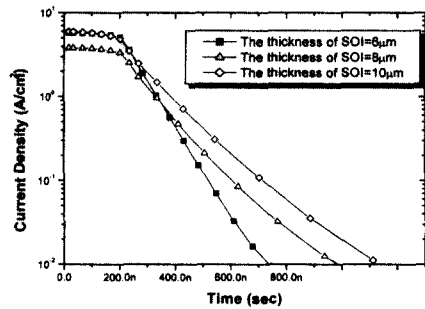
(a)



(b)



(c)



(d)

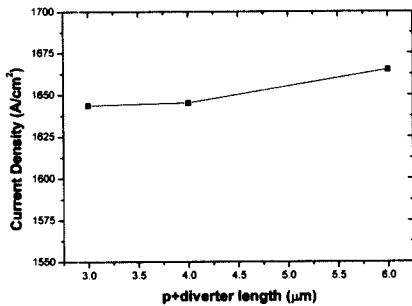
그림 6. SOI의 두께 변화에 따른 p+ 다이버터 구조의 LTEIGBT의 전기적인 특성 (a) 래칭 특성 (b) 온전압 강하 특성 (c) 항복 특성 (d) 턴 오프 특성.

Fig. 6. 16 The electrical characteristics of the proposed LTEIGBT with a p+ diverter according to the SOI thickness (a) The latching characteristics (b) The on-state voltage drop (c) The breakdown characteristics (d) The turn-off characteristics.

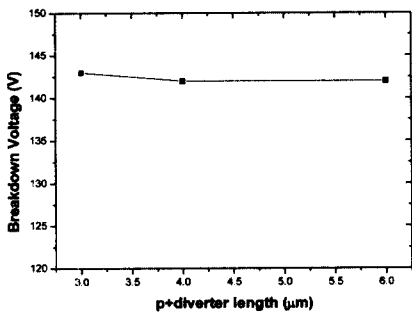
가해지는 전계는 크게 변하지 않기 때문인 것으로 사료된다. 그러나 SOI층의 두께변화에 따라 턴-오프 특성은 변화가 생긴다. SOI층이 커짐에 따라 이에 따르는 캐리어 밀도가 증가하기 때문에 소수캐리어의 축적이 증가함으로 턴-오프 시간이 느려지게 되어 온-저항과 턴-오프 시간 사이의 트레이드 오프 관계가 성립하게 되어 설계 시에 파라미터의 적절한 선택이 필요하다.

그림 6(d)에 SOI층의 두께에 따른 턴-오프 특성을 볼 수 있다. SOI층의 두께가 6 μm 인 경우 턴-오프 시간이 0.8 μs 인데 비하여, 8 μm 일 때는 1.0 μs , 10 μm 일 때는 1.1 μs 로, SOI층이 두꺼워짐에 따라 턴-오프 시간이 길어지는 것을 확인할 수 있다. 래치 업 특성과 순방향 전도 시 온-저항에 따른 전압강하, 그리고 턴-오프 특성을 감안했을 때, SOI의 두께가 8 μm 의 경우가 낮은 온-저항과 높은 래치 업 전류밀도, 그리고 기존의 LTIGBT보다 빠른 턴-오프 특성을 가지므로 가장 바람직한 구조라 판단된다.

p+ 다이버터 영역의 설정은 애노드에서 공급되는 정공을 효과적으로 포획하여 p- 베이스 영역을 통과하는 정공전류의 성분을 감소시켜 래치 업 특성을



(a)



(b)

그림 7. p+ 다이버터 영역의 길이 변화에 따른 p+ 다이버터 구조의 LTEIGBT의 전기적인 특성 (a) 래칭 특성 (b) 항복특성.

Fig. 7. The electrical characteristics of the proposed LTEIGBT with a p+ diverter according to the length of p+ diverter (a) the latching characteristics (b) the breakdown characteristics.

향상시키기 위함이다. 순방향 전도 시 두개의 전류 성분 중 p+ 다이버터 영역으로 흐르는 전류성분을 증가시키기 위하여, 앞 절에서 우수한 전기적 특성을 보인 SOI의 두께가 8 μm 인 구조에서 3 μm 이었던 p+ 다이버터 영역의 길이를 4 μm , 6 μm 로 변화시켜 시뮬레이션을 수행하였다. 전체 구조의 길이는 변하지 않았고, 각 전극에서의 산화막 폭을 줄여가면서 p+ 다이버터 영역의 길이를 증가시켰다.

순방향 전도영역과 순방향 저지영역에서 다이버터 영역의 횡방향 길이가 4 μm 그리고 6 μm 에 따른 전기적 특성을 그림 7에서 비교하였다. 순방향 전도영역에서는 p+ 애노드에서 주입된 정공전류들이 넓어진 p+다이버터 영역 쪽으로 흐르는 양의 증가로 인하여 래치 업 전류밀도를 1645.2 A/cm^2 , 1665.1 A/cm^2 로 증가시키게 된다. 그러나 순방향 저지 영역에서는 넓어진 p+ 다이버터 영역으로 인하여 트랜치 전극 산화막 두께가 감소하고, 산화막 주위의 n-드리프트 층이 증가하여 이 부분에 집중된 전계로 인한 충돌이온화 증가로 항복전압이 약간 감소함을 알 수 있다.

그림 8은 소자시뮬레이션을 통해 검증된 p+ 다이버터 구조의 LTEIGBT로 공정시뮬레이션을 수행하여 최종적으로 얻어진 소자의 구조도이다.

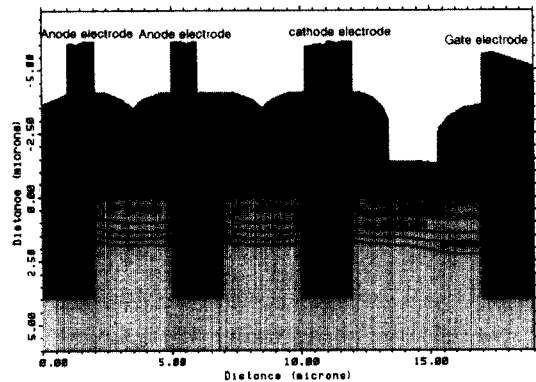


그림 8. 공정시뮬레이션을 통해 얻어진 p+ 다이버터 구조의 LTEIGBT 소자.

Fig. 8. The LTEIGBT with p+ diverter as a result of 2-D process simulation.

4. 소자의 제작 및 전기적 특성 분석

소형 LTEIGBT 소자를 제작하기 위해서 N형, (1,0,0) 방향을 가지며, 비저항 1-10 $\Omega\text{-cm}$ 를 갖는

웨이퍼를 선택하였다. 제작 공정을 수행한 결과, 게이트 산화막의 두께는 1000Å이며, 드리프트 층의 길이는 17μm이다. 그리고 n+ 캐소드 영역의 농도는 $1 \times 10^{20} \text{cm}^{-3}$ 이며 접합깊이는 0.21μm이다., p+ 애노드 영역의 농도는 $1 \times 10^{20} \text{cm}^{-3}$ 이며, 접합깊이는 1μm을 갖는다. 또한 채널 형성을 위한 p 베이스 영역의 농도는 $1 \times 10^{16} \text{cm}^{-3}$ 이다. 그리고 p+ 다이버터 영역의 농도는 $1 \times 10^{18} \text{cm}^{-3}$ 이며, 접합깊이는 1μm이다. 제안된 소자들의 제작을 위해 본 연구에서는 총 7장의 마스크를 설계하여 제작하였다.

그림 9에서는 제작된 p+ 다이버터 구조의 LTEIGBT의 최종 평면도를 보여주고 있다. 그림 10은 제작된 p+ 다이버터 구조의 LTEIGBT의 I-V 특성곡선을 보여주고 있으며, 게이트 전압 12V일 때 최대전류값은 90mA로 상당히 높은 전류밀도를 나타내고 있다는 것을 알수 있으며, 또한 온 전압도 1V 이하로서 우수한 온 상태 특성을 보여주고 있다. 그림 5.29는 제안된 p+ 다이버터 구조의 LTEIGBT와 기존의 범용 LIGBT의 I-V 특성을 비교하고 있는 것으로서 두 소자 모두 150V의 항복 내압을 갖는 소자이다. 이러한 조건하에서 제안된 소자가 최대전류에서 약 20mA 정도가 더 높은 전류 특성을 보여주고 있으며, 동시에 항복내압은 같지만 소자의 크기는 앞에서 서술한 바와 같이 제안된 소자가 기존의 소자에 비해 1/5에 불과하다는 것을 감안한다면 같은 크기에서는 더 높은 전류가 나올 것으로 예상된다.

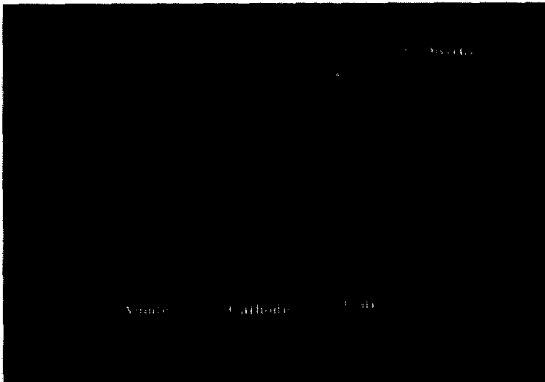


그림 9. 제작된 p+ 다이버터 구조의 LTEIGBT 소자 (FE-SEM).

Fig. 9. The fabricated LTEIGBT with p+ diverter (FE-SEM).

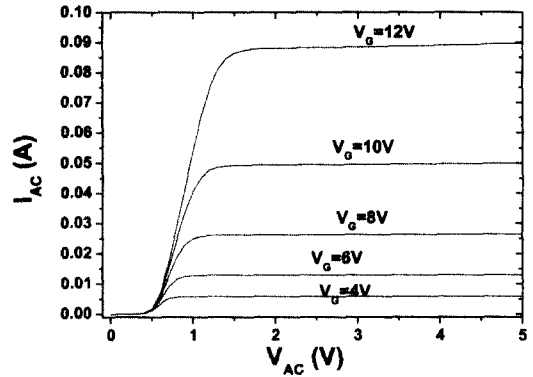


그림 10. 제작된 p+ 다이버터 구조의 LTEIGBT 소자의 I-V 특성.

Fig. 10. The I-V characteristics of the fabricated LTEIGBT with p+ diverter.

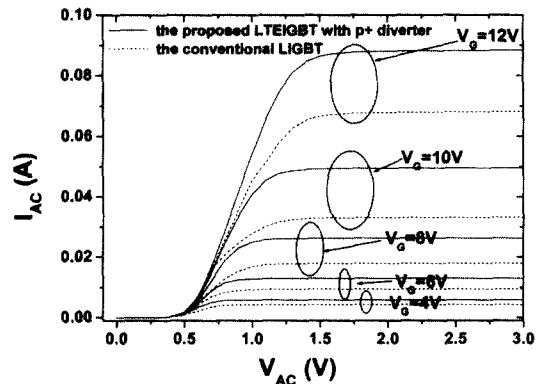


그림 11. 제작된 p+ 다이버터 구조의 LTEIGBT 소자와 범용 LIGBT 소자의 I-V 특성 비교.

Fig. 11. The comparison of I-V characteristics of the proposed LTEIGBT with p+ diverter and conventional LIGBT (BV=150V).

5. 결론

본 논문에서는 LIGBT 소자의 래칭 특성을 향상시키고, 순방향 항복특성을 개선시키기 위해 p+ 다이버터 구조의 LTEIGBT 소자를 제안하였으며, 동시에 제작하여 그 전기적인 특성을 분석하였다. p+ 다이버터 영역을 설정함에도 불구하고 항복전압을 개선시켰으며, 높은 래칭 전류밀도를 얻을 수가 있었

다. 또한 소자 제작에 있어서 소형화를 구현하기 위하여 모든 전극을 트렌치 형으로 대체하여 드리프트 층의 횡방향 길이를 많이 줄여 소형화 및 경량화의 가능성을 제시하였다. 다가올 스마트 파워 IC 제작에 있어서 충분히 활용가능할 것으로 판단된다.

back effect and to obtain high blocking voltage", Trans. on EEM, Vol. 2, No. 3, p. 33, 2001.

감사의 글

본 논문은 과학기술부(2000-J-EH-01-B02)와 과학재단의 특정기초과제연구(1999-2-302-017-5)의 지원에 의해 수행된 일부임.

참고 문헌

- [1] B. J. Balligar, "Power Semiconductor Devices", PWS, p. 452, 1996.
- [2] B. H. Lee, C. M. Yun, D. S. Byeon, M. K. Han, and Y. I. Choi, "A trench-gate silicon-on-insulator lateral insulated gate bipolar transistor with the p⁺ cathode well", Jpn. J. Appl. Phys. Vol. 3, p. 854, 1994.
- [3] T. P. Chow, "A reverse-channel, high voltage lateral IGBT", Proc. ISPSD, p. 57, 1994
- [4] Jun Cai, K. O. Sin Johnny, and K. T. Mok Philip, "A new lateral trench-gate conductivity modulated power transistor," IEEE Trans., ED, Vol. 46. No. 8, p. 1778, 1999.
- [5] T. Trajkovic, F. Udrea, G. A. J. Amaratunga, W. I. Milne, S. S. M. Chan, P. R. Waing, J. Thomson, and D. E. Crees, "Silicon MOS controlled bipolar power switching devices using trench technology", Int. J. Elect., Vol. 86, No. 10, p. 1153, 1999.
- [6] E. G. Kang, S. H. Moon, and M. Y. Sung, "Simulation of a novel lateral trench electrode IGBT with improved latch-up and forward blocking characteristics", Trans. on EEM, Vol. 2, No. 1, p. 32, 2001.
- [7] 강이구, 성만영, "래치 업 특성의 개선과 고속 스위칭 특성을 위한 다중 게이트 구조의 새로운 LIGBT", 전기전자재료학회논문지, 13권, 5호, p. 371, 2000
- [8] E. G. Kang and M. Y. Sung, "A novel EST with trench electrode to immunize snab-