

## SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>/SiN/Si 구조를 이용한 MFISFET의 제작 및 특성

### Fabrication and Properties of MFISFET using SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>/SiN/Si Structures

김광호  
(Kwang-Ho Kim)

#### Abstract

N-channel metal-ferroelectric-insulator-semiconductor field-effect-transistors (MFISFET's) by using SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>/Silicon Nitride/Si (100) structure were fabricated. The fabricated devices exhibit comfortable memory windows, fast switching speeds, good fatigue resistances, and long retention times that are suitable for advanced ferroelectric memory applications. The estimated switching time and polarization (2P<sub>r</sub>) of the fabricated FET measured at applied electric field of 376 kV/cm were less than 50 ns and about 1.5 μC/cm<sup>2</sup>, respectively. The magnitude of on/off ratio indicating the stored information performance was maintained more than 3 orders until 3 days at room temperature. The I<sub>D</sub>-V<sub>G</sub> characteristics before and after being subjected to 10<sup>11</sup> cycles of fatigue at a frequency of 1 MHz remained almost the same except a little distortion in off state.

**Key Words** : MFISFET, SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>/Silicon Nitride/Si structure, FeRAM, Switching property, Retention property, Fatigue property

#### 1. 서론

비휘발성, 고속, 고집적도, 고내구성, 저소비전력을 실현할 수 있는 이상적인 메모리로서 각광을 받기 시작한 강유전체 메모리(FeRAM)는 강유전체 박막의 분극반전과 그 히스테리시스 특성을 적극적으로 이용하는 소자로서 그 연구개발이 활발하게 진행되고 있다. FeRAM의 종류를 크게 대별하면 강유전체 박막을 게이트 절연막으로 사용하는 트랜지스터 형태[1](1T 방식)와 강유전체 커패시터를 이용한 커패시터 형태[2](1T/1C 방식)가 있으며, 현재, 실용화되고 있는 것은 DRAM과 동일한 구조를 갖고 있는 1T/1C 형태의 FeRAM이다. 1T/1C 형태의 구성에서는 정보를 읽을 때에는 강

유전체의 분극반전에 의한 파괴형의 읽기 방식으로 된다. 이에 반하여, 트랜지스터 형태의 FeRAM에서는 비파괴형의 읽기 방식이 가능하고, 단일 트랜지스터 셀 형태인 기본 구성에 의한 고집적화에도 적합하기 때문에 장래의 비휘발성 메모리로서 주목을 받고 있다. 그러나, 이러한 1T 방식의 메모리는 양호한 전기적 및 구조적 특성을 가지는 강유전체/반도체 구조를 구현하기가 매우 어렵기 때문에 현재까지 실용화 단계에 이르지 못하고 있다. 구현하기 어려운 가장 큰 이유 중의 하나는 대부분의 산화물계 강유전체들이 실리콘 위에서는 산화물과 반응하여 실리콘 산화물을 형성하기 때문에 강유전성을 잃게 되며, 따라서 계면에서도 원자적으로 안정되지 않기 때문이다. 이러한 구조에서 만족할 만한 특성을 얻기 위해서는 반도체 위에 강유전체 박막이 형성되었을 때에 박막이 강유전성을 유지함과 동시에 정상적인 FET 동작을 위한 강유전체 박막과 반도체 계면 사이의 계면준위밀도 D<sub>it</sub>가 작아야만 한다. 이러한 요구조건을 만족

청주대학교 정보통신공학부  
(충북 청주시 상당구 내덕동 36,  
Fax: 043-229-8432  
E-mail : khkim@chongju.ac.kr)  
2001년 10월 18일 접수, 2001년 11월 5일 1차 심사 완료,  
2001년 11월 23일 최종 심사 완료

시키기 위한 일환으로 불화물강유전체 BaMgF<sub>4</sub> 박막이나 LiNbO<sub>3</sub> 박막을 실리콘 위에 직접적으로 형성시켜 고온 단시간 열처리(RTA)를 수행한 후, 이것을 이용하여 MFSFET를 제작한 결과와 동작 특성에 관하여 보고[3-5]된 바 있다.

한편, 이러한 단일 트랜지스터 방식인 MFS 형태에서는 반도체 위에서 강유전성이 얻어짐과 동시에 계면특성이 트랜지스터가 동작할 수 있을 정도로 양호해야 하고 더 나아가 게이트 누설전류가 적어야만 비휘발성을 확보할 수 있으므로 이러한 조건을 만족시켜야 하는 어려움 때문에 이와 같은 문제를 해결하기 위한 방안으로 강유전체와 반도체 사이에 buffer층을 삽입하는 연구(MFIS 구조)[6]와 더 나아가 이 MFIS 구조의 강유전체와 buffer인 절연체 사이에 floating gate를 삽입하는 방식(MFMIS 구조)[7]도 검토되고 있다.

본 논문에서는 강유전체로서 SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>를 쓰고 buffer층으로서 양호한 계면특성과 적은 게이트 누설전류를 얻기 위하여 Silicon Nitride를 사용한 구조의 MFISFET를 제작하여 그 제반 메모리 특성을 평가하였으므로 이에 관하여 논의하기로 한다.

## 2. 실험 및 결과

### 2.1 MFISFET의 제작

그림 1에 SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>/Silicon Nitride/Si 구조를 이용한 MFISFET의 제작 순서도를 보인다. 저항율이 21~24 Ω·cm인 붕소 도핑된 p-Si(100) 기판을 유기 세정 및 표준 RCA법으로 세정한 후, wet 산화법으로 약 1 μm의 열산화막을 형성시켰다. 첫번째 마스크를 사용하여 소스 및 드레인의 n<sup>+</sup> 영역을 형성시키기 위하여 산화막의 일부분을 에칭시킨 후, P<sub>2</sub>O<sub>5</sub> 소스로 1 시간 동안 확산시켰다. 확산 후, 표면의 열산화막을 모두 제거시킨 다음에 JVD(Jet Vapor Deposition) 방법으로 약 6 nm(등가 산화막 두께(EOT) 약 3 nm에 상당)의 Silicon Nitride buffer layer를, MOD(Metal Organic Deposition) 방법으로 약 260 nm의 SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub> 막을 형성하였다. SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>/Silicon Nitride/Si 구조에 관한 결과는 보고된 논문[8,9] 자세히 기술되어 있다. 다음 마스크를 사용하여 소스, 드레인 영역은 알루미늄 금속을, 게이트는 전극의존성을 확인하기 위해 백금, 금, 알루미늄 등 각각 다른 금속을 증착시켜 트랜지스터를 완성하였다. 트랜지스터 완성 후, 디바이스 특성의 안정화를 위해 질소

분위기에서 400 °C, 30 분간 postmetallization을 행하였다. FET의 게이트의 길이 L 과 폭 W 는 각각

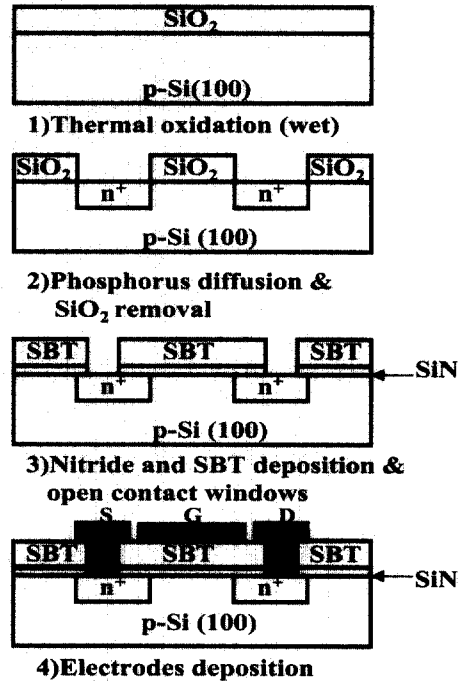


그림 1. SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>/Silicon Nitride/Si 구조를 이용한 MFISFET의 제작 순서도.

Fig. 1. MFISFET fabrication flow chart using SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>/Silicon Nitride/Si structure.

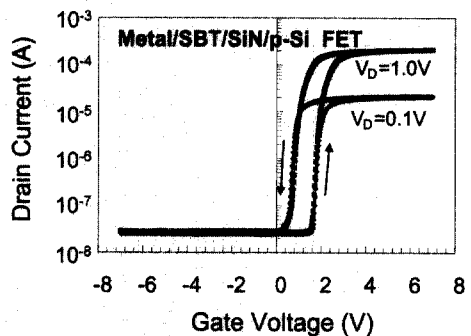


그림 2. 선형영역 및 포화영역에서 측정된 Pt/SBT/Silicon Nitride/p-Si FET의 드레인 전류-게이트 전압 특성.

Fig. 2. I<sub>D</sub>-V<sub>G</sub> characteristics of the Pt/SBT/Silicon Nitride/p-Si FET for linear and saturation region.

50  $\mu\text{m}$ , 500  $\mu\text{m}$ 이다. FET의 전기적 특성 평가는 정밀 반도체 파라미터 분석기(HP4156A)와 펄스 발생기(HP8115A 및 HP33120A)를 사용하였다.

### 2.2 MFISFET의 특성 및 고찰

그림 2에 Pt/SBT/Silicon Nitride/p-Si FET의 선형영역( $V_D = 0.1 \text{ V}$ ) 및 포화영역( $V_D = 1.0 \text{ V}$ )에서 측정된 드레인 전류-게이트 전압( $I_D-V_G$ ) 특성을 보인다.  $\text{SrBi}_2\text{Ta}_2\text{O}_9$  막의 강유전성으로 인하여  $\pm 7 \text{ V}$ 의 바이어스 소인에 대하여 각각 1.1 V 정도의 히스테리시스 폭(즉, 메모리 윈도우)이 관측되었다. 이는 비휘발성 메모리에 적용할 수 있는 것을 의미하는 것이다.

그림 3에 Pt/SBT/Silicon Nitride/p-Si FET의 드레인 전류-드레인 전압( $I_D-V_D$ ) 특성을 보인다. 이  $I_D-V_D$  특성은 삼입도에 보이는 것과 같은 바이폴라 펄스를 게이트에 인가하면서 드레인 전압을 소인하여 얻은 특성으로서 본 논문에서 동적(dynamic)  $I_D-V_D$  특성이라고 명명하기로 한다. 이 평가방법은 드레인 전류의 "on" 및 "off" 값을 단 한번의 드레인 전압 소인으로 선형영역에서 포화영역까지 측정할 수 있어서 메모리 동작에 실제로 적용할 때 신뢰성이 높은 "on" 및 "off" 값을 산출할 수 있는 장점이 있다. 이 그림에서 보는 바와 같이 포화영역(즉,  $V_D = 1.5 \text{ V}$ )에 있어서 "on" 드레인 전류는(즉, high state) 62  $\mu\text{A}$ 이고, "off" 드레인 전류는(즉, low state) 33 nA로 3 order 이상의 차이를 보이고 있다. 이것은 동일한 read 전압 1.5 V에 대해서 미리 인가한 write 전압의 극성을 바꿈으로써 강유전체  $\text{SrBi}_2\text{Ta}_2\text{O}_9$  박막의 분극이 반전되어 소스-드레인간의 채널이 "on"에서 "off"

로 변했음을 의미하며 제작한 MFISFET가 메모리로서 동작할 수 있음을 보이는 것이다.

강유전체를 비휘발성 메모리 회로에 응용하는데 중요한 파라미터중의 하나인 스위칭 특성을 그림 4에 보인다. 인가 전압 펄스는 삼입도와 같은 더블 펄스 파형을 사용하였다. 여기서는 한쪽 방향의 응답만 보였으나 반대방향의 응답도 방향만 다르고 수치들은 같았다. 인가 펄스 전계는 376 kV/cm, 펄스 폭은 1  $\mu\text{s}$ , 펄스의 상승시간(rise time)은 50 ns 이며 부하 저항은 10  $\Omega$ 이었다. 그림에서 실선은 스위칭의 반전시 정상적인 커패시터의 변위전류인 충전전류가 포함된 반전 전류를 포함하고 있으며, 점선은 비반전 전류(즉, 충전 전류)만이 흐를 경우의 결과이다. 이 두 파형의 차가 분극 반전의 스위칭 전류로 된다. 이 스위칭 전류를 시간으로 적분하여 구한 분극 반전에 있어서의 전기 분극량( $2P_r$ )은 약 1.5  $\mu\text{C}/\text{cm}^2$  로 MFIS 구조에서 구한 분극-전계(P-E) 특성곡선에서 값과 일치함을 알 수 있었다. 여기서 분극의 반전에 필요한 스위칭 시간( $t_{sw}$ )을 전류가 최대 전류의 10 % 감소할 때까지의 시간이라고 정의하면[10] 이 경우의 스위칭 시간은 50 ns 이하이었다. 한편, 이 측정으로부터도 강유전체의 비유전율을 산출[10]할 수 있는 바, 본 SBT의 비유전율은 약 45 이었다. 이 값은 MFIS 구조를 이용한 C-V 특성곡선에서 구한 값과 일치함을 확인하였다. 본 연구에서 얻은 이 값은 통상적으로 얻어지고 있는 SBT의 비유전율(150-300)[11]보다는 낮은 값으로서, MFIS 구조에 있어서 buffer층에 걸리는 전압을 줄이고 스위칭 속도를 개선시키는 점에서 매우 고무적인 것이다. 이렇게 비유전율 값이 낮은 이유로는 본 구조

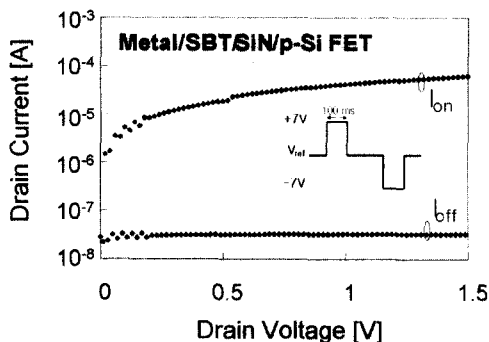


그림 3. Pt/SBT/Silicon Nitride/p-Si FET의 드레인 전류-드레인 전압 특성.

Fig. 3.  $I_D-V_D$  characteristics of Pt/SBT/Silicon Nitride/p-Si FET.

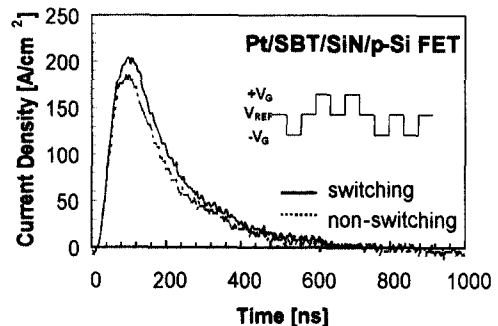


그림 4. 스위칭 특성. 반전 전류(실선) 및 비반전 전류(점선).

Fig. 4. Switching characteristics. switching current(solid line) and non-switching current(dotted line).

에서의 TEM 평가 및 X선 회절특성을 평가한 결과 SBT의 결정성이 감소하며 SBT의 a-축과 c-축 우선 방향의 결정이 혼재하고 있는 바, 이로 인하여 잔류분극의 값도 낮아지고 비유전율 값도 다르게 나타나고 있다고 판단하고 있으며 계속적으로 분석 중에 있다.

그림 5에 제작한 MFISFET에 대한 드레인 전류의 시간에 따른 변화, 즉, 메모리 보전(retention) 특성을 보인다. 이 측정에서는 먼저 충분히 분극 반전을 이루기 위해 +10 V, 1 분간의 펄스(write 전압)를 인가한 후, 1.5 V의 드레인 전압과 1.5 V의 게이트 전압(read 전압)에서 시간에 따른 드레인 전류의 시간 의존성을 측정하였다(위쪽 ■ 표시선). 한편, 같은 방법으로 -10 V, 1 분간의 write 전압을 인가한 후, 앞서의 read 측정점과 같은  $V_D = 1.5$  V,  $V_G = 1.5$  V의 전압점에서 시간에 따른 드레인 전류의 시간 의존성(아래쪽의 ● 표시선)을 평가하였다. 알루미늄 전극의 경우에는 +의 write 전압을 인가한 후의 드레인 전류는 시간에 따라 급격하게 감소하기 시작하여 약 30 분(2000 초)까지는 거의 변화가 없다가 이후부터 급격히 감소하기 시작하여 "on" 상태를 유지하지 못함을 알 수 있다. 특히, 백금을 사용한 트랜지스터에 있어서는 초기에는 5 order 이상의 on/off 비가 관측되었으며, 3 일( $2.6 \times 10^6$  초)동안 지난 후에도 3 order 이상의 on/off 비를 유지하는 양호한 메모리 보전 특성이 관측되었다. 한편, 금 전극을 사용한 경우에는 알루미늄과 백금에서 얻어진 특성의 중간정도 특성이 얻어지고 있음을 알 수 있다. 이러한 결과들의 원인에 관하여 현재로서는 정확하게 결론

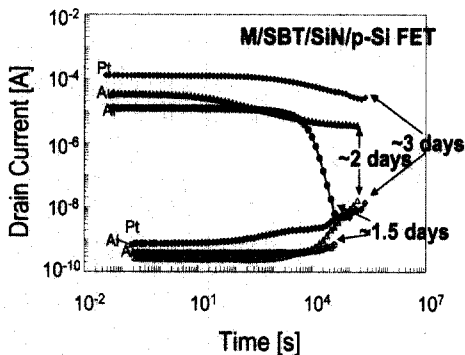


그림 5. MFISFET에 대한 드레인 전류의 시간의 의존성.

Fig. 5. Time dependence of drain current of the MFISFET.

을 내릴 수는 없고 단지 각각 다른 전극 금속의 일함수와 관련된 게이트 누설전류에 의한 영향과 이 MFIS 구조에 있어서의 depolarization 효과와 관련이 있다고 판단하고 있다.

그림 6에 제작한 MFISFET에 대한 피로특성을 보인다. 실선은 피로전압을 인가하기 전의 선형영역에서 측정된  $I_D-V_G$  특성이고 점선은  $10^{11}$  cycle의 피로를 인가한 후에 평가한 특성이다. 인가전압은 20 V<sub>p-p</sub>의 1 MHz의 정현파이다. 이 그림에서 알 수 있듯이, 피로 후에 off-드레인 전류 쪽에 약간의 상승이 관측된 것 이외에는 피로전압 인가 전후의 특성이 양호함을 알 수 있다. 피로후의 드

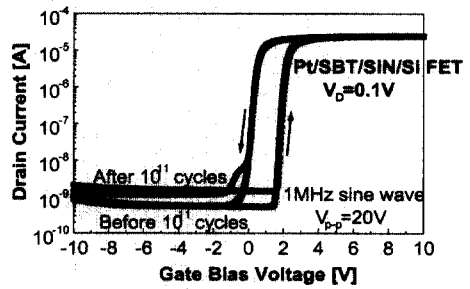


그림 6. Pt/SBT/Silicon Nitride/p-Si FET에 대한 피로전압후의 드레인 전류-게이트 전압 특성.

Fig. 6.  $I_D-V_G$  property of the Pt/SBT/Silicon Nitride/p-Si FET before and after the fatigue.

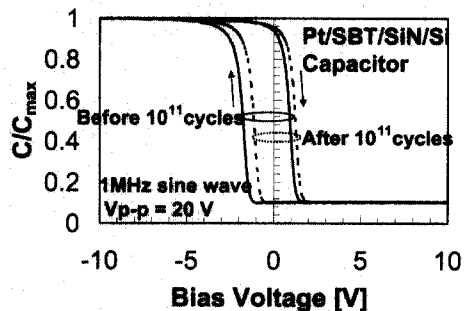


그림 7. Pt/SBT/Silicon Nitride/p-Si FET와 동시에 제작한 커패시터에 대한 피로 전후의 C-V 특성.

Fig. 7. C-V curve for a capacitor next to the Pt/SBT/Silicon Nitride/p-Si FET before and after the fatigue.

레인 전류가 약간 변화된 원인을 규명하기 위해 트랜지스터를 제작할 때에 동일 웨이퍼에 함께 제작한 MFIS 커패시터를 동일 조건의 피로전압 인가조건에서 평가한 C-V 특성을 평가한 결과를 그림 7에 보인다. 실선은 피로전압을 인가하기 전의 C-V 특성이고 점선은  $10^{11}$  cycle의 피로를 인가한 후에 평가한 특성이다. 피로전압 인가 전후 모두 C-V 특성의 기울기는 거의 변화하지 않고 약간 오른쪽으로 이동한 점으로 판단하면 피로로 인하여 음의 전하(즉, 전자)가 막 중에 생성(즉, 전자포획)되었다고 사료된다.

### 3. 결 론

SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>/Silicon Nitride/Si (100) 구조를 이용하여 제반 메모리 특성이 우수한 n-채널 MFISFET를 제작하여 평가하였다. 제작한 트랜지스터에 있어서 376 kV/cm의 인가전압으로 실온에서 측정된 분극반전 스위칭 시간 및 잔류분극은 각각 50 ns 이하 및  $1.5 \mu\text{C}/\text{cm}^2$  이었으며, SBT의 비유전율은 약 45 이었다. 세 가지 다른 게이트 전극에 따른 메모리 보전 특성을 평가하였으며 특히, 백금을 사용한 트랜지스터에 있어서는 3 일( $2.6 \times 10^5$  초)동안 지난 후에도 3 order 이상의 on/off 비를 유지하는 양호한 메모리 보전 특성이 관측되었다.  $10^{11}$  사이클의 피로를 인가한 경우에 전자가 막중에 포획됨으로 인하여 off-드레인 전류 쪽에 약간의 상승이 관측된 것 이외에는 피로인가 전후의 특성이 양호하였다. 약간의 최적화를 행하면 본 구조를 이용한 MFISFET는 고집적, 비휘발성, 고속의 차세대 메모리로서 응용 가능하리라고 판단하고 있다.

### 감사의 글

이 논문은 저자가 방문연구자로서 미국 예일대에서 수행한 연구중의 일부로 예일대학의 T. P. Ma 교수를 비롯한 연구실 제위께 감사 드립니다.

### 참고 문헌

- [1] S. Y. Wu, "A new ferroelectric memory devices, metal-ferroelectric-semiconductor transistor", IEEE Trans. Electron Devices, Vol. ED-21, No. 8, p. 499, 1974.
- [2] S. S. Eaton, D. B. Butler, M. Parris, D. Wilson, and H. McNeillie, "A Ferroelectric Nonvolatile Memory", IEEE Int. Solid-State Circuits Conf. Tech. Digest, p. 130, 1988.
- [3] 이상우, 김광호, "BaMgF<sub>4</sub>/Si 구조를 이용한 비휘발성 메모리용 MFSFET의 제작 및 특성", 전기전자재료학회지, 10권, 10호, p. 1029, 1997.
- [4] 김용일, 김광호, 이원종, "고상결정법으로 형성시킨 BaMgF<sub>4</sub> 박막의 우선 방위에 관한 연구", 전기전자재료학회논문지, 12권, 11호, p. 989, 1999.
- [5] 이상우, 김광호, 이원종, "RF 스퍼터링법을 이용한 LiNbO<sub>3</sub>/Si 구조의 전기적 및 구조적 특성", 전기전자재료학회논문지, 11권, 2호, p. 106, 1998.
- [6] E. Tokumitsu, R. Nakamura, and H. Ishiwara, "Nonvolatile memory operations of metal-ferroelectric-insulator-semiconductor (MFIS) FET's using PLZT/STO/Si(100) structures", IEEE Electron Device Lett., Vol. 18, No. 4, p. 160, 1997.
- [7] T. Nakamura, Y. Nakao, A. Kamisawa, and H. Takasu, "A Single-Transistor Ferroelectric Memory Cell", IEEE Int. Solid-State Circuits Conf. Tech. Digest, p. 68, 1995.
- [8] T. P. Ma, "Making silicon nitride film a viable gate dielectric", IEEE Transactions on Electron Devices, Vol. 45, No. 3, p. 680, 1998.
- [9] J. P. Han and T. P. Ma, "SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub> memory capacitor on Si with a silicon nitride buffer", Appl. Phys. Lett., Vol. 72, No. 10, p. 1185, 1998.
- [10] J. F. Scott, L. Kammerdiner, M. Parris, V. Ottenbacher, A. Shawabkeh, and W. F. Oliver, "Switching kinetics of lead zirconate titanate submicron thin-film memories", J. Appl. Phys., Vol. 64, No. 2, p. 787, 1988.
- [11] Y. Shimakawa, Y. Kudo, Y. Nakagawa, T. Kamiyama, H. Asano, and F. Izumi, "Crystal structures and ferroelectric properties of SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub> and Sr<sub>0.8</sub>Bi<sub>2.2</sub>Ta<sub>2</sub>O<sub>9</sub>", Appl. Phys. Lett., Vol. 74, No. 13, p. 1904, 1999.