

SLS 다결정 실리콘 TFT 소자의 불량분석에 관한 연구

A Failure Analysis of SLS Polysilicon TFT Devices for Enhanced Performances

오재영*, 김동환*, 박정호**, 박원규***

(Jae Young Oh*, Dong Hwan Kim*, James Jungho Pak**, and Won Kyu Park***)

Abstract

Thin film transistors(TFT) were made based on the polycrystalline Si (poly-Si) crystallized by sequential lateral solidification(SLS) method. The electrical characteristics of the devices were analyzed. n-type TFTs did not show a superior characteristics compared to p-type TFTs. We analyzed the causes of the failure by focused ion beam(FIB) analysis and automatic spreading resistance(ASR) measurement, to study the structural integrity and the doping distribution, respectively. FIB showed no structural problems but it revealed a non-intermixed layer in the contact holes between the polysilicon and the aluminum electrode. ASR analyses on poly-Si layer with various doping concentrations and activation temperatures showed that the inadequately doped areas were partially responsible for the inferior behavior of the whole device.

Key Words : Thin film transistor, Sequential lateral solidification, Focused ion beam, Automatic spreading resistance

1. 서 론

Active matrix liquid crystal display (AMLCD) 기술에서 핵심이 되는 부분은 thin film transistor (TFT) 제작에 있다. 기본적으로 TFT 소자가 AMLCD에 적용되기 위해서는 유리기판 위에서 제작이 되어야 하는데 유리기판의 비정질적인 성질을 고려해야하고 유리기판이 손상 받지 않을 정도의 낮은 공정온도에서 제작이 이루어져야 한다[1].

먼저 비정질 실리콘을 증착하여 온도를 높여서 결정화시키는 방법인 solid phase crystallization

(SPC)는 600°C 정도의 결정화 온도가 요구되므로 공정온도가 높고 결정화 후 결정입자간 균일도가 낮은 점이 문제가 되고 있다. 1980년대 중반에 Sony research group에서 개발된 excimer laser crystallization(ELC) 방법은 유리기판에 적합한 결정화 방법으로서, laser energy 에 따라서 다양한 결과를 얻을 수 있다. 이 방법은 비정질 실리콘 위에 높은 에너지의 laser pulse를 짧은 시간동안 주입함으로써 비정질 실리콘을 결정화시키는 방법인데, 실리콘 표면의 온도만 높아지므로 낮은 온도의 공정조건을 요구하는 저온 다결정 실리콘 TFT 제작에 유리한 방법이다[2]. ELC 방법중의 하나로 패턴된 마스크 사이로 조사된 laser에 의해서 실리콘 표면을 완전히 녹인 후에 약간씩 이동시키는 sequential lateral solidification (SLS)방법은 크고 균질하며 저 경각 입계와 일축 방향성을 가지는 입자를 얻을 수 있는 방법이며 따라서 일반적인 저온 다결정 실리콘 TFT에 비해 우수한 특성의 디바이스를 제작할 수 있다[3,4]. 단결정과 유사한

* : 고려대학교 금속공학과
(서울시 안암동5가
Fax : 02-928-3584
E-mail : solar@korea.ac.kr)

** : 고려대학교 전기공학과

*** : LG.philips-LCD

2002년 6월 20일 접수, 2002년 7월 23일 1차 심사완료

2002년 8월 29일 최종 심사완료

성질을 갖는 다결정을 얻기 위한 방법의 하나인 SLS 방법을 적용하여 제작된 TFT 소자는 200-400 cm²/v.s의 높은 이동도를 보인다[5]. 디스플레이 상에 더 많은 회로를 집적하기 위해서는 고성능의 회로에 적합한 short channel TFT를 제작해야 한다. 본 그룹은 SLS 다결정 실리콘 박막을 이용하여 short channel TFT를 제작하고 그 전기적 특성을 측정 분석하여 얻어진 결과를 발표한 바 있다[6]. 본 논문에서는 제작된 short channel TFT의 구조를 관찰하고 소자의 전기적 특성이 저하되는 원인을 규명하여 공정의 개선을 모색하고자 하였다.

2. 실험

2.1 소자 구성 및 전기적 특성 분석

본 소자는 일반 반도체공정과 호환성이 있게 하기 위해서 실리콘 웨이퍼 기판을 지지기판으로 사용하였다. 그림 1에 게이트(gate)아래 채널영역이 소스(source)와 드레인(drain)을 분리시켜 놓은 self-align 된 소자의 단면을 나타내었으며 LDD구조[7]는 적용하지 않았다. 소자의 제작 공정은 참고문헌[8]에 자세히 제시되어 있다. 소자 측정은 3-terminal 방식으로, 소스를 접지하고 각각 게이트와 드레인에 전압을 인가하여 드레인 전류를 측정하였다. 게이트 폭은 20 μ m로 일정하게 유지시키고, 게이트 길이(L)을 변화시키면서 소자를 측정하였다. 다결정 실리콘 막을 만드는 SLS 공정은 LG-Philips LCD 안양연구소에서 수행되었으며 자세한 공정 조건은 참고문헌에 제시되어 있다.[9]

2.2 Focused Ion Beam(FIB)

FIB system (Philips Electron Optics/FEI Corporation 200xP focused ion beam workstation, Cambridge Univ. in U.K)을 사용하여 TFT소자의 구조상의 문제점을 분석하였다. 플라티늄을 이온 주입시 damage를 줄이기 위해 20-30nm 증착후 few pA, 10⁻⁶Pa, 30keV의 ³¹Ga (m.p=302.9K) 이온으로 시편을 45° 기울어진 상태에서 절단하면서 이차전자/이온을 검출하여 이미지를 형성하였다. 결과 SiO₂는 검은색, 실리콘과 SiNx는 회색, 알루미늄은 밝게 빛나는 것으로 보이는 화학적 명암 대조를 얻을 수 있었다. FIB는 인공적인 변형을 가하지 않고 단면을 관찰할 수 있는 방법이다[10].

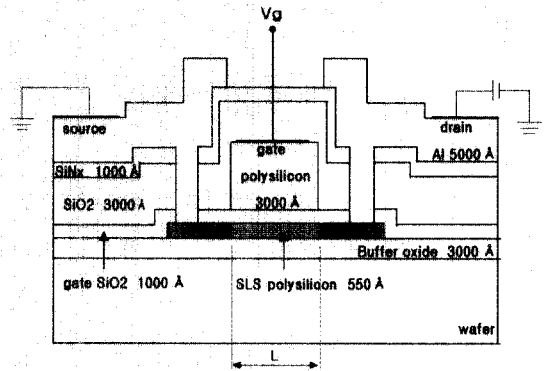


그림 1. SLS 다결정 실리콘 TFT 소자의 단면도.

Fig. 1. Cross section of SLS polysilicon TFT.

2.3 Automatic Spreading Resistance(ASR)

ASR 방법은 반도체 공정에서 도핑된 실리콘내의 불순물 분포를 측정하기 위한 방법으로 사용되는 방법이다[11]. 본 실험에서도 실리콘 내의 도핑 농도를 확인하기 위해 사용되었다.

3. 결과 및 고찰

3.1 p-type SLS 다결정 실리콘 TFT의 특성 분석

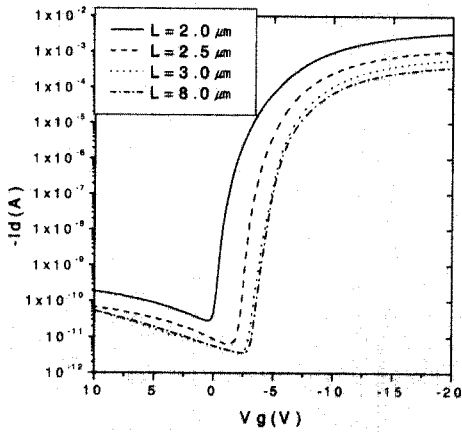
전류-전압 특성 분석은 게이트 길이(그림 1의 L) 변화에 따라 분석되었다. 그림 2에 드레인 전압(V_d=-5V)에서 드레인 전류-게이트 전압(I_d-V_g) 특성과 게이트 전압(V_g=-9V)에서 드레인 전류-드레인 전압(I_d-V_d) 특성을 나타내었다. 그림 2.(a) 특성에서는 최대 전류와 최소 전류비가 약 10⁸, 캐리어의 이동도가 약 100 cm²/v.s이므로 p-type소자로서는 비교적 좋은 특성을 나타내고 있다. 그림 2.(b)의 소자의 전달 특성에서도 게이트 길이 감소에 따라 전류가 증가하는 일반적인 양호한 특성을 보이고 있다. 게이트 길이 감소에 따라 I_d 값이 점차 증가하다가, gate 길이 2 μ m에서는 낮은 전압에서도 전류 증가폭이 급격히 커진다. 이런 효과는 소자의 여러 변수들에 예측하지 못한 영향을 주며 channel length가 짧아질 수록 커질 것이다[12].

3.2 n-type SLS 다결정 실리콘 TFT의 특성

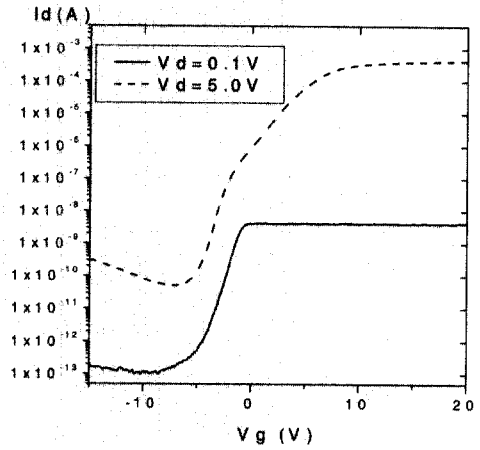
그림 3에 n-type SLS 다결정 실리콘 TFT 소자의 I_d-V_g, I_d-V_d 특성을 나타내었다. 그림 3.(a)에서

는 낮은 드레인 전압에서 전류가 생성되지 않는 직선영역이 나타나고, 그림 3.(b)에서는 낮은 전압

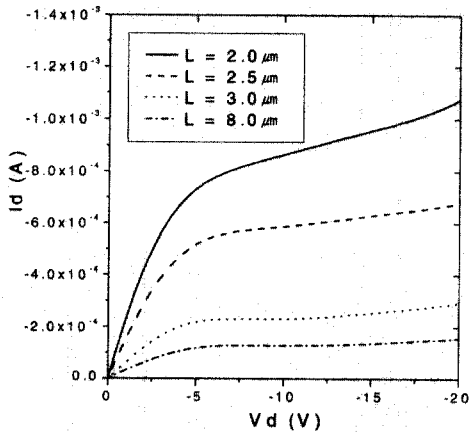
에서 급격한 전류 증가를 보이는 등 전체적으로 불안정한 특성을 보이고 있으며, 접촉 저항이 좋지



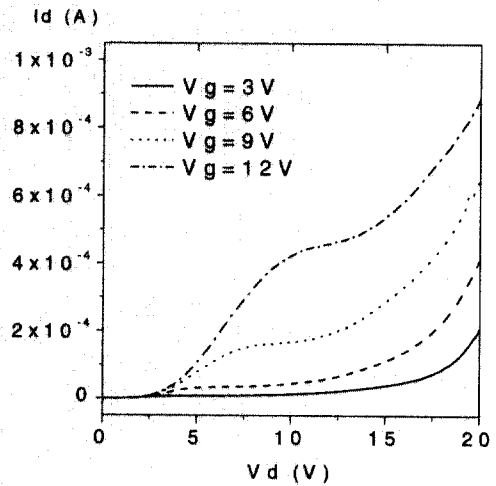
(a)



(a)



(b)



(b)

그림 2. (a) p-type SLS 다결정 실리콘 TFT의 채널길이에 따른 I_d - V_g 특성 ($V_d = -5V$), (b) p-type SLS 다결정 실리콘 TFT의 채널길이에 따른 I_d - V_d 특성 ($V_g = -9V$).

Fig. 2. (a) I_d - V_g characteristics of p-type SLS poly-Si TFT vs. channel lengths ($V_d = -5V$), (b) I_d - V_d characteristics of p-type SLS poly-Si TFT vs. channel lengths ($V_g = -9V$).

그림 3. (a) n-type SLS 다결정 실리콘 TFT 소자의 I_d - V_g 특성 ($L = 2.0\mu m$), (b) n-type SLS 다결정 실리콘 TFT 소자의 I_d - V_d 특성 ($L = 8.0\mu m$).

Fig. 3. (a) I_d - V_g characteristics of n-type SLS poly-Si TFT at different drain voltage ($L = 2.0\mu m$), (b) I_d - V_d characteristics of n-type SLS poly-Si at various gate bias ($L = 8.0\mu m$).

않을 때 나타나는 전형적인 현상을 보이고 있다. 다음 3.3절에 원인을 분석하였다.

3.3 n-type TFT 소자 불량분석

3.3.1 Focused ion beam (FIB)을 통한 구조분석

n-type 과 p-type 소자의 게이트 폭/길이=20/2.5 μm 소자를 그림 1 과 같은 단면으로 절단하면서 이미지를 관찰하였다. 그림 4 에 나타낸 바와 같이 전체 디바이스 구조상에는 문제점이 없었다. 그림 5은 contact hole 부분만 확대한 것이다. 그림 5.(a)의 p-type 의 경우 부분적으로 contact 이 형성된 것을 확인 할 수 있었지만 (점선 원으로 표시된 부분), n-type 의 경우 실리콘과 알루미늄 막 사이에 전체적으로 불활성막이 존재하는 것을 관찰할 수 있었다. 불활성막의 존재는 contact hole 형성시 사용된 magnetic enhanced reactive ion etching (MERIE)의 건식식각 방식에 기인한 것으로 생각된다. 집적도를 높이기 위해 소자의 크기는 작아지며, 따라서 막 두께 및 contact hole 의 크기 도 작아져야하므로 건식식각이 불가피하다.[13] 본 실험에서는 $2 \times 2 \mu\text{m}$ 의 contact hole 에 MERIE 방식을 사용하였는데, 이 방법에 의한 식각시 탄소, 불소 성분이 완전히 비활성화 되지 않아 실리콘 내부와 실리콘/SiO₂ 계면에 불순물 층으로 작용하여 소자성능이 저하된 것이다. 특히, n-type 소자의 경우 도펀트인 인(P) 원소는 불소 성분과 반응하여, 표면에 불균질한 비정질층(ex. PF₃)를 형성하게 되는데, 이것이 건식식각 과정에서 계면에 불활성막을 잔류시킨 것으로 사료된다. 일반적으로 탄소, 불소 계열의 건식식각 방식은 실리콘 반도체 층에 나쁜 영향을 주는 것으로 알려져 있으며, 열처리 등에 의한 개선 방법도 많이 연구되어있다 [14,15].



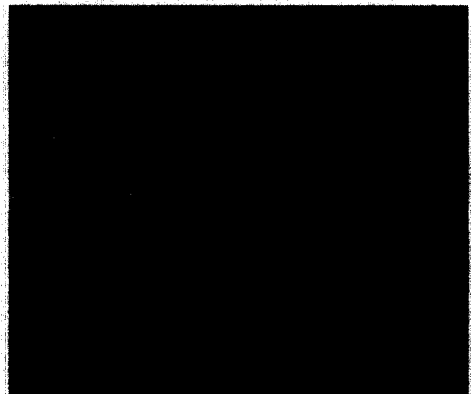
그림 4. p-type TFT 소자의 FIB 이미지.
Fig. 4. FIB cross-sectional image of a p-type TFT device.

3.3.2 Automatic Spreading Resistance(ASR) 를 통한 내부 불순물 분석

automatic spreading resistance(ASR) 방법으로 도핑 농도 분포를 분석하였다. 그림 6. (a)에 이은 주입 도즈량에 따른 도핑농도를 나타내었다. 그림 6.(a) 소자는 rapid thermal annealing (RTA, 100 0 $^{\circ}$ C, 10sec) 방법으로 활성화 되었다. 도즈량이 높아질수록 도핑농도가 증가하는 경향성을 보였지만, $3 \times 10^{15} \text{cm}^{-2}$ 도즈로 제작된 본 소자의 경우 약 $1 \times 10^{19} \text{cm}^{-3}$ 의 최고 도핑 농도를 나타내야 정상이었으나 실제로는 실리콘 웨이퍼(P-100)의 도핑 농도($1 \times 10^{15} \text{cm}^{-3}$)보다 조금 높은 값을 나타내었



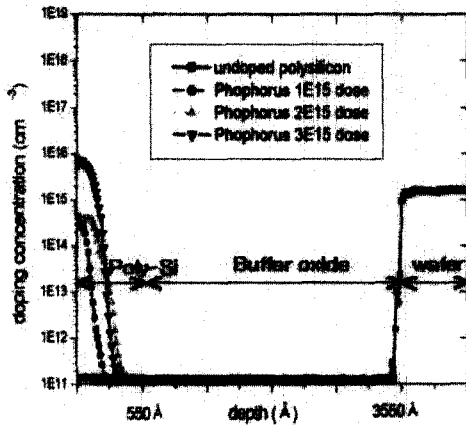
(a)



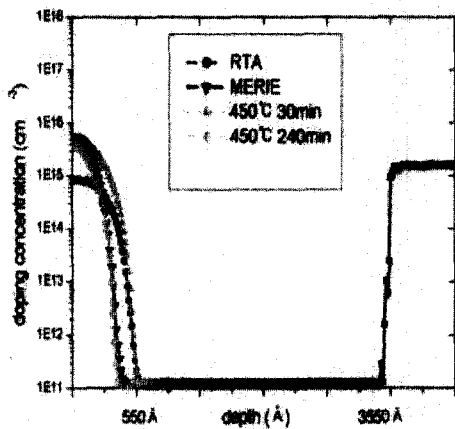
(b)

그림 5. p-type TFT(a) 와 n-type TFT(b) 의 contact hole 이미지.

Fig. 5. contact hole images of p-type TFT(a) and n-type TFT(b).



(a)



(b)

그림 6. 다결정실리콘에 이온주입, 활성화 후 ASR 측정에 의한 도핑농도결과 (a)RTA(100 0°C,10sec)활성화후 n-type 시편의 도즈에 따른 도핑농도분포, (b)인(P) 3×10^{15} 도즈의 여러 활성화 조건에 따른 도핑 농도 변화.

Fig. 6. doping concentration results by ASR after ion implantation and activation in polysilicon (a) Distribution of doping concentrations in n-type samples at different doses activated by RTA(100 0°C,10sec) (b) the doping concentration changes of phosphorus 3×10^{15} dose after various activation process.

다. 도펀트가 실리콘 내에서 가우시안(Gaussian) 분포를 나타내므로 실제 캐리어(carrier) 농도는 부피단위로 나타내어지며 식 (1)에 의한 TSUPREM 시뮬레이션으로 최고 농도(N_p)를 계산하였다.

$$N^* = N_p \exp\left(-\frac{(x - R_p)^2}{2 \Delta R_p^2}\right) \text{ [}/cm^3] \quad (1)$$

N^* 는 가우시안 도핑 농도 분포, N_p 는 최고치의 도핑농도, x 는 실리콘내 길이방향 길이, R_p 는 이온 주입 분포 깊이, ΔR_p 는 표준 편차를 나타낸다. 그림 6.(b)에는 RTA 후 450°C에서 추가 열처리 후에 도핑농도가 증가하는 것을 보이고 있다. 이는 열처리에 의해 도펀트가 더욱 활성화되었기 때문이며, MERIE 후의 도핑 농도 증가는 건식식각시 챔버 분위기(350°C)가 열처리 효과를 나타내었기 때문으로 생각된다. 따라서, n-type 소자의 성능저하는 낮은 도핑값과 불완전한 활성화에 일부 기인한 것이다. 낮은 도핑 농도는 TFT 소자의 활성영역인 실리콘이 외부로 연결되는 알루미늄 금속 배선 계면에서 에너지 장벽을 높이고 공핍층을 크게 하므로 소자 성능에 나쁜 영향을 준다. 비교 데이터를 얻기 위해 SLS 방법이 아닌 간단한 열처리에 의해 다결정화된 실리콘 TFT 소자를

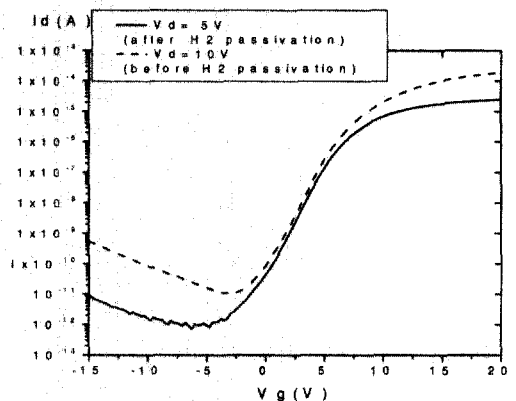


그림 7. 채널길이 2.5μm n-type 다결정 실리콘 TFT 소자의 수소 열처리 전후 I_d - V_g 특성 비교.

Fig. 7. Comparison of I_d - V_g characteristics of 2.5μm channel length n-type poly-Si TFT before and after H₂ passivation heat treatment.

가지고 그림 6.(b)과 같은 조건으로 온도 450℃, 시간 30min, 혼합 가스 (H₂ 20% + N₂ 80%)에서 열처리를 하였다. 게이트 길이 2.5μm 소자의 경우 열처리 전 보다 열처리 후에 더 낮은 드레인 전압에서도 향상된 소자 성능을 보이고 있다. (그림 7) 이는 수소에 의한 부동태화 효과와[11] 그림 6.(b)의 열처리 효과에 의해 도펀트가 활성화되어 소자 성능이 개선된 것이다.

4. 결론

기존의 다결정 실리콘 보다 우수한 특성을 얻기 위해 제작된 SLS 다결정 실리콘TFT를 가지고 소자측정 중 n-type TFT 소자에서 저하된 특성을 관찰하였고, 구조적으로 FIB분석과 전기적으로 ASR 분석을 통해 원인규명을 하였다. FIB 분석결과 n-type TFT 소자의 경우 실리콘과 알루미늄 금속전극 사이에 불활성 계면이 형성된 것을 확인했으며, n-type 도펀트인 인(P) 원소가 RIE 방식의 건식식각시 실리콘 표면에 불활성 막을 형성시킨 것으로 생각되었다. 또한, ASR 결과 도핑 농도와 활성화 조건에 문제가 있는 것을 확인하였다. 일반적인 다결정 실리콘 TFT 을 사용하여 수소분위기에서 열처리를 하여 전류-전압 특성을 비교한 결과 소자 성능이 향상되어 ASR 결과를 뒷받침하는 결과를 얻었다. 문제로 밝혀진 도핑과 활성화 조건을 개선중이며, contact 성능 향상을 위해 건식과 습식 식각 공정을 동시에 사용할 계획이다. 또한 Mo 게이트를 사용하여 저온 다결정 실리콘 TFT 소자를 제작중이다.

감사의 글

본 연구는 한국과학재단 목적기초연구(R01-2001-00280)지원으로 수행되었음. FIB를 도와주신 영국 캠브리지 대학의 강대준 님께 감사 드립니다.

참고 문헌

[1] 이현중, 이경택, 박세근, 박우상, 김형준, "Electrical characteristics and leakage current mechanism of high temperature poly-si thin film transistors", 전기전자재료 학회논문지 11권, 10호, p. 918, 1998.

[2] Kenji Sera, Fujio Okumura, Hiriyuki Uchida, and Shinji Itoh, "High performance TFT's fabricated by XeCl excimer laser annealing of hydrogenated amorphous silicon film", IEEE Transactions on Electron Devices, Vol. 36, No. 12, p. 2868, 1989.

[3] James S. Im and Robert S. Sposili, "Crystalline si films for integrated active-matrix liquid crystal display", MRS Bulletin, p. 39, March, 1996.

[4] James S. Im and Robert S. Sposili, "Sequential lateral solidification of thin films on SiO₂", Appl. Phys. Lett., Vol .69 No. 19 p. 210, 1995.

[5] M. A. Crowder, P. G. Carey, P. M. Smith, Robert S. Sposili, Hans S. Cho, and James S. Im, "Low temperature single crystal Si TFT's fabricated on Si films processed via sequential lateral solidification", IEEE Electron Device Lett., Vol. 19, No. 8, p. 306, 1998.

[6] 이윤재, 박정호, "단결정 실리콘 TFT 제작을 위한SLS 공정", KIEE Annual Autumn Conference, 2000.

[7] 황한욱, 황성수, 김용상, "Characteristics of polysilicon thin film transistor with LDD structure", 전기전자재료학회논문지, 11권, 7호, p. 522, 1998.

[8] 고영운, 이윤재, 김동환, 박정호, "SLS를 이용한 poly-Si TFT 제작과 채널길이 변화에 따른 소자의 특성분석", 대한전기학회 하계학술대회 산학협동위원회 특별session, 2001.

[9] Y. H Jung, J. M. Yoon, M. S. Yang, and W. K. Park," Proc. MRS Symp. Vol. 621, Q 8.3, 2000

[10] K. Nikawa, K. Nasu, and M. Murase, "New applications of focused ion beam technique to failure analysis and process monitoring of VLSI", IEE. IRPS, p. 43, 1989.

[11] 진교원, 김진, 이진민, 김동진, "A study on the off-current mechanism of poly-Si thin film transistors fabricated at low temperature", 전기전자재료학회논문지, 9권 10호, p.1001, 1996.

[12] S. Wolf, "Silicon Process", Lattice Press, Vol. 2, Ch. 3.2, p. 208, 1990.

- [13] L. J. Chen, S. L. Vheng, and B. Y. Tsui, "Metal contacts on shallow junctions", Nuclear Instruments and Methods in Physics Research", Vol. 121, p. 231, 1997.
- [14] Sumio Sekiyama, Shunji Hayashi, and Kenya Iwasaki, "Etch damage removal process without Si substrate loss employing hydrogen plasma after treatment", IEEE Internatioanl Symposium on Semiconductor Manufacturing Conference, p. 205, 1999.
- [15] Bi-Shiou Chiou and King Long, "Effect of reactive ion etching and post etching annealing on the electrical characteristics of indium-tin oxide/silicon junction", J. Materials science: Materials in Electronics, Vol. 9, No. 2, p. 151, 1998.