

## 플립칩용 웨이퍼레벨 Fine Pitch 솔더범프 형성

### Fabrication of Wafer Level Fine Pitch Solder Bump for Flip Chip Application

주철원\*, 김성진\*, 백규하\*, 이희태\*, 한병성\*\*, 박성수\*, 강영일\*  
(Chul-Won Ju\*, Sung-Jun Kim\*, Kyu-Ha Park\*, Hee-Tae Lee\*, Byung-Sung Han\*\*,  
Seong-Su Park\*, Young-il Kang\*)

#### Abstract

Solder bump was electroplated on wafer for flip chip application. The process is as follows. Ti/Cu were sputtered and thick PR was formed by several coating PR layer. Fine pitch vias were opened using via mask and then Cu stud and solder bump were electroplated. Finally solder bump was formed by reflow process. In this paper, we opened  $40\mu\text{m}$  vias on  $57\mu\text{m}$  thick PR layer and electroplated solder bump with  $70\mu\text{m}$  height and  $40\mu\text{m}$  diameter. After reflow process, we could form solder bump with  $53\mu\text{m}$  height and  $43\mu\text{m}$  diameter. In plating process, we improved the plating uniformity within 3% by using ring contact instead of conventional multi-point contact.

**Key Words** : solder bump, flip chip, electroplating, ring contact, wafer level

#### 1. 서 론

Flip chip interconnection은 1960년대 중반 IBM에 의해 C4(controlled collapse chip connection)라는 기술로 개발되어 현재까지 여러 형태의 공정기술이 개발되어 사용되고 있는 기술로서, chip pad에 솔더범프를 형성한 후 chip을 face-down 형태로 기판상의 pad와 직접 접합하여 전기적으로 연결하는 방법이다. 초기 플립칩 기술은 supercomputer등 고속 디지털IC의 고밀도 실장기술로서 주로 MCM(Multichip Module)에 활용되었으나, 최근에는

면서 phased-array 안테나 시스템, 충돌방지 시스템 등의 송수신 모듈부분에 wire bonding 대신에 flip chip interconnection이 사용되고 있으며[2, 3], 고속 신호 처리가 요구되는 밀리미터파(millimeter wave) 소자에는 필연적으로 flip chip interconnection을 사용하고 있다[4,5]. Flip chip interconnection에서 솔더범프 형성은 중요한 핵심기술로서, 범프 형성은 evaporation[6], electroplating[7], stencil printing[8], pick & place방법 등이 있는데 evaporation 및 electroplating 방법은 반도체공정을 이용한다. Evaporation 방법은 피치가  $200\mu\text{m}$  정도인 범프를 형성할 수 있지만 범프 형성속도가 느리고, electroplating 방법은  $150\mu\text{m}$ 정도의 피치가 가능하며 범프형성 속도도 빠르지만 웨이퍼 수율이 높아야 유리하다. Stencil printing 방법에서는 stencil mask의 mesh에 의해 범프 크기가 결정되므로 피치가  $200\mu\text{m}$  이상이고, pick & place방법은 피치가 대개  $500\mu\text{m}$  이상이므로 fine pitch에는 적용할 수 없다. 이

\* : 한국전자통신연구원  
(대전광역시 유성구 가정동 161,  
Fax : 042-860-6183  
E-mail : cwju@etri.re.kr)

\*\* : 전북대학교 전기공학과 교수  
2001년 7월 23일 접수, 2001년 9월 4일 1차심사완료  
2001년 9월 20일 2차심사완료, 2001년 10월 4일 3차  
심사완료

중에서 최근에 급격히 수요가 증가하고 있는 휴대 폰과 같은 휴대 무선통신시스템에서 시스템의 소형화, 경량화, 고속화 추세에 따라 electroplating을 이용한 범프 제작기술은 시스템을 소형화, 고속화시킬 수 있는 최적의 방법으로 인식되고 있다.

본 논문에서는 electroplating 방법을 이용하여 직경 및 높이가 각각  $40\mu\text{m}$ ,  $70\mu\text{m}$ 이고 pitch가  $100\mu\text{m}$ 인 fine pitch의 솔더범프를 웨이퍼 pad에 직접 형성하였다. 범프를 제작하기 위하여 웨이퍼에 seed metal을 증착하고, PR을 여러번 코팅하여 두꺼운 감광막을 형성하였으며, 범프를 형성하기 위하여 두껍게 입혀진 감광막에서 노광시간 변화에 따른 via 형성 모양을 SEM으로 분석하였으며, electroplating 공정에서 범프의 높이를 조정하기 위하여 Cu 및 솔더의 증착속도를 측정하였고, electroplating 후 범프 직경 및 높이와 reflow 후 범프 직경 및 높이를 SEM으로 비교 측정하였다.

## 2. 실험

실험용 기판(substrate)은 비저항  $1\sim 25\ \Omega\text{-cm}$ , 결정면  $\langle 100 \rangle$ 인 p형 5인치 실리콘 웨이퍼를 사용하였으며 다음과 같은 공정순서로 범프를 제작하였다. 먼저 웨이퍼 위에 Ti/Cu를  $3000\text{\AA}$ 의 두께로 sputter한 후, AZ 4000series인 도금용 감광막을 여러번 코팅하여  $60\mu\text{m}$ 로 입혔다. 범프를 형성하기 위한 test pattern은 diameter/pitch가  $40/100$ ,  $60/150$ ,  $80/200$ ,  $100/250\ \mu\text{m}$ 인 via 마스크를 사용하여 노광장비인 EV(Electrovision) contact aligner에서  $700\sim 900\text{mJ}$ 의 에너지로 노광(exposure)시키고 현상액(developer)에 담구어 via를 open하였다. Via open 후 fountain 방식의 전기도금 장비를 사용하여 전류밀도  $1\text{A}/\text{cm}^2$ 에서 Cu stud 및 솔더범프를 각각  $5\mu\text{m}$ ,  $70\mu\text{m}$ 되게 전기도금한 다음 seed metal을 습식식각(wet etch) 방식으로 식각하고  $210^\circ\text{C}$ 의 reflow oven에서 reflow 하였다. 범프형성 공정분석은 코팅속도 변화에 따른 감광막의 두께 변화를 SEM으로 측정하였으며, via open시 노광시간에 따른 감광막의 현상(develop) 상태를 SEM으로 측정하였다. 그리고 via 마스크를 사용하고 전기도금하여 형성한 Cu stud 및 솔더의 두께 및 reflow 한 후의 두께를 각각 SEM으로 측정하였으며, 전류밀도를  $1\sim 3\text{A}/\text{dm}^2$ 로 변화하여 도금한 Cu 및 솔더의 두께를 SEM으로 측정하여 전류변화에 따른 Cu 및 솔더의 도금속도를 산출하였다.

## 3. 결과 및 고찰

그림 1은 도금용 PR인 AZ 4000series(positive PR)를 spin speed를 변화시켜 코팅한 후 SEM으로 측정된 감광막의 두께를 나타낸 것이다.  $1000\text{rpm}$ 에서  $18\mu\text{m}$ 이고,  $2000\text{rpm}$ 에서는  $12\mu\text{m}$ ,  $3000\text{rpm}$ 에서는  $7\mu\text{m}$ 로서 linear 성을 띠고 있으므로 웨샵법을 이용하여 원하는 두께를 얻을 수 있으며, bump를  $60\mu\text{m}$ 이상으로 만들기 위해서는 PR을 여러번 코팅하여 두껍게 하여야 한다.

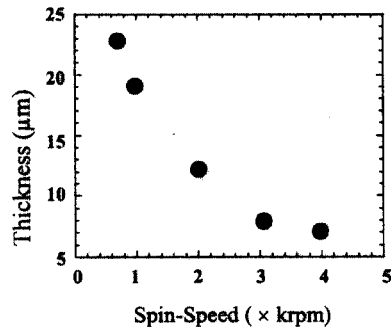


그림 1. 스피ن속도에 따른 감광막 두께 변화.

Fig. 1. Photoresist thickness variation with spin speed.

그림 2는 PR을 약  $60\mu\text{m}$  두께로 코팅한 후 intensity가  $10\sim 15\text{mJ}$ 인  $365\text{nm}$  I-line 광원을 이용하여 현상시간을 일정하게 하고, 노광시간 변화에 따른 PR의 현상 상태를 측정된 SEM 사진이다. 그림 2(a)에서 노광시간이 150초에서는 via의 70%정도가 덜 뚫린 상태이며, 그림 2(b)에서는 노광시간을 200%정도 더 주어 480초 노광한 후 현상하면 PR의 두께까지 뚫렸지만 아직 via 밑면에는 광범위하게 PR 잔재물이 남아 있는 것을 볼 수 있다. 그림 2(c)는 720초 노광시킨 후 현상한 사진으로 PR 잔재물이 없음을 알 수 있다. 이상에서 보듯이 노광시간이 부족하면 PR이 분해되지 않기 때문에 현상액에 녹아나지 않음을 볼 수 있다. Positive PR에서 via 형성은 노광에너지가 부족할 때에는 현상시간을 길게하여도 더 이상 PR이 녹아나지 않으므로 노광시간이 via 형성에 큰 영향을 끼침을 알 수 있다. 그림 2 (c)에서 직경 및 pitch가 각각  $100\mu\text{m}$ ,  $250\mu\text{m}$ 인 via에서 via slope는  $85^\circ$  이상을 얻을 수 있었고, via 밑면은 PR 잔재물이 없이 깨끗한 것을 볼 수 있다. 또한 현상 후 PR 두께는 약  $53\mu\text{m}$ 로 현

상과정에서 11 % 정도의 두께 손실이 있음을 알 수 있다.

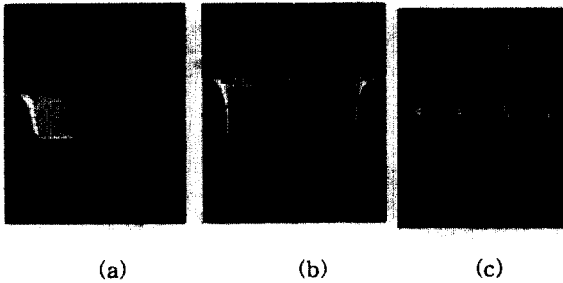


그림 2. 노광에너지 변화에 따른 비아홀 단면 SEM 사진.

(a)150sec (b)480sec (c) 720sec

Fig. 2. Cross sectional SEM showing via with different exposure energies.

(a)150sec (b)480sec (c) 720sec

그림 3(a)는 wafer에 패턴없이 전체면적에 fountain 방식의 전기도금 장비에서 “-” 전극을 ring contact 방식으로 하였을 때 Cu의 도금속도를 나타낸 것이다. 그림에서 보듯이 전류밀도가 1A/dm<sup>2</sup>, 2A/dm<sup>2</sup>, 3A/dm<sup>2</sup>에서 도금중착 속도는 각각 0.22 μm/min, 0.45 μm/min, 0.67 μm/min으로 선형적이므로 특정 전류밀도에서의 도금두께를 왜삽법으로 추정할 수 있다. 그림 3(b)는 wafer에 패턴없이 전체면적에 fountain 방식의 전기도금 장비에서 “-” 전극을 ring contact 방식으로 하였을 때 solder의 도금속도를 나타낸 것이다. 그림에서 보듯이 전류밀도가 1A/dm<sup>2</sup>, 2A/dm<sup>2</sup>, 3A/dm<sup>2</sup>에서 도금중착 속도는 각각 0.45 μm/min, 0.88 μm/min, 1.40 μm/min으로 선형적이며 Cu에 비하여 도금속도가 2배 이상 큰 것을 알 수 있다. 이것은 Sn, Pb의 전기화학 당량이 Cu의 전기화학 당량보다 각각 2, 3배정도 크기 때문이며, flip chip용 bump를 형성하기 위해서는 수십 μm를 도금하여야 하므로 2~3A/dm<sup>2</sup>의 높은 전류밀도에서 도금하는 것이 바람직하다. 또한 ring contact 사용시 두께 uniformity를 측정하기 위하여 웨이퍼 전면에 2A/dm<sup>2</sup>의 전류에서 Cu를 도금하여 웨이퍼 center에서 edge 쪽(실제 웨이퍼 edge로부터 3mm안쪽)으로 등간격으로 3 point를 측정한 결과 center에서 edge 쪽으로 각각 3.12 μm, 3.12 μm, 3.30 μm 이었으며 uniformity는 3%로서, 일반적으로 알려진 multi-point 점접에서의 7~10

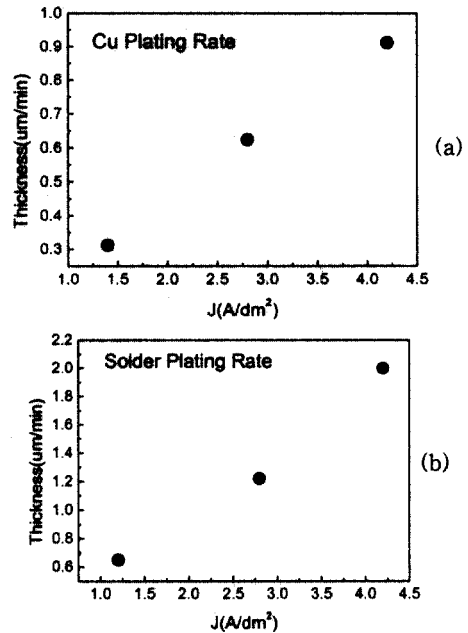


그림 3. Ring contact 사용시 전류밀도에 따른 도금 두께 변화. (a) Cu (b) Eutectic solder

Fig. 3. Plating thickness variation with current density in ring contact method.

(a) Cu (b) Eutectic solder

%의 uniformity보다 우수함을 알 수 있는데 이것은 웨이퍼 내에서의 전류밀도가 균일하기 때문이다.

그림 4(a)는 직경 40 μm인 범프 단면을 나타낸 것으로 그림에서 밑 부분은 Cu stud를 나타내고 윗부분은 솔더를 나타낸 것으로, 사진에서 기둥모양을 나타내는 부분이 PR 두께까지 성장한 솔더이고, 버섯같이 갓 모양을 나타낸 것은 PR 두께 이상으로 plating 된 솔더를 나타낸다. PR 두께보다 더 높게 plating 할 때 솔더가 옆으로 성장하는 두께와 높이 방향으로 성장하는 두께는 갓 모양의 솔더를 살펴 보면 알 수 있다. 그림 4(a)에서 옆으로 성장한 솔더 두께는 17 μm 정도이며 높이 방향으로 성장한 솔더의 두께도 18 μm 정도로서, PR 높이보다 두껍게 plating 할 경우 옆 및 높이 방향으로 성장하는 솔더의 두께의 비는 거의 1:1임을 알 수 있다. 그림 4 (b)는 matrix 구조로 배열된 범프의 평면사진으로 범프 형성이 균일하게 잘 되었음을 알 수 있다.

이렇게 형성된 solder bump를 reflow 하기 위하여 seed metal 로 사용한 Ti/Cu를 습식식각(wet etch) 방식으로 식각한 다음, reflow oven에 웨이퍼

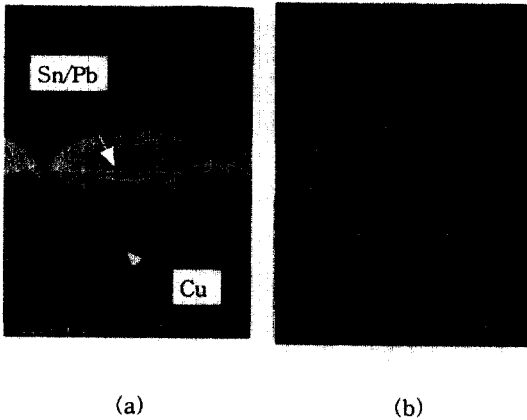


그림 4. 직경 및 pitch가 각각  $40\mu\text{m}/100\mu\text{m}$ 인 eutectic Solder bump SEM 사진.  
(a) 단면 (b) 평면

Fig. 4. SEM showing eutectic solder bump with  $40\mu\text{m}$  diameter/ $100\mu\text{m}$  pitch.  
(a) Cross section (b) Plane surface

성된다.

그림 5는 직경  $40\mu\text{m}$ 인 솔더범프를 나타낸 것으로 reflow 전에는 직경 및 높이가 각각  $44\mu\text{m}$ ,  $70\mu\text{m}$ 이었는데, reflow 후에는 직경 및 높이가 각각  $46\mu\text{m}$ ,  $53\mu\text{m}$ 가 되었다. 따라서 reflow 후 직경의 크기 변하는 2-3%정도로 작은데 비하여 높이는 약 24% 정도가 감소하였다. 이렇게 높이가 작아진 것은 범프직경이  $44\mu\text{m}$ 인데 비하여 PR 두께보다  $20\mu\text{m}$  더 높게 성장한 갓 모양의 솔더가 내려앉았기 때문이다. 따라서 범프 직경이 PR 두께보다 작은 경우에는 직경이 작을수록 솔더가 많이 내려 앉아서 솔더 높이가 많이 감소하며, 직경이 PR 두께에 가까워 질수록 상대적으로 갓 모양의 solder volume과 직경이 비슷하여 내려앉는 솔더가 작아지게 되고, 범프 직경이 PR 두께와 같거나 클 경우에는 reflow 후 솔더 높이 감소는 거의 없을 것으로 추정된다.

또한 reflow 후  $80\mu\text{m}$  및  $100\mu\text{m}$  범프에 대한 shear strength를 측정된 결과는 각각  $59\text{gf}$  및  $70\text{gf}$  이었다. 이것은 이전에 실험한 eutectic 솔더 범프에서의  $55\text{gf}$  및  $74\text{gf}$  와 비교하여 큰 차이가 없었다[9].

#### 4. 결론

PR을 여러번 코팅하여 두께  $60\mu\text{m}$ 인 감광막을 입힐 수 있었으며, contact aligner를 사용하여 노광 및 현상 공정을 통하여  $60\mu\text{m}$  PR에 직경  $40\mu\text{m}$ 인 via를 깨끗하게 open 함으로써 fine pitch의 플립칩용 solder bump를 균일하게 wafer에 직접 제작할 수 있었다. Reflow 후 범프 높이는 reflow 전과 많이 차이가 나는데, 이것은 PR 두께보다 더 높게 도금된 솔더가 reflow 과정에서 내려앉기 때문인데 범프 높이를 범프 직경과 비슷하게 전기도금하면 reflow 후 내려앉는 솔더가 거의 없으므로 높이 감소는 없을 것으로 기대된다. Wafer level 솔더범프 공정은 bump place방법에 의한 플립칩 공정에 비하여 제조 비용이 저렴하며, 반도체 공정을 이용함으로써 fine pitch 솔더범프 제조가 가능하여 특히 chip 크기가 작은 수십 20GHz 이상의 초고주파 소자나 밀리미터파 소자에 많이 활용될 것으로 보인다.

#### 참고 문헌

- [1] Leo Higgins, Rebecca Cole, Diana Duane, "Fast static RAM level two cache MCM with gold wire ball bumped flip chip assembly",

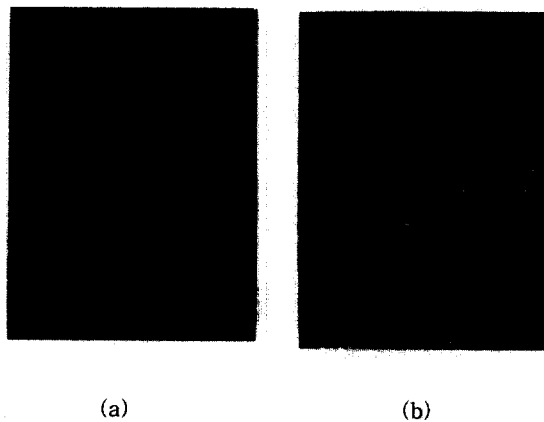


그림 5. 직경 및 pitch가 각각  $40\mu\text{m}/100\mu\text{m}$ 인 eutectic Solder bump의 reflow 후 SEM 사진.  
(a) 단면 (b) 평면

Fig. 5. SEM showing eutectic solder bump with  $40\mu\text{m}$  diameter/ $100\mu\text{m}$  pitch after reflow.  
(a) Cross section (b) Plane surface

를 넣고  $\text{N}_2$  분위기에서 oven 온도를  $210^\circ\text{C}$ 까지 가열한 후 온도를 내리면 원형구조인 솔더범프가 형

- IEEE Electronic Components and Technology Conference, pp.511-517, 1997.
- [2] T. Shimura, Y. Kawasaki, Y. Ohashi, K. Shirakawa, T. Hirose, S. Aoki, H. Someta, K. Makiyama, S. Yokokawa, "76GHz flip-chip MMICs for automotive radars", IEEE Radio Frequency Integrated Circuits Symposium, pp. 25-28, 1998.
- [3] Mark S. Hauhe and John J. Wooldridge, "High Density Packaging of X-Band Active Array Modules", IEEE Tr. on components, packaging and manufacturing technology-Part B, Vol.20 (3), pp.279-291, 1997.
- [4] Hideki Kusamitsu, Yoshiaki Morishita, Kenichi Maruhashi, Masaharu Ito and Keiichi Ohata, "The flip chip bump interconnection for millimeter wave GaAs MMIC", IEEE Tr. on Electronics Packaging Manufacturing, Vol. 22, No. 1, pp. 23-28, 1999.
- [5] Wolfgang Heinrich, Andrea Jentzsch and Guido Baumann, "Millimeter wave characteristics of flip chip interconnection for multichip module", IEEE Tr. on Microwave Theory and Techniques, Vol. 46, No. 12, pp. 2264-2268, 1998.
- [6] K. Seyama, H. Yamamoto, K. Satou, H. Yoshimura, H. Ota, Y. Usui, "Transcription solder bump technology using the evaporation method", Proceedings of the International Conference on Multichip Modules and High Density Packaging, pp. 314 -318, 1998 .
- [7] Szu-Wei Lu, Zhao-Hui Wu, Yuh-Jiau Huang, Ruoh-Huey Uang, Wei-Chung Lo, Hsu-Tien Hu, Yu-Fang Chen, Ling-Chen Kung, Hsin-Chien Huang, "Process control of high density solder bumps by electroplating technology", Electronics Manufacturing Technology Symposium, IEEE/CPMT, pp.325-327, 1999.
- [8] Ho-Cheol Jang, Chul-Won Jee, Young-Ho Kim, In-Bae Park, Sung-Min Seo, Byung-Yul Min, "A study on the reliability of stencil printed solder bumps", Electronics Manufacturing Technology Symposium, IEEE/CPMT, pp. 288-293, 2000.
- [9] Eiji Hashino, Kenji Shimokawa, Yukihiro Yamamoto and Kohei Tatsumi, "Micro-Ball Wafer Bumping for Flip Chip Interconnection", IEEE Electronic Components and Technology Conference, pp.957-964, 2000.