

P-채널 다결정 실리콘 박막 트랜지스터의 Alternate Bias 스트레스 효과

Effect of Alternate Bias Stress on p-channel poly-Si TFT's

김영호, 조봉희, 강동헌, 길상근, 임석범, 임동준

(Young-Ho Kim, Bong-Hee Cho, Dong-Hun Kang, Sang-Kun Gil, Suk-Bum Lim, Dong-June Lim)

Abstract

The effects of alternate bias stress on p-channel poly-Si TFT's has been systematically investigated. We alternately applied positive and negative bias stress on p-channel poly-Si TFT's, device performance(V_{th} , g_m , leakage current, S-slope) are alternately appeared to be increasing and decreasing. It has been shown that device performance degrade under the negative bias stress while improve under the positive bias stress. This effects have been related to the hot carrier injection into the gate oxide rather than the generation of defect states within the poly-Si/SiO₂ interface under alternate bias stress.

Key Words : poly-Si TFT, hot carrier, electrical stress, trap, detrap, interface state

1. 서 론

최근 다결정 실리콘 박막 트랜지스터(polysilicon thin film transistors, poly-Si TFT's)는 a-Si TFT's에 비해 동일한 기판에 LCD 구동회로를 집적화 할 수 있기에 저 소비전력, 소형화가 가능하고, 우수한 전기적 특성으로 인하여 많은 연구가 진행되어지고 있다. 그러나 poly-Si TFT's는 10 V ~ 30 V 정도의 비교적 높은 구동전압 인가로 인하여 전기적 스트레스 현상이 발생하게 되며 이로 인한 구동회로용 poly-Si TFT's의 전기적 열

화 현상이 장기적 신뢰성 문제에 있어 매우 심각한 문제점으로 대두되고 있다. 이와 같은 전기적 스트레스 효과의 원인으로는 핫 캐리어 주입으로 인한 계면준위 생성[3], 게이트 산화막내로의 핫 캐리어 트래핑[4], poly-Si 박막내의 defect state 생성[1]등이 제시되고 있으나 p-채널 poly-Si TFT's의 경우 전기적 스트레스인가에 따른 소자 특성 변화 현상의 지배적인 메카니즘 규명이 아직 미흡한 것으로 알려져 있다.

따라서, 본 연구에서는 전기적 스트레스에 따른 전기적 특성변화의 원인을 체계적으로 해석하기 위하여 W/L=10/5 μm 인 p-채널 poly-Si TFT's를 제작한 후 역방향 스트레스($V_{GS} = V_{DS} = -20$ V)와 정방향 스트레스($V_{GS} = +20$ V, $V_{DS} = -20$ V)를 교대로 인가하여 전기적 스트레스에 따른 특성변화 메카니즘을 규명하고자 한다.

수원대학교 전기전자공학부

(경기도 화성시 봉담읍 수원대학교,

Fax : 031-220-2699

E-mail : yhkim@mail.suwon.ac.kr)

2001년 5월 7일 접수, 2001년 6월 1일 1차심사완료

2001년 8월 9일 2차심사완료, 2001년 9월 7일 3차

심사완료, 2001년 9월 25일 4차심사완료

2. 실험 방법

본 연구에서는 저압 화학 기상 증착(LPCVD) 방법으로 550 °C에서 500 Å 두께의 실리콘 박막을 quartz 기판 위에 증착하여 활성 영역 층으로 사용하였다. 이때 반응 gas로는 100 % SiH₄를 사용하였으며, 증착시 진공도는 0.3 Torr, SiH₄ 유입량은 60 sccm (standard cubic centimeter), 증착률은 34 Å/min로 유지하였다. Si 이온을 35 keV, 1.1 × 10¹⁵ /cm²의 조건으로 실리콘 박막에 이온 주입을 시킨 후 SPC(Solid Phase Crystallization)방법으로 580 °C에서 48시간 동안 열처리하여 다결정 실리콘으로 고상결정화시킨 후 active 마스크를 이용하여 활성 영역층을 정의하고 건식 식각 방법으로 다결정 실리콘 박막을 식각 하였다. 게이트 산화막은 열산화 방법으로 950 °C에서 1000 Å 성장시켜 게이트 마스크를 사용하여 게이트 영역층을 정의한 후 P⁺를 소오스, 드레인, 게이트 영역에 이온 주입시켰으며 열산화 방법으로 순수 SiO₂ 막을 950 °C에서 3500 Å 두께로 증착 하였다. Contact 마스크를 이용하여 소스, 드레인, 게이트의 접촉점을 정의한 후 실리콘이 함유된 알루미늄을 DC magnetron sputtering 하여 전극을 증착한 후 metal 마스크를 사용하여 전극을 형성하고 450 °C에서 1시간 열처리하여 p-채널 poly-Si TFT를 제작하였다. 제작된 소자의 전기적 특성은 precision semiconductor parameter analyzer(HP4156)를 사용하여 측정하였고, 또한 각각의 스트레스 시간에 따라 parameter값을 추출하였다.

3. 결과 및 고찰

그림 1은 poly-Si TFT's 소자에 역방향 스트레스를 3600 sec 인가한 후 정방향 스트레스와 역방향 스트레스를 교대로 인가하여, V_{DS} = -1 V와 V_{DS} = -10 V일 때의 전기적 스트레스 시간에 따른 전형적인 전이특성(I_{DS} - V_{GS}) 곡선이다. 전기적 스트레스(V_{DS} = -20 V)를 인가하면 수평방향 전계로부터 에너지를 얻은 전자가 드레인 공핍층 내에서 충돌 이온화(impact ionization)에 의해 전자·정공 쌍들이 생성된다. 최초 역방향 스트레스를 인가한 소자에 정방향 스트레스를 인가하면, (-)의 게이트 전압에 의해 드레인 부근에 생성된 정공들이 Si-SiO₂ 계면의 에너지 장벽을 넘어 산화막내에 정공이 주입되며, 게이트 산화막내에 trap되어 있던 정공[5]들이 (+)의 게이트 전압에 의

해 detrapping 되고 전자가 trap 되어진다.

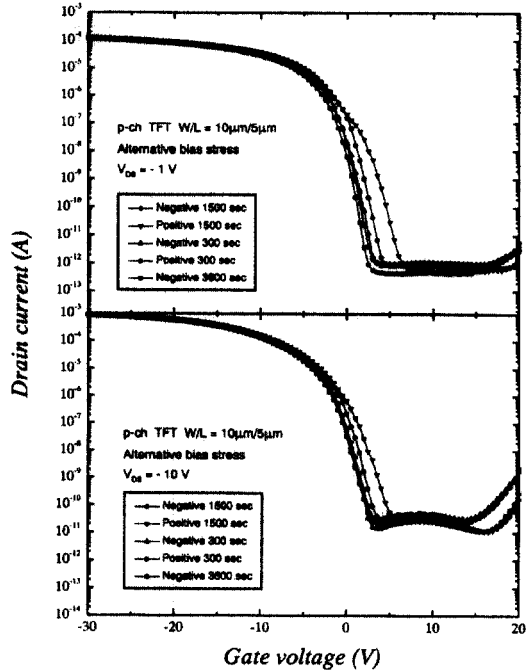


그림 1. p-채널 다결정 실리콘 박막 트랜지스터의 alternate bias stress 후 V_{DS} = -1V, -10V의 드레인 전압에 따른 전이특성 곡선.

Fig. 1. The transfer characteristics at drain voltage V_{DS} = -1V, -10V of p-channel poly-Si TFT's with alternate bias stress.

따라서 산화막 내에 trap되었던 정공들에 의해 채널에 (-) 전하를 유도하였던 것이, 정공의 detrapping과 전자의 trap으로 인하여 채널에 (+) 전하를 유도하게 되어, 그림 1과 같이 positive shift하게 된다. 여기에 다시 역방향 스트레스를 인가하면, 정방향 스트레스 시와는 반대로, (-)의 게이트 전압에 의해 전자가 detrapping되고 정공이 trap되어 I_{DS} - V_{GS} 특성 곡선은 다시 negative shift하게 된다. 그 후에 정방향 스트레스와 역방향 스트레스를 각각 1500 sec 동안 인가하였으나 같은 결과가 나왔음을 그림 1을 통해 알 수가 있었다.

역방향 스트레스와 정방향 스트레스를 교대로 인가할 때 발생하는 전이특성 곡선의 negative 및 positive shift 현상을 좀 더 자세히 알아보기 위해

서 그림 2에 스트레스 시간에 따른 문턱전압의 변화량을 나타내었다. 문턱전압은 $V_{DS} = -1V$ 에서 $W/L \times 10 nA$ 값을 가지는 게이트 전압으로 하는 일정전류법을 사용하여 규정하였다.

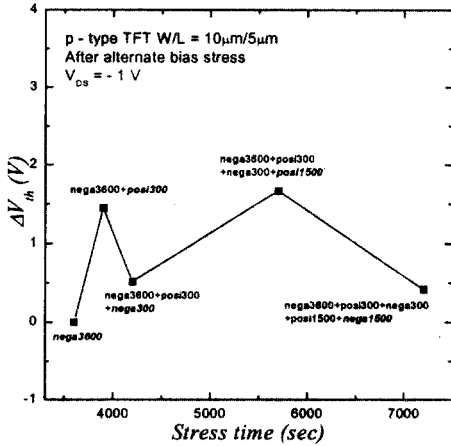


그림 2. $V_{DS} = -1V$ 일 때 다결정 실리콘 박막 트랜지스터의 alternate bias stress에 따른 문턱전압의 변화량.

Fig. 2. Variation of threshold for alternate bias stressed poly-Si TFT's at $V_{DS} = -1V$.

그림 1에서 보았던 것과 같이 역방향 스트레스와 정방향 스트레스 시 문턱전압의 증감이 확연히 나타났다. 그리고 역방향 스트레스 후 산화막내로 정공 trap에 의한 negative shift의 폭은 같은 시간 동안의 정방향 스트레스 시 전자 trap에 의한 positive shift 폭보다 작은 것으로 나타나 전체적으로 증가하는 경향을 나타냈다. 이는 poly-Si/SiO₂ 계면에 존재하는 에너지 장벽이 정방향 스트레스 시 trap 되는 전자에 비해 역방향 스트레스 시 trap 되는 정공에게 더 크기 때문으로, 결국 전자가 정공보다 더 많이 게이트 산화막내로 trap되어 문턱전압이 증가한 것으로 밝혀졌다.

위와 같은 hot-carrier의 특성은 g_m 의 곡선을 통해서도 또한 알 수가 있다. 그림 3에 g_m 의 곡선을 나타내었는데 g_m 값 역시 alternate bias를 인가하면 증감을 반복함을 알 수가 있었다. 정방향 스트레스를 인가하면, trap된 전자는 채널에 정공을 유기하게 되고 유기된 정공은 채널의 감소를 가져오

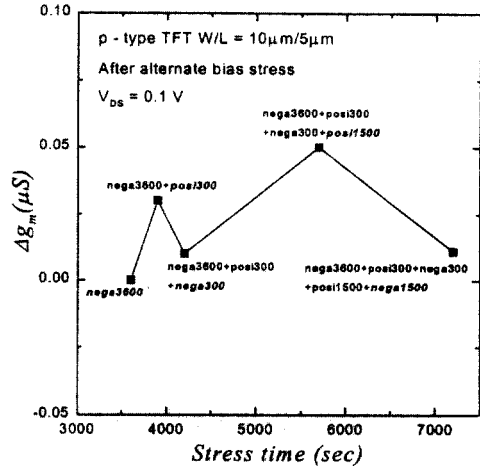


그림 3. $V_{DS} = -0.1V$ 일 때 다결정 실리콘 박막 트랜지스터의 alternate bias stress에 따른 g_m 값의 변화량.

Fig. 3. Variation of g_m for alternate bias stressed poly-Si TFT'S at $V_{DS} = -0.1V$.

므로, g_m 값은 증가[6,7]하게 된다. 반대로 역방향 스트레스를 인가하면, trap된 정공은 채널에 전자를 유기하게 되어 캐리어의 이동을 방해하게 되며 따라서 g_m 값은 감소하게 된다. 또한 정방향 스트레스를 인가할 때 보다 역방향 스트레스를 인가할 때 큰 변화를 나타내었는데, 이것은 위에 설명한 것과 같이 poly-Si/SiO₂ 계면에 존재하는 에너지 장벽이 전자에 비해 정공에 더 크기 때문인 것으로 사료된다.

그림 4는 negative bias와 정방향을 순차적으로 인가한 후 $V_{GS} = 12.5V$, $V_{DS} = -10V$ 와 $V_{GS} = 17.5V$, $V_{DS} = -10V$ 일 때의 bias 스트레스 시간에 따른 누설전류의 변화를 나타낸 것이다. 일반적으로 누설전류는 드레인 근처의 전계값에 의존하는 것으로 알려져 있다.

Bias 스트레스 조건이 변함에 따라 누설전류가 증감을 반복하는 형태를 나타냈다. 기판과 드레인 사이 역방향 전계에서 전자의 trap으로 인한 정공의 유기는 기판의 농도를 감소시키고 결국 드레인 근처의 전계가 작아져 누설전류값은 작아지게 된다. 그러나 정공의 trap으로 인한 전자의 유기는 오히려 드레인 근처의 전계가 커지게 되므로 off

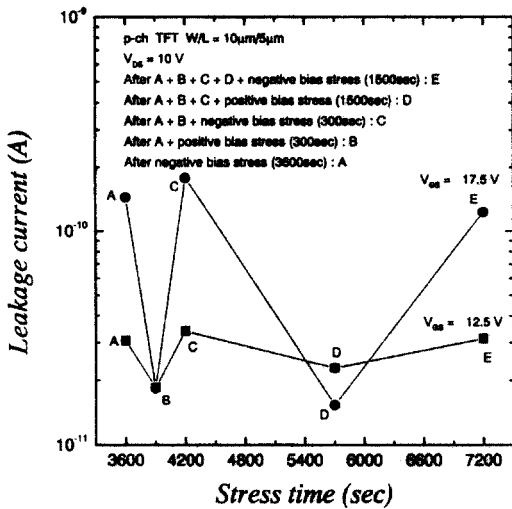


그림 4. 다결정 실리콘 박막트랜지스터의 alternate bias stress에 따른 누설전류의 변화.

Fig. 4. Variation of leakage current for alternate bias stress poly-Si TFT's.

전류값은 커지게 된다. 이러한 결과는 전기적 스트레스로 인하여 poly-Si 박막 내에 생성되는 defect state 및 poly-Si/SiO₂ 계면에 발생하는 계면준위 보다는 게이트 산화막에 주입되는 hot-carrier에 지배적으로 영향을 받는 것을 반증하는 것이다.

그림 5에는 negative 및 정방향 스트레스를 교대로 인가한 후 스트레스 타입에 따른 S-slope의 변화량을 나타내었다. S-slope은 계면준위를 나타내는 간접적인 척도로 정의와 수식은 다음과 같다.

$$S = (d \log I_{DS} / dV_{GS})^{-1} \approx \ln 10 \cdot \frac{kT}{q} \left[1 + \frac{C_D + C_{it}}{C_{OX}} \right]$$

where k : Boltzmann's constant

q : electronic charge

T : temperature

C_{it} 는 계면준위 밀도이고, C_D 는 공핍층용량, C_{OX} 는 게이트 산화막 용량이다. 그림에서 bias 스트레스의 교차인가에 따라 S-slope의 증감현상이 나타났다. 위의 수식에서 알 수 있듯이 S-slope가 커지

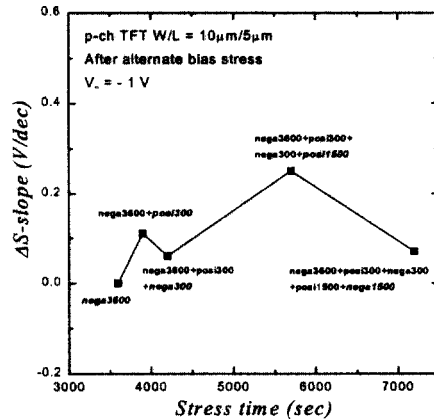


그림 5. $V_{DS} = -1$ V일 때 다결정 실리콘 박막트랜지스터의 alternate bias stress에 따른 S-slope 값의 변화량.

Fig. 5. Variation of S-slope for alternate bias stressed poly-SiTFT'S at $V_{DS} = -1V$.

는 것은 그만큼 계면준위가 많이 생성[8]됐다는 것을 의미한다. 정방향 스트레스 시에는 S-slope의 값이 증가하고 역방향 스트레스 시에는 S-slope의 값이 감소하는 것으로 나타났다. 정방향 스트레스 시에 전자가 trap되면서 생성된 계면준위에 의해서 S-slope의 값은 증가하게 되고, 역방향 스트레스 시에는 전자가 detrapp 되기 때문에 계면준위가 없어져 S-slope의 값은 감소하게 된다. 또한 정방향 스트레스 시가 역방향 스트레스 시보다 큰 변화를 나타내었는데, 이것은 전자가 정공보다 poly-Si/SiO₂ 계면의 에너지 장벽을 넘어 더 많은 계면준위를 생성한 것을 의미한다. 따라서 위의 poly-Si/SiO₂ 계면에 존재하는 에너지 장벽이 전자에 비해 정공에 더 크다는 것을 반증하는 것이다.

4. 결론

본 연구에서는 p-채널 poly-Si TFT's 소자를 제작한 후 전기적 스트레스에 의한 소자 특성 변화 메커니즘을 좀더 정확히 규명하기 위하여 역방향 스트레스($V_{GS} = V_{DS} = -20V$)와 정방향 스트레스($V_{GS} = +20V, V_{DS} = -20V$)를 교대로 인가하여 전기적 스트레스에 따른 전기적 특성 변화를 체계

적으로 분석하였다. 정방향 스트레스를 인가하면 전자는 게이트 산화막 내로 trap 되며 채널내에 정공을 유기하게 된다. 유기된 정공은 $I_{DS}-V_{GS}$ 특성 곡선은 positive shift 하게 되고, 문턱전압 값은 감소하게 된다. 또한 채널감소현상으로 인하여 g_m 값은 증가하고 드레인 전계에 감소로 인하여 off 전류는 감소하게 된다. 역방향 스트레스를 인가하면 정공은 게이트 산화막 내로 trap 되며 채널내에 전자를 유기하게 된다. 유기된 전자는 $I_{DS}-V_{GS}$ 특성 곡선은 negative shift 하게 되고, 문턱전압은 증가하게 된다. 또한 캐리어의 흐름을 방해해 g_m 값은 증가하게 되고, 드레인 근처의 전계 증가로 인하여 off 전류는 증가하게 된다. 동일한 시간동안의 정방향 스트레스에 의한 positive shift 폭보다 작은 것을 볼 수 있는데 이는 poly-Si/SiO₂ 계면에 존재하는 에너지 장벽이 전자에 비해 정공이 크다는 것을 보여주는 결과로 S-slope의 변화 크기로부터 알 수가 있었다. 이와 같은 결과는 전기적 스트레스에 따른 소자특성변화가 poly-Si 박막내의 defect 생성과 poly-Si/SiO₂ 계면에 발생하는 계면 준위보다는 게이트 산화막으로 주입되는 hot carrier에 강하게 의존하는 것으로 나타났다.

참고 문헌

- [1] I.-W. Wu, W. B. Jackson, T.-Y. Huang, A. G. Lewis, and A. Chiang, "Mechanism of device degradation in n- and p-Channel polysilicon TFT's by electrical stressing" IEEE Electron Device Lett., Vol. 11, No. 4, pp.167-170, 1990.
- [2] 이현중, 이경택, 박세근, 박우상, 김형준, " 고온 다결정 실리콘 박막트랜지스터의 전기적 특성과 누설전류 특성 ", 전기전자재료학회 논문지, 11권 10호, pp. 918-923, 1998.
- [3] G. Fortunato, A. Pecra, G Tallarida, L. Mariucci, C. Rieta, and P. Migliorato, "Hot-carrier effects in n-channel polycrystalline silicon thin-film transistors : A correlation variations," IEEE Trans. Electron Dev. Vol. 41, pp. 340-351, 1994.
- [4] 변문기, 이재혁, 임동규, 박태성, 이진민, 김영호, " Offset 구조를 갖는 n-채널 다결정 실리콘 박막 트랜지스터의 I-V 분석 ", 전기전자재료학회논문지, 12권 10호, pp. 829-834, 1999.
- [5] 진교원, 박태성, 백희원, 이진민, 조봉희, 김영호, "p-채널 Poly-Si TFT's 소자의 Hot-Carrier 효과에 관한 연구 ", 전기전자재료학회논문지, 11권 9호, pp. 683-686, 1998.
- [6] M. P. Branssington and R. R. Razouk, "The relationship between gate bias and hot-carrier-induced instabilities in buried- and surface-channel PMOSFETs." IEEE Trans. Electron Dev. Vol. 35, pp. 320-324, 1988.
- [7] F. V. Farmakis, J. Brini, G. kamarinos, C. A. Dimitriadis and V. K. Gueorguiev, Tz. E. Ivanov, "Electrical stress in n- and p-channel undoped - hydrogenated polysilicon thin film transistors (TFTs)." Proceedings of the 1999 International Semiconductor Conference, Vol. 1, pp. 157-160, 1999.
- [8] B. Tala Ighil, A. Rahal, K. Mourgues, A. Toutah, L. Pichon and T. Mohammed-Brahim. "State creation induced by gate bias stress in unhydrogenated polysilicon TFT's" Thin Solid Films, Vol. 337, pp. 101-104, 1999.