Journal of the Korean Institute of Electrical and Electronic Material Engineers. Vol. 13, No. 5, pp. 371~375, 2000.

논 문 13-5-2

# 래치 업 특성의 개선과 고속 스위칭 특성을 위한 다중 게이트 구조의 새로운 LIGBT

# Study on New LIGBT with Multi Gate for High Speed and Improving Latch up Effect

강 이 구*, 성 만 영*
(Ey Goo Kang, Man Young Sung)

**Abstract**

In this paper, a new conductivity modulated power transistor called the Lateral Insulated Gated Bipolar Transistor which included n+ ring and p-channel gate is presented. A new lateral IGBT structure is proposed to suppress latch-up and to improve turn off time by imploying n+ ring and p-channel gate and verified by MEDICI. The simulated I-V characteristics at $V_G$=15V show that the latch up occurs at $V_A$=18V and 6.9 × $10^{-5}$A/㎛ for the proposed LIGBT while the conventional LIGBT latches at $V_A$=1.3V and 1.96 × $10^{-5}$A/㎛. It is shown that the latch up current of new LIGBT is 10 times than that of conventional LIGBT. Specially, Turn off time of new LIGBT is 0.25㎲ while Turn off time of the conventional LIGBT 1.6㎲. It is shown that turn off characteristic of new LIGBT is 8 times than that of conventional LIGBT. And noble LIGBT is not n+ buffer layer because that It includes p channel gate and n+ ring. Therefore, Mask for the buffer layer isn't needed. The concentration of n+ ring is and the numbers of n+ ring and p channel gate are three for the optimal design.

**Key Wards(중요용어)** : Latch Up(래치 업), Turn off Speed(턴 오프 속도), LIGBT, n+-ring, n+ buffer

## 1. 서 론

MOSFET이 갖는 높은 입력 임피던스와 바이폴라 트랜지스터가 갖는 낮은 온 저항 특성을 함께 갖는 소자로서 IGBT는 1980년대 초반 이후 급격한 발전을 거듭하였다. IGBT는 우수한 온 특성과 빠른 스위칭 속도, 우수한 안전 동작 영역(SOA : safe operating Area)의 장점으로 인해 전력 전자 응용 분야에 적용되는 600V 내지 1500V 급 바이폴라 트랜지스터를 대체하고 있다.[1]

또한 LIGBT는 순방향 전압강하가 작고, 입력임피던스가 크기 때문에 스마트 파워(smart power) IC에 매우 적합한 소자이다.[2]

* 고려대학교 전기공학과
(서울시 안암동 고려대학교, Fax: 02-921-1325
E-mail : semicad@kuccnx.korea.ac.kr)
2000년 1월 18일 접수, 2000년 4월 17일 심사완료

그러나 LIGBT가정상적으로 동작할때는 소자 내부에 존재하는 기생사이리스터는 동작하지 않으나, 전류가 일정한 값 이상이 되면 사이리스터가 턴 온되는데, 이것을 래치 업 특성이라고 한다. 래칭 현상이 발생하면 LIGBT는 MOS 게이트의 조정능력을 상실하기 때문에 래치 업 현상은 LIGBT의 전류 제어 능력을 제한하고, SOA(Safe Operating Area)를 결정짓는 가장 중요한 요소 가운데 하나이다.[3]

래치 업의 주요한 원인은 p+ 애노드에서 주입된 정공에 의한 p-베이스 영역에서의 전압강하이다. 이를 억제하기 위해서는 p 베이스 영역의 저항을 줄이는 $p^{++}$ 확산, dual implantation, deep p+ implantation, retrogade 확산등이 제안되었으며, 정공전류를 우회시키는 방법으로는 trench gate, reverse channel등이 제안되었다. 또한 정공전류를 소자 표면쪽으로 흐르게 하기 위해서, 정공주입을 억제하는 n+ 버퍼층에 게이트를 추가한 구조를 제

시하였다. 그러나 이런 구조들은 문턱전압을 조절하기가 힘들고, 공정이 복잡하다는 단점을 가지고 있다.

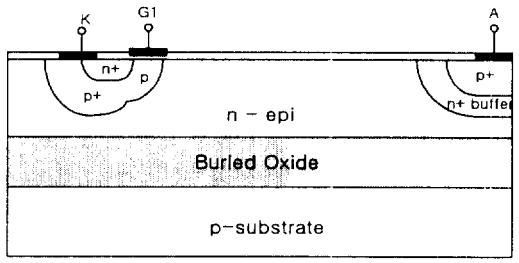
따라서 본 논문에서는 래치 업 성능을 개선시키기 위해 일반적으로 이용되는 구조에서 캐소드와 애노드사이에 p-channel을 형성시키기 위한 n+ 영역을 지정하여 그 위에 게이트 단자를 만들어 새로운 다중 게이트 구조의 LIGBT를 제안하였으며, 이에 따른다중 게이트 구조의 래치 업 특성, 턴오프 특성, 전류밀도 특성등을 측정하였으며, 최적 설계를 위해서 n+ 링의 농도와 수 그리고 p 채널 게이트의 수를 변화시켜 다중 게이트 구조의 LIGBT가 래치 업을 상당히 효과적으로 억제하고, 고속 스위칭에 적합하다는 사실을 검증하였다.

## 2. 장 소자의 구조 및 동작

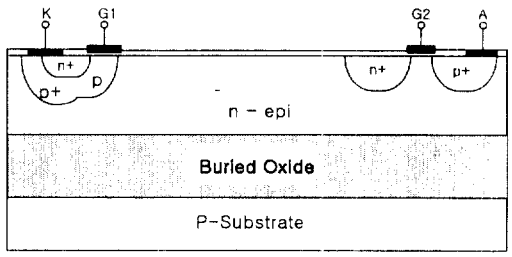
LIGBT는 온 상태에서 채널을 통해 드리프트 영역으로 흐르는 전자는 p+ 애노드 - n- 드리프트 - p+ 캐소드로 구성되는 pnp 트랜지스터의 베이스 전류로 작용한다. 이 때 채널 끝 부분은 전자의 농도가 높아져서 저항이 감소하기 때문에 p+ 애노드로부터 주입된 정공은 대부분 채널 쪽으로 흐르게 되고, p-base 영역을 통과하여 캐소드로 흐른다. 따라서 온 상태의 전압 강하는 p+ 애노드 - n 버퍼에서의 턴 온 전압, 드리프트 영역에서의 전압강하, p-베이스에서의 전압강하를 합한 것과 같다. 이 때 n- 캐소드 밑 부분의 p-베이스 층을 통과하면서 유기되는 정공에 의한 전압 강하가 0.7V이상이 되면 n+ 캐소드 - p 베이스 - n- 드리프트 영역으로 구성되는 기생 npn 트랜지스터가 턴 온되어 전자가 채널을 통하지 않고 직접 p-베이스를 통과하여 드리프트 영역으로 주입된다. 위와 같은 과정으로 LIGBT의 기생 사이리스터가 턴 온이 되는데, 이런 현상을 래치 업이라고 부른다.

이러한 래치 업을 억제하기 위해서 본 논문은 n+ 링과 p 채널 게이트를 설치하여 p-베이스를 통과하는 정공전류의 양을 감소시켜, 정공전류를 모두 소자의 표면쪽으로 흐르게 하였다. 또한 n+링과 p 채널 게이트를 설치하였기 때문에 정공의 주입을 억제하는 n-버퍼층이 필요없게 되었으며, 이에 따라 n-버퍼층에 해당하는 마스크 1장을 줄여 공정의 단순화를 이룰 수 있어 제작과정에 있어서 실질적인 효과를 얻을 수 있었다.

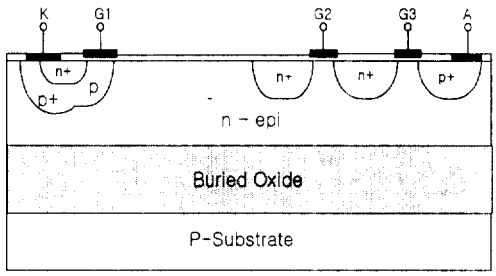
그림 1에서 (a)는 기존의 범용 IGBT의 구조를 나타낸 것이며, (b)~(d)는 제안된 구조이다. 우선 (b)는 p+ 애노드 앞에 n+링을 설치한 다음 p+ 애노드와 n+링을 p 채널 게이트로 연결한 구조이다. (c)와 (d)는 n+링의 수와 p 채널 게이트의 수를 각각 2개와 3개를 추가시킨 구조이다. 그리고 표1은 기존의 구조와 제안된 구조의 시뮬레이션을 위한 변수들이다. 제안된 구조들에서는 p-MOS 게이트에 부의 전압을 인가하게 되면, 표면에 p 채널을 형성하게 되어, 턴 온시 p+ 애노드에서 주입되는 정공은 대부분 소자의 표면을 따라서 p+ 캐소드에 도착하게 된다. 따라서 래치 업을 일으키는 p 베이스 영역으로 지나는 정공의 수가 적어지게 되어, 그 특성이 개선될 뿐만 아니라 n 버퍼 층이 없어지게 되어 공정의 단순화를 이룰 수 있었다. 또한 턴 오프시 에피층에 남아있는 소수캐리어들이 재결합하기 전에 모두 형성된 p 채널을 통해서 빠져나가기 때문에 우수한 턴 오프 특성을 얻을 수 있었다.



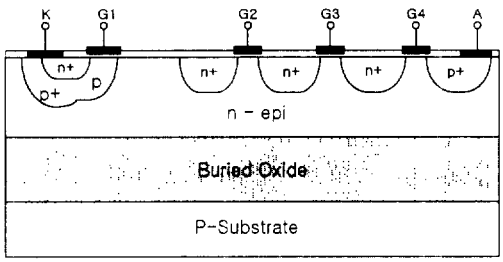

(a)




(b)




(c)




(d)

그림 1 기존의 IGBT 구조와 제안된 IGBT의 구조
(a) 기존의 범용 IGBT구조 (b) 1개의 n+링과 1개의 p 채널 게이트를 포함한 IGBT 구조 (c) 2개의 n+ 링과 2개의 p 채널 게이트를 포함한 IGBT 구조(d) 3개의 n+링과 3개의 p 채널 게이트를 포함한 IGBT 구조

Fig. 1 The structure of proposed and conventional LIGBT
(a) Conventional LIGBT (b) The proposed LIGBT with one n+ ring and one p-channel gate (c) The proposed LIGBT with two n+ ring and two p-channel gate(b) The proposed LIGBT with three n+ ring and three p-channel gate

**표 1. 시뮬레이션을 위한 소자의 설계변수**

Table 1 Design parameter of LIGBT for Simulation

| 변 수 | 깊이 | 농 도 |
|---|---|---|
| n- 에피층 | 3 $\mu m$ | $1\times10^{14}cm^{-3}$ |
| p+ 애노드 | 1 $\mu m$ | $1\times10^{19}cm^{-3}$ |
| p 베이스 | 0.5 $\mu m$ | $1\times10^{17}cm^{-3}$ |
| p+ 베이스 | 1.5 $\mu m$ | $1\times10^{19}cm^{-3}$ |
| n+ 캐소드 | 0.21$\mu m$ | $1\times10^{20}cm^{-3}$ |
| n+ 링 | 1 $\mu m$ | $1\times10^{19}cm^{-3}$ |
| 게이트 산화막 두께 | 300 Å | |
| 채널길이 | 3 $\mu m$ | |
| 링 사이의 채널길이 | 3 $\mu m$ | |
| 매몰 산화막 두께 | 3 $\mu m$ | |

## 3. 시뮬레이션 결과 및 고찰

2-D 시뮬레이터인 MEDICI를 이용하여, 제안한 새로운 LIGBT구조와 범용 SOI LIGBT의 전기적인 특성을 비교하였다. 우선 그림 2가 나타내고 있는 것은 래치 업 특성이다. 기존의 구조에서는 애노드 전압 1.3V와 $1.96\times10^{-5}A/\mu m$의 전류에서 래칭 특성이 나타나고 있으며, 제안한 구조에서는 최대 18V의 어노드 전압과 $6.9\times10^{-5}A/\mu m$의 전류에서 래칭 특성이 나타나고 있다.

따라서 제안된 구조가 기존의 구조보다 10배의 어노드 전압과 6배정도의 어노드 전류에서 래칭 일어나고 있는 우수한 특성을 보여주고 있다. 이것은 다중 게이트 영역을 설정하여, 어노드에서 주입된 정공이 드리프트 전 영역에 걸쳐서 흐르는 것이 아니고 소자의 표면을 따라서 흐르도록 하였기 때문에 래칭 전압과 전류를 개선시킬 수 있었던 것으로 판단된다.

그림 3에서는 제안한 구조와 기존 구조의 턴 오프 특성을 보여주고 있다. 전력 IGBT에서 일반적으로 턴 오프 시간은 온 상태일 때 애노드 전류의 초기값의 10% 가 될 때까지의 시간으로 정의되는데, 기존의 범용 IGBT 소자의 턴 오프 시간은 수 $\mu s$내외로 알려져 있고 본 논문에서는 1.6$\mu s$의 값을 가지는 것으로 나타나 있다. 그리고 제안된 구조에서는 0.1~0.2$\mu s$의 턴 오프 시간을 갖는데 기존의 구조보다 8배정도 빠른 턴 오프 특성을 보여주고 있다.

그림 4는 래치 업 발생시 소자의 너비 방향에 대해서 깊이 방향으로 각각 0.5, 1, 2$\mu m$에 대한 전류밀도를 보여주고 있다. 그림에서 나타난 것처럼 래칭 전류밀도는 오히려 기존의 구조보다 제안된 구조가 약간 높은 특성을 보여주었다. 기존의 구조는 $1\times10^{3}A/cm^{2}$ 정도의 전류밀도를 나타내고 있으나 제안된 구조에서는 모두 $1\times10^{4}A/cm^{2}$ 정도의 높은 전류 밀도 특성을 보여주고 있다.

그림 5과 그림 6은 제안된 소자의 최적 설계 변수를 추출하기 위한 특성을 보여주고 있다. 우선 그림 5에서는 n+링의 농도에 따른 래치 업 특성을 보여주고 있다. 제안된 구조 중 가장 우수한 특성을 보인 3개의 p 채널 게이트를 가진 구조로 시뮬레이션을 수행하였다. 또한 링의 농도를 $1\times10^{17}cm^{-3}$ ~ $1\times10^{20}cm^{-3}$까지 변화시켜 보았다. 이 중 링의 농도가 $1\times10^{20}cm^{-3}$인 구조가 가장 우수한 래치 업 특성을 보여주고 있다. 링의 농도가 증가하면 할

수록 정공의 주입을 효과적으로 억제할 수 있었다고 판단된다. 그림 6에서는 그림 5의 농도 변화에 따른 턴 오프 특성을 보여주고 있는데, 예상한 대로 $1\times10^{20}cm^{-3}$농도에서 가장 빠른 턴 오프 특성을 보여주었다. 이것은 남아있는 소수캐리어인 정공이 p 채널을 통해서 빠져나가는 것도 있지만 링의 농도가 높으면 높을수록 재결합되는 정공도 더 많아질 것으로 판단된다.

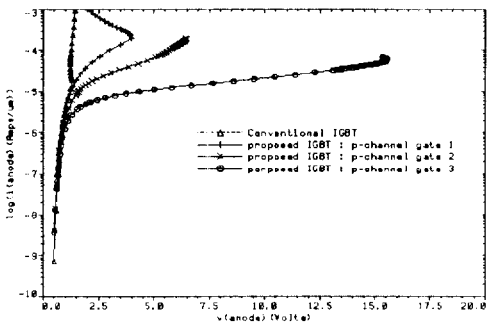



그림 2 제안된 구조와 기존 구조의 래치업 특성
Fig. 2 Latch up charateristics of proposed and conventional LIGBT

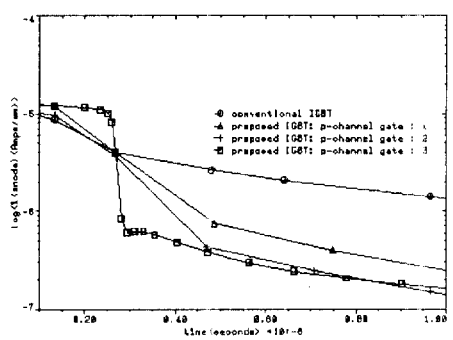
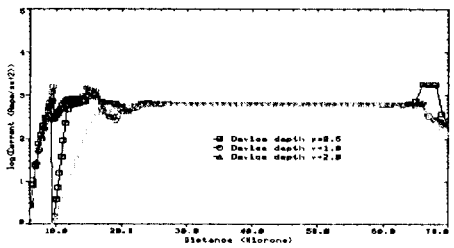
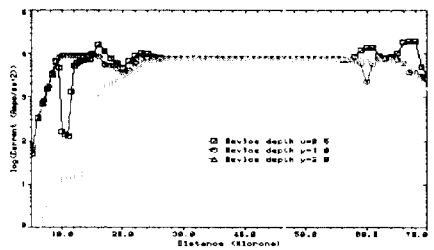


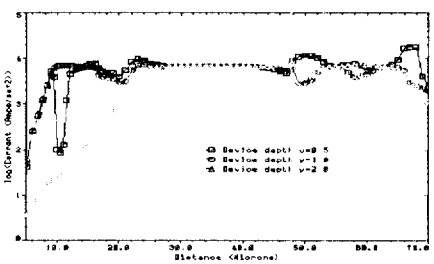

그림 3 제안된 구조와 기존 구조의 턴 오프 특성
Fig. 3 Turn off characteristics of proposed and conventional LIGBT



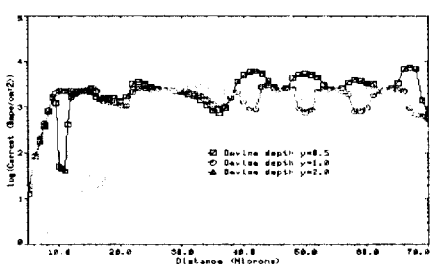
(a)



(b)



(c)



(d)

그림 4 래치 업 발생시 제안된 구조들과 기존구조의 전류밀도

(a) 기존의 범용 LIGBT구조 (b) 1개의 n+링과 1개의 p 채널 게이트를 포함한 LIGBT 구조 (c) 2개의 n+링과 2개의 p 채널 게이트를 포함한 LIGBT 구조 (d) 3개의 n+링과 3개의 p 채널 게이트를 포함한 LIGBT 구조

Fig. 4 Current Density of proposed and conventional LIGBT when Latch up is occered

(a) Conventional LIGBT (b) The proposed LIGBT with one n+ ring and one p-channel gate (c) The proposed LIGBT with two n+ ring and two p-channel gate (b) The proposed LIGBT with three n+ ring and three p-channel gate

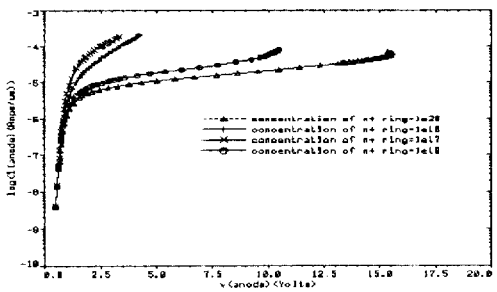


그림 5 제안된 구조에서 n+ 링의 농도에 따른 래치업 특성

Fig. 5 Latch up charateristics with concentration of n+ ring at proposed structure

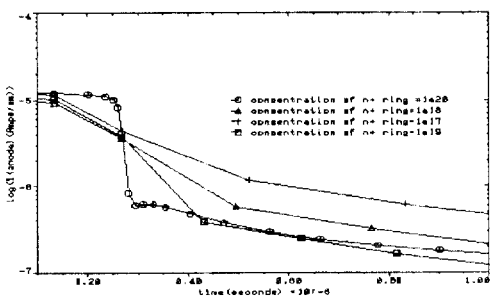


그림 6 제안된 구조에서 n+ 링의 농도에 따른 턴오프 특성

Fig. 5 Turn off charateristics with concentration of n+ ring at proposed structure

## 4. 결 론

본 논문에서는 전력 IC 용 LIGBT의 래치 업 특성과 턴 오프 특성을 개선하기 위하여 p 채널 게이트와 n+링을 추가시킨 새로운 구조의 LIGBT를 제시한 다음, 제시된 구조의 타당성을 검증하기 위해 2-D 시뮬레이터인 MEDICI를 이용하여 전기적인 특성을 분석하였다. 그 결과 래치 업을 발생시키는 전압은 3배 그리고 전류밀도에 있어서는 10배의 개선 효과를 가져올 수 있었으며, 특히 턴 오프 특성에 있어서는 8배정도의 빠른 특성을 보여주었다. 또한 n 버퍼층을 제거하여 제작 공정에 있어서도 마스크 한 장을 줄이는 실질적인 효과를 가져올 수 있었으며, 최적 설계를 위하여 n+링의 농도와 수 그리고 p 채널 게이트 수의 변화시켜 시뮬레이션한 결과 n+링과 p 채널 게이트의 수는 3개이며, n+링의 농도는 $1\times10^{20}cm^{-3}$인 결과를 가져올 수 있었다.

## 참고 문헌


[1] B. J. Baliga, "Power Semiconductor Devices", PWS Publishing Company, 1996

[2] Hirofumi Akagi, "The State of the Art of Power Electronics in Japan ", IEEE Trans. on Power Electronics, vol. 13, No. 2,pp. 345-356, 1998

[3] M. R Simpson, "Analysis of Negative Differential Resistance in the I-V Characteristics of Shorted-Anode LIGBT's", IEEE Trans. Electron Devices, Vol. 38, No. 7, July, 1991.

[4] D. Disney, "Fast Switching LIGBT Devices Fabricated in SOI Substrates", proc. of ISPSD 92, pp. 48-51, 1992

[5] B. H. Lee, W. O. Lee, M. S. Lim, J. E. Park, M. K. Han and Y. I. Choi, "A New Dual-Gate SOI LIGBT with the Shorted Anode", SSDM 96, pp. 287-289, 1996