

# 자연 산화물 분산 촉진에 의한 실 시간 인 도핑 실리콘의 고품질 에피택셜 저온 성장

논문  
13-2-6

## High-Quality Epitaxial Low Temperature Growth of In Situ Phosphorus-Doped Si Films by Promoting Dispersion of Native Oxides

김홍승\*, 심규환\*, 이승윤\*, 이정용\*\*, 강진영\*

(Hong-Seung Kim\*, Kyu-Hwan Shim\*, Seung-Yun Lee\*, Jeong-Yong Lee\*\*, Jin-Young Kang\*)

### Abstract

Two step growth of reduced pressure chemical vapor deposition has been successfully developed to achieve *in-situ* phosphorus-doped silicon epilayers, and the characteristic evolution of their microstructures has been investigated using scanning electron microscopy, transmission electron microscopy, and secondary ion mass spectroscopy. The two step growth, which employs heavily *in-situ* P doped silicon buffer layer grown at low temperature, proposes crucial advantages in manipulating crystal structures of *in-situ* phosphorus doped silicon. In particular, our experimental results showed that with annealing of the heavily P doped silicon buffer layers, high-quality epitaxial silicon layers grew on it. The heavily doped phosphorus in buffer layers introduces into native oxide and plays an important role in promoting the dispersion of native oxides. Furthermore, the phosphorus doping concentration remains uniform depth distribution in high quality single crystalline Si films obtained by the two step growth.

**Key Words(중요용어)** : Epitaxial growth, Silicon, Reduced Pressure Chemical Vapor Deposition, Two step growth, Dispersion, Native oxide

### 1. 서 론

실리콘 에피택시(epitaxy) 층의 저온성장은 크기가 작고 급격한 계면을 갖는 소자 제작에 유용한 기술로 각광 받고 있다. 특히 저온의 고농도 인(phosphorus) 도핑 n<sup>+</sup> 실리콘 에피택시는 MODFET(modulation-doped filed effect transistor)[1], MOSFET(metal-oxide-semiconductor field effect transistor)[2], HBT(heterojunction bipolar transistor)[3]와 같은 Si/SiGe 이종구조(hetero-structure) 소자의 제작을 위해 반드시 필요하다. 화학 증착(Chemical

Vapor Deposition, CVD)에서 n형 도펀트(dopant)로 포스핀(phosphine)이나 아신(arsine)이 주로 사용되어 왔다[4]. 고농도 도핑 n<sup>+</sup> 실리콘 층의 저온 성장은 SiGe 이종구조나 나노 미터 단위의 작은 크기의 소자에 적용하기 위해 연구가 활발히 진행되고 있다. 특히 일정 온도 이상에서는 불순물 확산, Si/Si<sub>1-x</sub>Ge<sub>x</sub> 계면의 상호혼합(intermixing), 응력완화 등이 일어나 소자의 성능에 악영향을 미치는 것으로 알려져 있다. 그러나, n형 도펀트 주입과 연관된 실리콘의 저온 성장에 관한 체계적인 연구는 거의 이루어지지 않았다. n<sup>+</sup> 실리콘 에피택 층의 저온 성장을 위해서는 기판 위에 존재하는 자연 산화막을 보다 낮은 온도에서 제거하는 기술이 필수적이다. 현재 자연 산화막을 제거하기 위한 실 시간(in situ) 수소 열처리 는 900℃의 온도에서 수분간 행해야 하는데 소자를 제작할 때 SiGe 층을 증착한 이후에는 자연 산화물 제거를 위해 고온 수소 열처리 공정을 행할 수 없다. 따라서 HF, HCl, 메탄올과 그것들의 혼합물 등의 반응성 기체 내에서 표면을 식각하는 방법이

\* : 한국전자통신연구원 회로소자기술연구소  
(대전 광역시 유성구 가정동 161 E-mail : hongseung@etri.re.kr)

\*\* : 한국과학기술원 재료공학과  
1999년 11월 25일 접수, 2000년 1월 21일 심사완료

그 대안으로 여겨져 왔다[5]. 그러나, 반응성 기체는 표면에 불균일한 핀 홀(pin hole)을 생성시키거나 산화막 마스크 층을 부식시키는 단점이 있다. 따라서, 고온 열처리 공정 없이 양질의 실리콘 에피 층을 형성할 수 있는 새로운 기술이 요구되고 있다.

본 논문에서는 고농도 인 도핑 실리콘 완충 층을 이용하여 실리콘 에피 층을 감압화학증착(Reduced Pressure Chemical Vapor Deposition, RPCVD)으로 성장시켰고 완충 층의 열처리 효과에 따른 실리콘 에피 층의 미세구조 변화 및 결합 형성을 SEM과 TEM을 이용하여 조사하였다.

## 2. 실험 방법

감압 CVD 장치에서 5인치 p형 실리콘 <100> 웨이퍼 위에 실 시간 고농도 인 도핑 실리콘 박막을 증착하였다. 장입에 앞서 웨이퍼는 4:1 H<sub>2</sub>SO<sub>4</sub>/H<sub>2</sub>O<sub>2</sub> 용액 및 100:1 H<sub>2</sub>O/HF 용액에서 연속적으로 세척하였다. 인 도핑 실리콘 층들을 증착하기 위한 소스는 SiH<sub>4</sub>와 PH<sub>3</sub>(1.5% in H<sub>2</sub>)를 사용하였다. 먼저 완충 층으로 사용하고자 하는 저온 실리콘 박막을

인 도핑 농도를 각각 1×10<sup>17</sup>/cm<sup>2</sup>, 1×10<sup>18</sup>/cm<sup>2</sup>, 1×10<sup>21</sup>/cm<sup>2</sup>로 변화 시키면서 500℃에서 1 시간동안 증착하였다. 그림 1은 실리콘 완충 층의 인 도핑 농도에 따른 단면 TEM 사진들이다. 그림 1(a), (b)과 (c)에서의 인 도핑 농도는 각각 1×10<sup>17</sup>/cm<sup>2</sup>, 1×10<sup>18</sup>/cm<sup>2</sup>, 1×10<sup>21</sup>/cm<sup>2</sup>으로, 그림 1(a), (b)와 같이 적은 양의 인 이 도핑된 경우에는 실리콘 박막이 비정질 상태를 유지하고 있었고 박막과 기판 계면에서 증착 중 재결정화가 일어나서 약 30 nm정도가 결정 상태로 성장하였다. 그러나 그림 1(c)와 같이 고농도로 도핑하면 박막 전체가 결정 상태로 성장되어 있었다. 본 연구에서는 1×10<sup>21</sup>/cm<sup>2</sup>의 고농도로 도핑된 실리콘 완충 층 위에 실리콘 층을 성장시켰다. 한편, 완충 층의 열처리에 따른 에피 층의 미세구조 변화를 관찰하기 위하여 650℃에서 800℃까지 수초에서 수분까지 실 시간

그림 1. 단면 TEM 명시야상 ;

- (a) 도핑농도 1×10<sup>17</sup>/cm<sup>2</sup>인 실리콘 완충 층
- (b) 도핑농도 1×10<sup>18</sup>/cm<sup>2</sup>인 실리콘 완충 층
- (c) 도핑농도 1×10<sup>21</sup>/cm<sup>2</sup>인 실리콘 완충 층.

Fig. 1. Bright field X-TEM images obtained from Si buffer layers doped to (a) 1×10<sup>17</sup>/cm<sup>2</sup>, (b) 1×10<sup>18</sup>/cm<sup>2</sup>, and (c) 1×10<sup>21</sup>/cm<sup>2</sup>, respectively.

그림 2. 평면 SEM 사진 : (a) 어떠한 처리 없이 700℃에서 웨이퍼 위에 증착된 박막 (b) 이단계 증착과 700℃ 중간 열처리를 거친 박막 (c) 이단계 증착과 800℃ 중간 열처리를 거친 박막.

Fig. 2. SEM images showing surface morphology of (a) a film deposited at 700℃ on a wafer without any treatments, (b) a film deposited by the two-step growth with intermediate annealing at 700℃, and (c) a film deposited by the two-step growth with intermediate annealing at 800℃.

열처리를 행하였다. 완충 층 위에 증착한 인 도핑 실리콘 에피 층은 700℃, 40 torr에서 증착하였다.

미세구조, 결정성과 표면 형상들을 주사 전자현미경(Scanning Electron Microscopy, SEM), 단면 투과 전자현미경(Cross-sectional Transmission Electron Microscopy, X-TEM), 러더포드 후방산란 분석(Rutherford Back-scattering Spectrometry, RBS), AFM(atomic force microscopy)을 이용하여 관찰하였다. X-TEM 시편은 기계적 연마와 이온 밀링(milling)으로 제작하였으며 이온 밀링 시 액체질소로 냉각되는 시편대를 사용하였다. JEOL JEM 2000EX로부터 명시야상과 고분해능(high-resolution) TEM 사진을 얻었으며, point-point resolution은 0.21 nm였고 작동전압은 200 kV였다. 이차 이온 질량 분석(Secondary Ion Mass Spectrometry, SIMS)을 이용하여 각 시편들의 박막 두께에 따른 인의 농도(depth profile)를 구하였다.

### 3. 결과 및 고찰

그림 2는 실 시간 고농도 도핑 박막의 표면 SEM 사진으로 (a), (b), (c)는 각각 습식 세척한 웨이퍼 위에 증착한 박막, 이단계 증착(완충 층/에피 층)과 700℃, 3분의 중간 열처리를 거친 박막, 이단계 증착과 800℃, 10초의 열처리를 거친 박막의 것이다. 그림 2(a), (b)에서는 많은 수의 작은 구멍들과 결정립들이 관찰되고 있었다. 이는 전형적으로 다결정 성장한 표면 형상이다. 한편, 평탄한 표면이 관찰되는 그림 2(c)로부터 이단계 증착과 800℃, 10초의 열처리를 거친 박막은 단결정 표면 형상을 유지하고 있음을 알 수 있다. 이와 같이 SEM 사진으로부터 성장 과정에 따라 표면 형상, 즉 미세구조가 크게 바뀐다는 사실을 확인하였다. 한편 불순물의 도핑 형태는 박막의 미세구조와 밀접한 관계를 갖는다. 그림 3은 일반적인 방법(a)과 이단계 증착법(b)으로 성장시킨 실 시간 고농도 도핑 실리콘 박막 내의 인 농도 분포를 비교한 것이다. 습식 세척한 웨이퍼 위에 일반적인 방법으로 증착된 실리콘 박막 내의 인은 불균일하게 분포하고 있는데, 그 농도는 박막과 자연 산화물의 계면에서는 약  $1 \times 10^{20}/\text{cm}^3$ 이고 표면으로 갈수록 증가되어 표면에서는  $2.5 \times 10^{20}/\text{cm}^3$ 이다. 그러나, 이단계 증착법으로 성장시킨 박막은 완충 층의 인 농도가 약  $1 \times 10^{21}/\text{cm}^3$ 이었고 주 박막 내의 도핑 농도는  $1.5 \times 10^{20}/\text{cm}^3$ 로 일정하였다.

그림 4는 실 시간 고농도 도핑 박막의 명시야 단면

TEM 사진으로 (a), (b), (c)는 각각 그림 2(a), (b), (c)에 대응된다. 그림 4(a)에서 결합밀도 증가와 함께 V자형의 형상이 발달하여 약 100 nm의 깊이에서 에피택시 파괴가 일어나는 것을 알 수 있다. 결합 영역의 밝고 어두운 띠들은 얇은 판형 쌍정(twin)이다[6]. 즉 일반적인 방법으로 성장 시킨 박막은 일정 두께 이상에서 에피택시가 파괴되기 시작한다. 에피택시가 파괴되는 깊이는 그림 3의 (a)의 SIMS 결과에서 보면 인 농도가 증가하여 (b) 선의 인 농도 보다 많아지기 시작하는 깊이와 유사하다. 그림 4(b)에서는 약간의 V자형 형상이 관찰되며 그림 4(c)에서는 위 두 시료와는 다르게 그러한 결합이 보이고 있지 않았다. 이는 중간 실 시간 열처리가 기판과 완충 층 사이에 형성되어 있던 응력을 완화시켜 완충 층 위에 증착되는 실리콘 박막이 결합 없이 성장할 수 있도록 하는 것으로 보인다. 그림 5(a), (b)는 그림 4(b), (c)에 대응되는 RBS 스펙트럼이다. RBS의 무작위 스펙

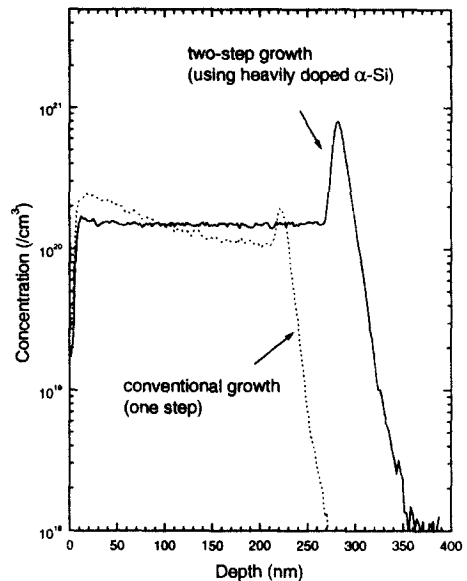


그림 3. 인 농도의 깊이에 따른 형상 ; (a) 어떠한 처리 없이 700℃에서 웨이퍼 위에 증착된 박막 (b) 이단계 증착과 800℃ 중간 열처리를 거친 박막.

Fig. 3. Depth profiles of phosphorus concentration measured from of (a) a film deposited at 700℃ on a wafer without any treatments and (b) a film deposited by the two-step growth with intermediate annealing at 800℃.

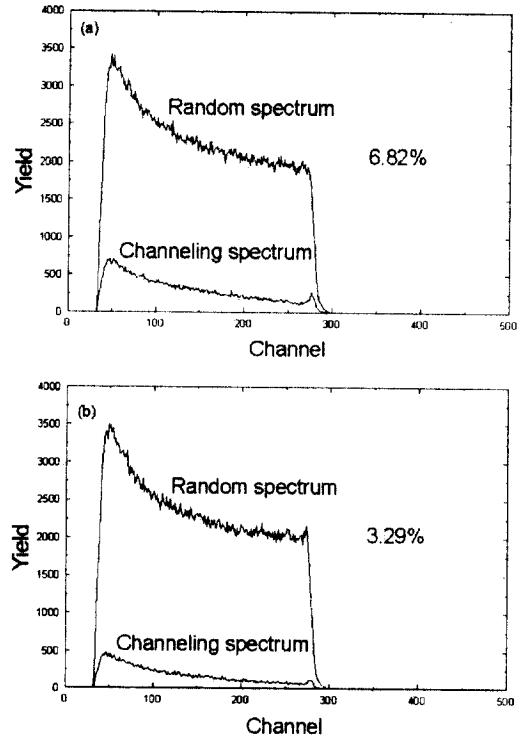


그림 5. RBS 스펙트럼 : (a) 이단계 증착과 700℃ 중간 열처리를 거친 박막 (b) 이단계 증착과 800℃ 중간 열처리를 거친 박막.

Fig. 5. RBS spectra obtained from (a) a film deposited by the two-step growth with intermediate annealing at 700℃, and (b) a film deposited by the two-step growth with intermediate annealing at 800℃.

그림 4. 단면 TEM 명시야상 : (a) 어떠한 처리 없이 700℃에서 웨이퍼 위에 증착된 박막 (b) 이단계 증착과 700℃ 중간 열처리를 거친 박막 (c) 이단계 증착과 800℃ 중간 열처리를 거친 박막. (a)와 (b)에서의 화살표는 실리콘 성장 시 불균일한 분포로 형성된 V 자형 결함을 나타낸다.

Fig. 4. Bright field X-TEM images obtained from (a) a film deposited at 700℃ on a wafer without any treatments, (b) a film deposited by the two-step growth with intermediate annealing at 700℃, and (c) a film deposited by the two-step growth with intermediate annealing at 800℃. The arrows in (a) and (b) indicate the V-shaped defects formed with irregular distribution during the growth of Si film.

트럼(random spectrum)에 대한 통로 스펙트럼(channeling spectrum)의 비로 박막의 결정성을 알 수 있는데, 결정성이 우수할수록 결정 격자에 반사되어 검출되는 헬륨 입자의 양이 감소하여 그 비가 작은 값을 나타낸다. 그림 5(a), (b)에서의 스펙트럼 비는 각각 6.82, 3.29 %로 이단계 증착과 800℃, 10초의 열처리를 거친 박막이 결정성이 우수함을 알 수 있었고, 이것은 단면 TEM 결과와 일치하는 것이다.

그림 6(a), (b)는 그림 4(a), (c)에 대응되는 고분해능 X-TEM 사진이다. 사진에서 결함전위(dislocation), 적층결함, 쌍정이 없는 단결정이 관찰되지만, 화살표로 표시된 어두운 부분은 두 시편 모두 박막과 기판의 계면에 잔류 산화물 입자를 포함하고 있음을 나타내고 있다[7~9]. 그러나, 그림 6(a)의 경우와 비교하여 볼 때 그림 6(b)의 어두운 영역은 박막 쪽으로 퍼져있다. 그림 6(b)에서 관찰되는 박막과 기판의 계면에서의 넓고 어두운 명암과 결함이 없는 층은 분산된 잔류 산화물과 성장된 에피택시 층으로 설명될 수 있다[7~9]. 완충 층으로부터의 고상(solid phase) 에피택시에도 불구하고 그림 6(b)에서는 계면과 박막 내부에서 어떠한 결정 결함도 관

$D=0.2\exp(-2.2/k_B T)$ (단,  $k_B$ 는 Boltzman 상수,  $T$ 는 절대온도)로부터 계산하면 10초에 20 nm이다. 이것은 산화물의 분산 깊이에 매우 근접하는 값이다. 따라서 실험 결과는 잔류 산화물 분산이  $SiO_2$  내로의 인 주입과 열처리 시간 동안 산소가 확산되는 것에 지배된다는 사실을 나타내고 있다.

잔류 산화물 입자와 습기는 장입 챔버에 시편을 넣기 전에 행하는 일반적인 세척 후에도 박막 표면에 존재한다.  $SiH_4$ 를 사용하여 실리콘 산화물 위에 실리콘을 증착할 때 여러 공정 조건에서 10초에서 1분 정도의 잠복기가 존재한다는 사실을 확인하였다. 자연 산화물 위에서 느리게 성장하는 것과 관련이 있는 표면 거칠어짐(surface roughening)은 박막 성장의 초기 단계에 시작된다. 초기 단계에 생성되는 수 원자 층의 스텝(step)들은 서로 쌓여서 어느 임계 두께에서 V 자형 형상으로 발전된다. 스텝들이 많이 형성되는 현상과 함께 스텝들은 박막 성장을 방해하여 에피택시의 파괴를 가져온다. 또한, 증착에 앞서 800℃에서 전열처리로 잔류 산화물을 제거하는 것은 용이하지 않다. 그러나, 이단계로 박막을 증착할 때는  $1 \times 10^{21}/cm^2$ 의 고농도 인이 도핑된 실리콘에 둘러싸인 잔류 산화물은 중간 열처리 동안에 분산된다. 따라서, 결합이 없는 실 시간 고농도 인 도핑 균일에 에피택시(homoepitaxy) 박막의 증착이 가능하다. 이 시점에서 첫번째 실리콘 층이 에피택셜 성장을 위한 완충 층으로 작용한다는 것은 명확하다. 따라서, 저온 성장과 이에 따른 결정화의 특이한 거동을 나타내는 이번 실험 결과로부터 높은 수율과 적은 열적 부담(thermal burden)으로 반도체 소자를 제작하는 새로운 방법을 고안하는 것이 가능하다.

#### 4. 결 론

감압 CVD의 여러 공정으로 성장시킨 실 시간 고농도 인 도핑 실리콘 층의 미세구조를 SEM, TEM, SIMS를 이용하여 분석하였다. 이단계 증착은 실 시간 고농도 인 도핑 실리콘 층의 결정구조 조절에 효과적이었다. 예를 들어, 실리콘 완충 층을 800℃의 고온에서 열처리하면 결합이 없는 단결정 에피 층을 얻을 수 있었다. 한편, 열처리 공정은 실리콘 단결정 내부로 자연 산화물의 분산을 촉진하며 인 도핑 형태가 결정구조와 밀접한 관계를 가진다는 사실을 확인하였다. 따라서, 열주기(thermal cycle)를 정확히 조절함으로써 소자 제작에 알맞은 실 시간 인 도핑 실리콘 층 성장 공정을 정립할 수 있다.

그림 6. 고분해능 단면 TEM 사진 : (a)와 (b)는 계면에서의 원자 배열을 보여 주고 있으며 시편은 각각 그림 4(a)와 그림 4(c)에 대응된다.  
Fig. 6. High resolution X-TEM images of (a) and (b) magnify atomic scale arrangements at the interface of film and substrate for the samples Fig. 4(a) and (c), respectively.

찰되지 않았다. Reif 등[8]은 950℃ 이상의 온도에서 다결정 실리콘/얇은 산화막/실리콘 구조 내의 잔류 산화물의 분산을 관찰하였지만, 이와 같은 저온 성장으로 얻은 우수한 결정성은 주목할 만한 것이다. 그들은 모세관 현상(capillarity), 즉, 표면적 감소가 구동력이고 그 반응이 계면을 통해서 발생한다는 운동학적 모델을 제안하였다. 그러나, 이번 실험에서의 열처리 온도는 잔류 산화물을 분산시키기에 너무 낮기 때문에 그림 6(b)의 넓게 퍼진 산화물은 이전의 모델로 간단하게 설명되지 않는다[9]. 대신 두 가지 이유로 잔류 산화물의 분산을 설명할 수 있다. 하나는  $1 \times 10^{21}/cm^2$ 의 아주 높은 농도의 인이 완충 층에 존재하는 것이다. 다른 하나는 이전의 연구 결과에서 습식 세척한 웨이퍼 위에 산화물이 연속적인 얇은 층으로 존재하던 것과는 달리 입자 형태로 존재한다는 것이다. 한편, 그림 6(a)에서 관찰되는 산화물의 반경은 약 1~2 nm이다.  $SiO_2$  내로 주입되는 인은 다리 역할을 하는 산소를 제거하여  $SiO_2$ 의 연결 상태를 약하게 할 것으로 추측된다[10]. 이번 실험에서 6 wt. %의 인이 도핑된  $SiO_2$ 는 도핑 수준  $1 \times 10^{21}/cm^2$ 로 인을 주입하여 만들 수 있었는데  $SiO_2$ 의 결합은 저온에서 쉽게 끊어졌다. 한편, 800℃에서 실리콘 내에서의 산소 확산거리는 확산계수

자연 산화물 분산 촉진에 의한 실 시간 인 도핑 실리콘의 고품질 에피택셜 저온 성장.....김홍승, 심규환, 이승윤, 이정용, 강진영

### 감사의 글

본 연구는 정보통신부와 국가지정 실험실의 연구비 지원으로 이루어졌습니다.

### 참고 문헌

1. T. P. Pearsall and J. C. Bean, IEEE Electron Device Lett. EDL-7, 308 (1986).
2. P. W. Li, E. S. Yang, Y. F. Yand, J. O. Chu, and B. S. Meyerson, IEEE Electron Device Lett. EDL-15, 402 (1994).
3. E. Kasper, H. Kibbel, H. J. Herzog, and A. Gruhle, Jpn. J. Appl. Phys. 33, 241 (1994).
4. Syun-Ming Jang, Kenneth Liao, and Rafael Reif, Appl. Phys. Lett. 63, 1675 (1993).
5. M. Heyns, P. W. Mertens, J. Ruzyllo, and M-Y. M. Lee, Sol. Stat. Tech. 42, 37 (1999).
6. P. Hirsch, A. Howie, R. B. Nicholson, D. W. Pashley, and M. J. Whelan, Electron Microscopy of Thin Crystals (Krieger, New York, 1977), Chap. 6.
7. C. D. Marsh, N. E. Moiseiwitsch, J. Schiz, G. R. Booker and P. Ashburn, Mat. Res. Soc. Symp. Proc. 523, 195 (1998).
8. S. A. Ajuria and R. Reif, J. Appl. Phys. 69, 662 (1991).
9. J. C. Bravman, G. L. Patton, and J. D. Plummer, J. Appl. Phys. 57, 2779 (1985).
10. S. Wolf and R. N. Tauber, Silicon Processing for the VLSI Era Vol. 1 Process Technology (Lattice Press, Sunset Beach, 1986), Chap. 7.