

전기적 스트레스에 따른 Offset 구조를 갖는 n-채널 다결정 실리콘 박막 트랜지스터의 특성 분석

논문
13-2-2

The Analysis of Characteristics on n-channel Offset-gated poly-Si TFT's with Electrical Stress

변문기*, 이제혁*, 임동규*, 백희원*, 김영호*

(M. G. Byun*, J. H. Lee*, D. G. Lim*, H. W. Back*, Y. H. Kim*)

Abstract

The effects of electrical stress on n-channel offset gated poly-Si TFT's have been investigated. It is observed that the electrical field near the drain region in offset devices is smaller than that of conventional device by simulation results. The variation rate of threshold voltage and subthreshold slope decrease with increasing the offset length because of lowering the electric field near the drain region. The offset gated poly-Si TFT's have been proved effective in reducing the degradation rate of device performance under electrical stressing.

Key Words(중요용어) : Offset gated poly-Si TFT's, Electric field, Degradation

1. 서 론

AMLCDs(active matrix liquid crystal displays)의 핵심 소자로서 높은 이동도, 우수한 ON/OFF 전류비 등 좋은 성능을 나타내고 있는 다결정 실리콘 박막 트랜지스터(polysilicon thin film transistors, poly-Si TFT's)는 [1, 2] 10V~30V 정도의 비교적 높은 구동전압 인가로 인한 전기적 특성 열화 현상이 장기적 신뢰성 문제에 있어 매우 심각한 문제점으로 대두되고 있다[3~5]. 이와 같은 전기적 스트레스 효과의 원인으로 hot-carrier 주입으로 인한 계면준위 생성[6], 게이트 산화막내로의 hot-carrier trapping[7, 8], poly-Si 박막내의 defect state 생성[9, 10] 등이 제시되고 있으나 드레인 근처에 인가되는 전계를 감소시키기 위하여 제시된 offset 구조를 갖는 poly-Si TFT's의 경우 전기적 스트레스 인가에 따른 소자 특성 변화 현상의 지배적인 메

카니즘 규명이 아직 미흡한 것으로 알려져 있다.

따라서, 본 연구에서는 n-채널 offset-gated poly-Si TFT's(W/L=50 μ m / 10 μ m)를 quartz 기판 상에 제조한 후 positive bias stress($V_{GS}=V_{DS}=+20$ V)를 인가하여 전기적 스트레스에 따른 특성 변화를 체계적으로 분석하였다.

2. 실험 방법

LPCVD(low-pressure chemical vapor deposition) 방법으로 550 $^{\circ}$ C에서 500 A 두께의 실리콘 박막을 증착하여 활성층으로 사용하였다. 이 때 반응 가스로는 가장 많이 쓰이는 SiN₄를 사용하였으며, 증착시 진공도는 0.3 Torr, SiN₄ 유입량은 60 sccm (standard cubic centimeter), 증착률은 34 A/min로 유지하였다. Si 이온을 35 keV, 1.1×10^{15} cm⁻²의 조건으로 실리콘 박막에 이온 주입시켰으며 증착된 비정질 실리콘을 SPC 방법으로 열처리(580 $^{\circ}$ C, 48 hrs)하여 다결정 실리콘으로 고상결정화 시킨 후 active mask를 이용하여 활성영역 층을 정의하고 건식 식각 방법으로 다결정 실리콘 박막을 식각 하였다. 게이트 산화막은 열산화 방법으로 950 $^{\circ}$ C에서 1000 A 성장시키고 poly-Si 게이트 전극을 LPCVD 방법

* : 수원대학교 전자재료공학과
(경기도 화성군 봉담읍 와우리 산2-2, Fax : 0331-223-4769 E-mail : emad@mail.suwon.ac.kr)
1999년 9월 15일 접수, 2000년 1월 6일 심사완료

을 사용하여 560에서 1500 Å 두께로 증착한 후 게이트 mask를 사용하여 게이트 영역층을 정의한다. n⁺의 소스/드레인 형성을 위해 3×10¹⁵ cm⁻², 95 keV의 조건으로 n⁺ 이온을 소스, 드레인, 게이트 영역에 이온 주입하였으며 이때 masking 작업을 이용하여 offset 영역을 정의한다. 열산화 방법으로 순수 SiO₂ 막을 LPCVD 방법으로 3500 Å 두께로 증착시켰다. Contact mask를 이용하여 소스, 드레인, 게이트 접촉점을 정의한 후 실리콘이 1% 함유된 알루미늄을 DC magnetron sputtering 방법으로 전극을 증착하였다. Metal mask를 사용하여 전극을 형성하고 450℃에서 1시간 동안 alloying하여 W/L = 50 μm / 10 μm이고 다양한 offset length를 갖는 n-채널 poly-Si TFT's를 제작하였다.

3. 결과 및 고찰

그림 1은 스트레스를 가하기 전의 offset 길이에 따른 I_{DS}-V_{GS} 특성 곡선이다. 그림에서 보는 것과 같이 offset 구조를 갖는 poly-Si TFT's는 off 상태에서는 드레인/소스와 게이트 사이에 존재하는 offset 영역이 전계를 감소 시키기 때문에 수평방향 전계의 의존도가 높은 off 전류가 크게 감소하여 게이트 전압에 관계없이 10⁻¹²A 정도의 일정한 값으로 나타나는 것을 볼 수 있었고 offset 영역의 직렬저항 효과 때문에 on 전류 역시 offset 길이에 비례하여 감소하는 것으로 나타났다.

그림 2는 일반적인 소자와 offset 구조를 가지는 n-채널 poly-Si TFT's 소자의 positive bias stress (V_{GS}=V_{DS}=+20 V) 인가전후 측정된 offset 길이에 따른 I_{DS}-V_{GS} 특성 곡선이다.

스트레스를 가하게 되면 수평방향 전계로부터 에너지를 얻은 전자가 드레인 공핍층내에서 충돌이온화 (impact ionization)에 의해 생성된 캐리어들이 Si/SiO₂ 계면의 에너지 장벽을 넘어 게이트 산화막 안으로 주입되는 현상이 일어나게 되는데 이는 주로 높은 전계가 걸리게 되는 드레인 edge 부근에서 일어나게 된다.

주입된 캐리어는 게이트 산화막 안으로 트랩되거나 Si/SiO₂ 계면에 추가적인 계면준위를 발생시키게 된다.

Positive bias를 인가하면 게이트 산화막 내부로 전자가 트랩되며 또한 트랩된 전자들은 채널 영역에 (+) 전하를 유도하게 된다. 또한 Si/SiO₂ 계면에 생성되는 계면준위는 게이트 전압이 양의 값일 때는 donor형 계면 준위가 생성되어 (+)를 띄게되고 게이트 전압이 음의 값일때는 acceptor형 계면 준위가

생성되어 (-)를 띄게된다.

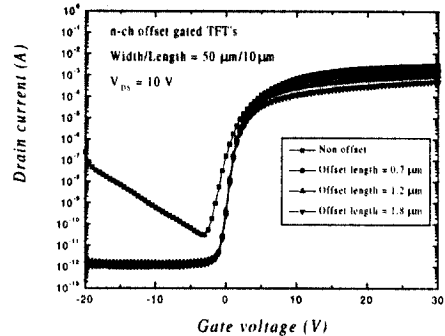


그림 1. Offset 길이에 따른 I_{DS}-V_{GS} 특성 곡선 V_{DS}=10 V

Fig. 1. The transfer characteristics of n-channel poly-Si TFT's with before stress at drain voltage V_{DS}=10 V

일반적인 소자의 경우, positive bias 스트레스를 가하게 되면 게이트 산화막 내로 주입된 전자에 의해 채널 영역에 (+) 전하를 유도하여 문턱 전압이 증가하게되며 이로 인하여 I_{DS}-V_{GS} graph의 negative shift 현상이 일어나게 된다. 또한 acceptor형 계면 준위에 의한 (-) 전하는 국부적 전계를 증가시켜 off-전류를 증가시키게 된다.

Offset 소자의 경우, offset 영역의 영향으로 스트레스 인가시 걸리는 수평 및 수직 전계 값이 크게 감소되기 때문에 전자는 Si/SiO₂ 계면의 에너지 장벽을 넘을 만큼의 충분한 에너지를 공급받기 힘들어지고 계면준위 역시 형성되기 힘들어진다. 따라서 전기적 스트레스 인가시 발생되는 I_{DS}-V_{GS} graph의 shift 현상이나 off-전류의 증가 등 소자의 열화 현상이 감소되는 것으로 밝혀졌으며, offset의 길이가 증가함에 따라 offset 영역에 의한 전계 감소 효과가 더욱 커지기 때문에 스트레스에 의한 소자의 특성 변화는 거의 일어나지 않는 것으로 나타났다.

그림 3은 positive bias stress (V_{GS}=V_{DS}=+20 V)를 인가시 offset 길이에 따라 수직 및 수평방향 전계값을 Silvaco simulator를 사용하여 얻은 simulation 결과이다. 여기서 x축은 소스에서 드레인에 걸친 소자의 길이를 나타내며 10 μm 길이의 게이트 영역은 5에서 15까지의 좌표를 차지하고 소스와 드레인 영역은 게이트 영역의 좌표에서 offset 길이만큼 이후의 좌표부터 위치하게 된다. 그림에서 보는바와

같이 offset 영역의 영향으로 드레인 부근의 수평 및 수직 전계가 크게 감소함을 확인할 수 있었다.

공핍 영역의 전계값이 크게 줄기 때문에 주입되는 전자의 양이 현저히 감소하여 문턱전압의 변화량은 거의 영향을 받지 않는 것으로 나타났다.

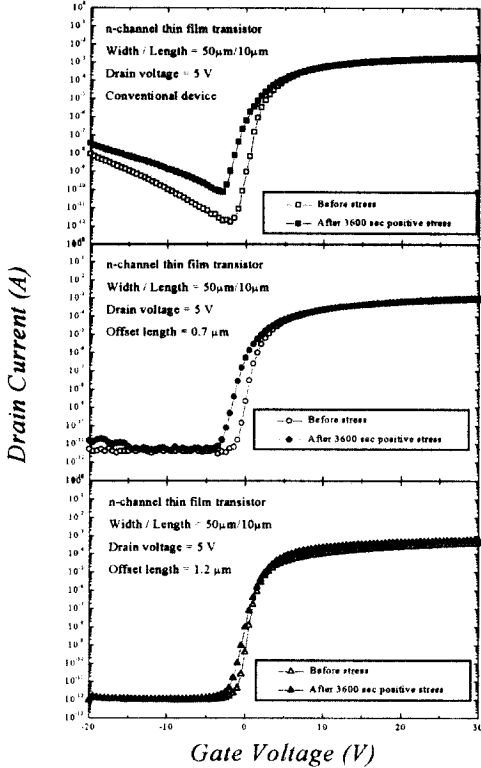


그림 2. Positive bias stress ($V_{GS} = V_{DS} = +20$ V) 를 1시간동안 인가한 후 측정된 offset 길이에 따른 $I_{DS}-V_{GS}$ 특성 곡선이고

Fig. 2. The transfer characteristics of n-channel poly-Si TFT's after 3600 sec positive bias stress ($V_{GS} = V_{DS} = +20$ V) at drain voltage $V_{DS} = 5$ V.

그림 4는 positive bias stress를 3600 sec 동안 인가 전·후의 offset 길이에 따른 문턱전압 변화율을 나타낸 곡선이다. Offset 소자의 경우는 offset 영역에 의한 수평전계 감소 효과 때문에 캐리어들은 Si/SiO₂ 계면의 에너지 장벽을 넘어 게이트 산화막 안으로 주입될 만큼의 높은 에너지를 전달받기 힘들어지게 된다. 따라서 offset 길이가 길어짐에 따라 게이트 산화막 내로 주입된 전자의 영향을 크게 받는 문턱전압은 그 변화량이 적어지게 된다. Offset 영역의 길이가 1.2 µm 이상으로 길어지게 되면 드레인

그림 3. Positive bias stress ($V_{GS} = V_{DS} = +20$ V) 인가시 offset 길이에 따른 (a) 수직전계 및 (b) 수평전계 simulation 결과

Fig. 3. The results of (a) lateral electric field and (b) vertical electric field by simulation when positive stress ($V_{GS} = V_{DS} = +20$ V) is biased.

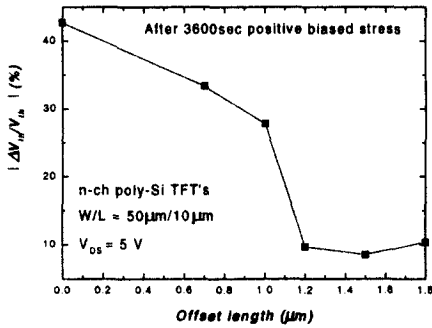


그림 4. 3600초 동안 positive bias stress를 가한 후의 offset 길이에 따른 문턱전압 변화율. $V_{DS}=5\text{ V}$

Fig. 4. Variation of the threshold voltage as a function of offset length after 3600sec positive ($V_{GS}=V_{DS}=+20\text{ V}$) bias stress at drain voltage $V_{DS}=5\text{ V}$

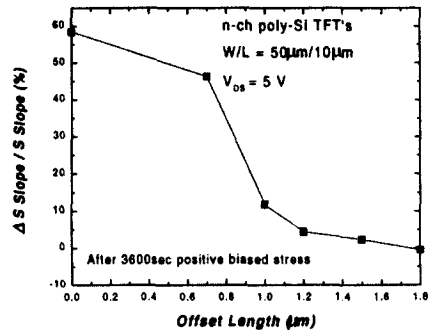


그림 5. 3600초 동안 stress를 가한 후의 offset 길이에 따른 subthreshold slope의 변화량. $V_{DS}=5\text{ V}$

Fig. 5. Variation of the subthreshold slope as a function of offset length after 3600sec positive ($V_{GS}=V_{DS}=+20\text{ V}$) at drain voltage $V_{DS}=5\text{ V}$

그림 5는 positive bias stress를 인가하기 전·후의 offset 길이에 따른 subthreshold slope의 변화율을 나타낸 곡선이다. 일반소자의 경우 스트레스를 인가함에 따라 Si/SiO₂ 계면준위가 더 많이 생성되기 때문에 I_{DS}-V_{GS} graph의 기울기는 감소하는 경향을 보이게 되며 이 때문에 기울기의 역수값을 가지는 subthreshold slope은 증가하는 경향을 가지게 된다. 그러나 offset 영역이 드레인 전계를 감소시키는 역할을 하기 때문에 offset 길이가 길어질수록 스트레스에 의해 Si/SiO₂ 계면준위가 발생하는 확률이 줄어들기 때문에 subthreshold slope 값의 변화도 적어지는 경향을 나타나게 된다. 이를 수식적으로 살펴본다면 식 (1)에서 스트레스에 의해서 생성되는 계면준위 때문에 C_{it} 이 증가하게 되어 S 값이 커진다고 말할 수 있다[11].

$$S = \frac{d V_{GS}}{d \log I_D} \approx \ln 10 \frac{kT}{q} \left[1 + \frac{C_D + C_{it}}{C_{ox}} \right] \quad (1)$$

4. 결 론

N-채널 offset 구조를 갖는 poly-Si TFT's 소자에 positive bias stress ($V_{GS}=V_{DS}=+20\text{ V}$)를 인가하여 소자의 특성 변화를 연구하였다. Offset 영역에 의한 직렬 저항 효과와 이에 따른 전계감소 효과로 말미암아 스트레스 인가시 캐리어에 전달되는 에너지 값이 줄어들기 때문에 캐리어가 게이트 산화막 안으로 주입되는 현상과 추가적인 계면준위가 생

성되는 현상이 감소하게되어 전기적 스트레스에 따른 소자 열화현상이 줄어들게 된다.

Offset 길이가 길어짐에 따라 주입되는 캐리어의 양이 감소하여 문턱전압의 변화량도 줄어드는 것을 확인할 수 있었으며 offset 길이가 1.2 μm 이상으로 길어지게 되면 캐리어의 주입이 거의 일어나지 못하게 되기 때문에 문턱전압 변화량은 거의 없는 것으로 나타났다.

Subthreshold slope 값 역시 offset 길이의 증가함에 따라 Si/SiO₂ 계면준위 생성율이 감소되기 때문에 전기적 스트레스에 의한 subthreshold slope 열화현상이 현저하게 줄어드는 것으로 밝혀졌다.

감사의 글

본 연구는 1997년도 교육부 학술연구 조성비 (ISRC97-E-1065)에 의하여 연구되었음.

참 고 문 헌

1. T. Serikawa, et al., IEEE Trans. Electron Devices., Vol. 36, p. 1929, 1989.
2. A. G. Lewis et al., "Polycrystalline silicon thin film transistors for analogue circuit applications", in IEDM Tech. Dig., pp. 264-267, 1988.
3. C. N. Berglund, R. J. Powell, J. Appl. Phys., 42, 573, 1973.

4. E. Takeda, Y. Nakagome, H. Kume, S. Asai, IEE Proc., 130, 144, 1983.
5. E. Takeda, N. Suzuki, IEEE Electron Device Lett., EDL-4, 111, 1983.
6. T. H. Ning. J. Appl. Phys., 47, 3203, 1976.
7. L. Mariucci, A. Pecra, G. Fortunato, C. Rieta and P. Migliorato, "Hot-carriers effects in polycrystalline silicon thin-film transistors", Microelectronic Eng., vol. 19, pp. 109-114, 1992.
8. M. Hack, A. G. Lewis and I. W. Wu : IEEE Trans. Electron Devices vol. 40, p. 890, 1993.
9. G. Fortunato, G. Tallarida, A. Pecra : Solid State Phenom., pp. 37-38, 583, 1994.
10. J. R. Ayres and N. D. Young : IEE Proc.-Circuit Devices Syst., 141, 33, 1994.
11. Jean-Pierre Colinge, "Silicon-on-insulator technology : materials to VLSI" 2nd edition, Kluwer academic publishers, pp. 151-157, 1997.