

게이트 산화막으로 25Å의 NO 질산화막을 사용한 PMOSFET의 전기적인 특성 분석

논문
12-9-2

Analysis of The Electrical Characteristics of The PMOSFET Using a 25Å Nitric Oxide for Gate Oxide

박호열*, 신봉조**, 박근형*

(Ho Reol Park*, Bong Jo Shin**, Keun Hyung Park*)

Abstract

In this paper, the electrical characteristics of the ultrathin oxynitride film formed by annealing a dry SiO₂ film in NO ambient were studied. For these studies, the p⁺ polysilicon gate PMOS devices using an about 25 Å thick dry O₂ SiO₂, N₂O oxynitride or NO oxynitride layer as the gate dielectric were fabricated and their electrical characteristics were analyzed.

The experimental results showed that the threshold voltage and the gm of the devices with the NO oxynitride film was shifted in the positive direction and was increased respectively as the thermal budget of the NO anneal process was decreased. The devices with the NO oxynitride film had much more uniform threshold voltage, gm and hole mobility than the devices with the dry SiO₂ or N₂O oxynitride film even though the thermal budget of the process to grow the NO oxynitride film is much lower than that to grow the N₂O oxynitride film. In addition, the stress-induced-leakage-current of the NO oxynitride film was smaller than those of the other films.

Key Words(중요용어) : PMOS, Gate Dielectric(게이트 유전체), NO Oxynitride(NO 질산화막), Reliability(신뢰성)

1. 서 론

최근에, subquarter-micron p⁺ 다결정 실리콘 게이트 MOSFET의 게이트 유전체막으로 질산화막(oxynitride film)의 사용이 커다란 관심을 일으키고 있다^[1]. 이는, 질산화막이 p⁺ 다결정 실리콘 게이트로부터 채널 영역으로의 붕소(boron)의 침투를 방지하는 데 우수한 특성을 갖고 있을 뿐만 아니라, hot carrier나 FN (Fowler-Nordheim) 스트레스 시의 게이트 유전체막의 특성 열화가 기존의 산화막보다 월등히 적기 때문이다[2]. 이는 실리콘 기판과 질

산화막 사이의 계면 근처에 질소 원자들이 주입되어 그 곳에 있는 weak bond를 제거해 주기 때문인 것으로 알려져 있다^[3].

지금까지 우수한 특성을 갖는 질산화막을 성장시키기 위해서 많은 연구들이 수행되어 왔다. 초기에는 산화막을 furnace에서 기른 후 NH₃ 가스 분위기에서 열처리하여 질산화막을 만들었으나^[4] 이는 계면에서 많은 Si-H, N-H bond의 형성으로 인하여 막의 신뢰성 특성이 좋지 않은 것으로 나타났다^[5]. 다음으로 제안된 방법이 N₂O 가스를 사용하여 직접 질산화막을 기르거나^[6] 또는 산화막을 N₂O 가스 분위기에서 열처리하여 질산화막을 기르는 것이었다^[7]. 연구 결과, 이 막은 수소 원자가 계면에 없기 때문에 NH₃ 가스를 사용하여 기른 막보다 신뢰성 특성이 월등히 우수한 것으로 입증되었다. 그러나, 이 방법은 우선 열처리 시의 thermal budget이 지나치게 크고 또한 이렇게 기른 막의 질소 함유량이 상대적으로 낮은 단점을 갖고 있음이 나중에 발견되었다. 따라서,

* : 충북대학교 반도체 공학과
(충북 청주시 흥덕구 개신동 산 48, Fax : 0431-274-9614 E-mail : khp@cbucc.chungbuk.ac.kr)

** : 충북대학교 전자공학과
1999년 3월 23일 접수, 1999년 8월 30일 심사완료

막내의 질소 함유량을 높일 수 있고 또한 열처리 시의 thermal budget을 크게 낮출 수 있는 방법으로 실리콘 산화막을 NO 분위기에서 열처리하여 질산화막을 성장시키는 방법이 최근에 많은 관심을 불러 모으고 있다^{1,2)}.

본 논문에서는 dry O₂ 열산화, N₂O 개스 열산화 및 dry O₂ 실리콘 산화막을 NO 개스 분위기에서 열처리하는 것등의 다양한 방법으로 각각 약 25 Å 두께의 산화막 또는 질산화막을 기른 후에, 이들을 게이트 유전체막으로 사용하는 PMOS 소자들을 제작한 다음, 그 소자들을 사용하여 그 막들의 여러 가지 전기적인 신뢰성 특성들을 측정하여 상호 비교 평가하였다.

2. 실험 과정

먼저, LOCOS isolation 공정이 끝난 n-type 실리콘 웨이퍼 위에 다음의 5 가지 각기 다른 방법으로 게이트 유전체막을 형성하였다. 그 방법들을 간략히 요약하면 아래와 같다.

- ① RTP(rapid thermal processing) 장비를 사용하여 O₂ 개스 분위기에서 약 25 Å 두께의 산화막을 형성.
- ② RTP를 사용하여 O₂ 개스 분위기에서 약 25 Å 두께의 산화막을 기른 다음 RTP를 사용하여 NO 분위기에서 열처리하여 질산화막을 형성.
- ③ furnace를 사용하여 wet oxidation으로 약 25 Å 두께의 산화막을 기른 다음 RTP를 사용하여 NO 분위기에서 열처리하여 질산화막을 형성.
- ④ RTP를 사용하여 N₂O 개스 분위기에서 열처리하여 약 25 Å의 질산화막을 형성.
- ⑤ furnace에서 N₂O 개스 분위기에서 열처리하여 약 25 Å의 질산화막을 형성.

위와 같은 방법으로 각각 게이트 유전체막을 형성한 다음 웨이퍼들 위에 약 2,500Å 두께의 비정질 실리콘막을 증착하였으며 10 KeV, 10¹⁵/cm² 조건으로 3을 이온주입하여 그 막을 도핑하였다. 그런 다음에는 표준 CMOS 공정을 따라서 PMOS를 제작하였다.

제작된 PMOS 소자들(W/L=10/0.5 μm)의 여러 가지 전기적인 특성들을 HP 4156B를 사용하여 측정하고 분석하였다.

3. 열처리 조건에 따른 NO 질산화막의 전기적인 특성 비교

여기서는 먼저 RTP를 사용하여 O₂ 개스 분위기에

서 약 25Å 두께의 산화막을 기른 다음 RTP를 사용하여 여러 가지 NO 분위기에서 열처리하여 질산화막을 형성하여 PMOS 소자들을 제작한 후에, 이 PMOS 소자들의 전기적인 특성들을 측정하고 그 결과들을 비교 분석하였다.

그림 1은 RTP dry O₂로 기른 약 25Å의 실리콘 산화막을 NO 분위기에서 RTP를 사용하여 950℃의 온도로 열처리했을 때, 열처리 시간에 따른 문턱 전압 및 질산화막의 유효 두께 변화를 보여주고 있다. 비록, 시간이 증가함에 따라서 질산화막의 유효 두께는 증가하였으나 약 2Å 이내였으며, 시간이 증가할수록 두께 증가 속도가 점차 감소하였는데 이는 막중의 질소 함유량이 증가되어 산화 속도가 낮아졌기 때문이라고 판단된다. 한편, 시간의 증가와 함께 문턱 전압의 크기는 감소하였는데, 이는 질산화막의 유효 두께의 증가로 인한 것으로 판단된다.

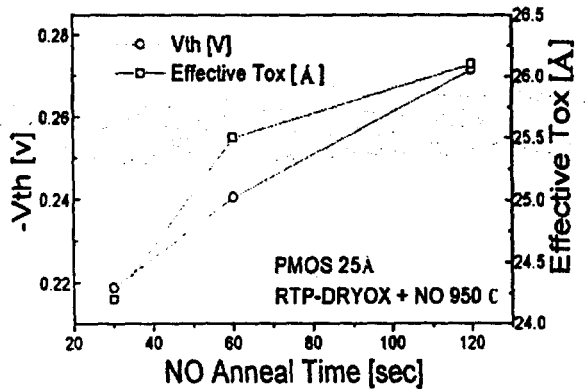


그림 1. 950℃ NO 열처리 시간에 따른 PMOS의 문턱 전압 및 막의 유효 두께 변화.

반면에 그림 2는 동시간 열처리시에 온도 변화에 따른 문턱 전압 및 질산화막의 유효 두께 변화를 보여주고 있다. 여기서는 질산화막의 두께와 문턱 전압의 크기가 NO 열처리 시의 온도 증가에 따라 선형적으로 증가하였다. 즉, 앞의 그림 1의 결과와 동일하게 NO 열처리시의 thermal budget이 크면 클수록 평균 문턱 전압의 크기가 증가하는 경향이 있음을 나타내고 있다. 이는 thermal budget이 클수록 게이트 유전체막과 채널 사이의 계면으로 segregation되는 질소의 양과 게이트 유전체막의 유효 두께 모두 증가하였기 때문이라고 판단된다. 알려진 바에 의하면, 산소 원자에 비해서 질소 원자의 electrone-

gativity가 낮기 때문에 게이트 유전체막의 질소 함 유량이 증가할수록 막 내의 (+)전하인 고정전하 (fixed oxide charge)의 증가를 초래하고 따라서 문턱 전압은 더 (-) 방향으로 이동한다^[4]. PMOS에서 고온 열처리 시에 게이트에서 기판으로 붕소의 확산이 일어나게 되면 확산된 붕소의 불순물들은 채널 영역의 도핑 농도를 감소시켜 문턱 전압의 절대값을 저하시키는 원인이 된다. 따라서, NO 질산화막을 게이트 유전체막으로 사용하게 되면 순수한 산화막을 사용하는 경우에 비하여 양의 고정 전하의 증가와 붕소의 확산 저지 효과에 의하여 문턱 전압의 절대값의 상승이 일어나게 된다. 그러나 이런 문제는 문턱 전압을 조절하기 위하여 행하는 이온 주입의 농도를 적당하게 조절함으로써 쉽게 해결할 수 있다.

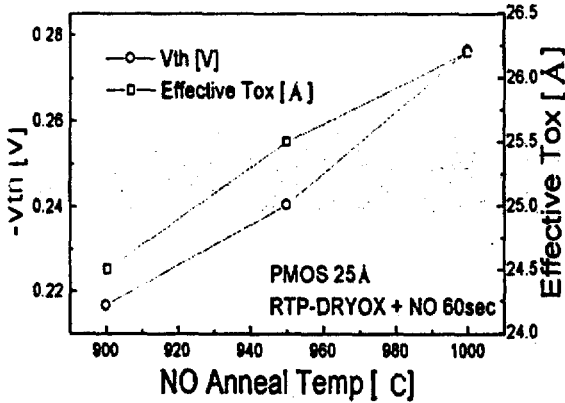


그림 2. 60초 동안의 NO 열처리 온도에 따른 PMOS의 문턱 전압 및 막의 유효 두께 변화.

그림 3은 여러 가지 다른 thermal budget으로 열처리를 실시했을 때의 PMOS 소자들의 문턱 전압의 분포도를 보여주고 있다. 여기서는 NO 열처리시의 thermal budget가 증가할수록 문턱 전압의 크기가 증가하였다. 이는 앞에서 이미 언급한대로 thermal budget이 높을수록 게이트 유전체막과 기판 사이의 계면으로 segregation되는 질소의 양과 게이트 유전체막의 유효 두께 모두 증가하였기 때문이라고 판단 된다.

그림 4는 테스트 소자들의 측정된 정공이동도의 특성을 보여주고 있다. 여기서는 NO 열처리시의 thermal budget이 낮을수록 정공이동도의 최고점 값이 증가하였으며, 게이트 전압의 절대값의 크기가

증가하면서 그 차이는 점차 줄어들었다. 이는 NO 열처리가 전도대 아래의 에너지 밴드 영역에서는 acceptor-like trap의 수를 증가시키고 전도대 영역에 있는 interface state의 수를 감소시키기 때문인 것으로 보인다^[5].

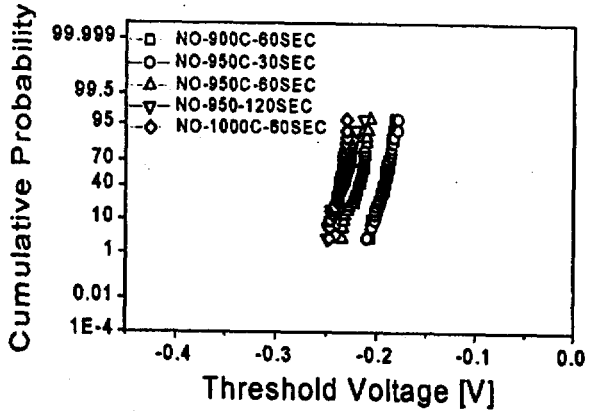


그림 3. 여러 가지 다른 thermal budget으로 열처리를 실시했을 때의 PMOS 소자들의 문턱 전압 분포도.

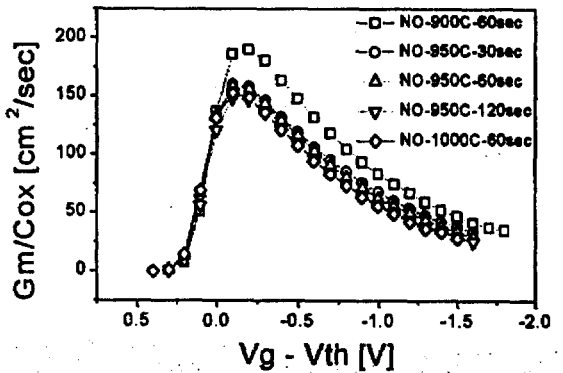


그림 4. 여러 가지 다른 thermal budget으로 열처리를 실시했을 때의 대표적인 PMOS 소자들의 정공이동도 특성.

그림 5와 6은 측정된 테스트 소자들의 g_m 및 전공 이동도(hole mobility)의 분포도를 나타내고 있다. 그 결과들은 모두 같이 NO 열처리시의 thermal budget이 낮을수록 g_m 및 정공이동도가 크게 증가하는 것을 보여주고 있다. NO 열처리 조건이 950

℃, 120초인 경우와 1000℃, 60초인 경우의 측정 결과들을 살펴보면 후자의 경우가 전자의 경우보다 thermal budget가 월등히 큼에도 불구하고 g_m 및 정공이동도의 분포도가 거의 같은 것으로 보아 thermal budget이 950℃, 120초 이상이 되면 g_m 및 정공이동도의 감소가 거의 포화 단계에 이르는 것을 알 수 있다. 한편으로, thermal budget이 900℃, 60초로 줄어도 계속 g_m 및 정공이동도가 향상되고 있다.

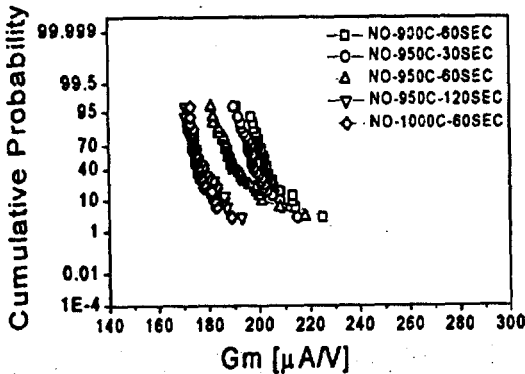


그림 5. 여러 가지 다른 thermal budget으로 열처리를 실시했을 때의 PMOS 소자들의 g_m 분포도.

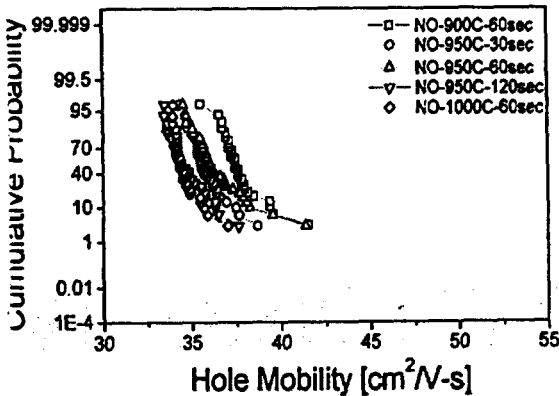


그림 6. 여러 가지 다른 thermal budget으로 열처리를 실시했을 때의 PMOS 소자들의 정공이동도 분포도.

되면 오히려 실리콘의 dangling bond와 수소 원자와의 결합이 깨져 passivation 효과가 감소한다. NO 열처리 효과의 메카니즘도 H passivation 효과의 메카니즘과 아주 유사하므로 NO 열처리의 900℃, 60초의 thermal budget이 아직도 최적 조건보다 지나치게 높을 가능성이 충분히 있다. 따라서, 최적의 NO 열처리 조건을 구하기 위해서는 더 낮은 thermal budget에서의 열처리 실험이 이루어져야 할 것으로 판단된다. 여기서 최적의 NO 열처리 조건이란 NO 열처리를 통하여 PMOS 소자에서 p⁺ 게이트로부터 기판으로의 붕소의 확산이 방지되면서도 소자의 g_m 이 최대가 되는 열처리 조건을 뜻한다.

4. NO 질산화막과 다른 유전체막들과의 전기적인 특성 비교

앞에서 논의하였듯이, 여기서 실험을 통하여 기존 NO 질산화막 중에는 NO 열처리에 가장 낮은 thermal budget(900℃, 60초 열처리 조건)을 사용하여 기존 질산화막의 특성이 가장 우수하였다. 따라서, 여기에서는 이 조건에서 기존 NO 질산화막과 기타 다른 유전체막들, 즉 RTP dry O₂ 산화막, wet 산화막을 RTP NO 열처리를 통하여 기존 질산화막, RTP N₂O 질산화막, furnace N₂O 질산화막들의 전기적인 특성들을 상호 비교 평가하였다.

표 1에서는 앞에서 언급한 여러 가지 다른 공정 조건으로 성장한 유전체막의 유효산화막두께를 C-V plotter로 측정한 값들의 평균값을 보여주고 있다. 평균 유효산화막두께는 공정 조건에 따라 약간의 차이는 있었지만 모두 26±2Å의 범위 안에 있었다.

표 1. 실험에 사용된 유전체막들의 유효산화막 두께.

공정 조건	Tox (Å)
950℃ dry O ₂ 산화	25.5
950℃ dry O ₂ 산화+900℃ 60초 NO 열처리	24.5
800℃ wet 산화+950℃ NO 열처리	27.8
1050℃ RTP N ₂ O 산화	25.8
950℃ furnace N ₂ O 산화	28.0

4. 1 문턱 전압, g_m 및 정공이동도 특성 비교

실험에 사용된 테스트 소자들의 문턱 전압 분포도가 그림 7에 나타나 있다. 실험에 사용된 5개의 유전

알려진 바와 같이¹⁰⁾, 다결정실리콘 계면의 H passivation인 경우에는 열처리 온도가 500℃ 이상이

채막들 중에 dry O₂ 산화막을 NO 열처리하여 형성한 질산화막을 사용한 소자들의 문턱 전압들이 다른 막들을 사용한 소자들의 것들보다 훨씬 균일하게 분포되어 있음을 알 수 있다.

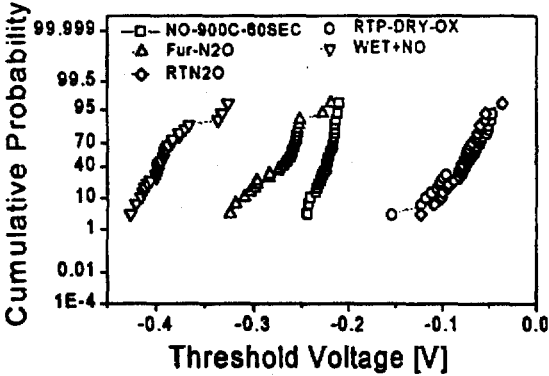


그림 7. 여러 가지 테스트 PMOS 소자들의 문턱 전압 분포도.

여기서, dry O₂ 산화막의 경우에 문턱 전압의 변동폭이 큰 이유는 불균일한 봉소의 침투 때문이라고 판단된다. 다결정실리콘막에서의 봉소의 확산은 grain boundary에서 활발해지기 때문에 봉소의 침투는 다결정실리콘막의 grain 구조에 따라 크게 영향을 받는다. 따라서 다결정실리콘막의 grain 구조는 같은 웨이퍼 위라도 영역에 따라 서로 다르기 때문에 봉소의 침투는 불균일할 수밖에 없다. 다른 한편으로, N₂O 개스를 사용하여 기른 질산화막의 경우에 문턱 전압의 변동폭이 큰 이유는 이미 잘 알려져 있는 바와 같이^[10] N₂O 개스를 사용하여 질산화막을 기를 때 일반적으로 발생하는 막의 두께 및 질소 농도의 심각한 불균일 때문인 것으로 판단된다. 반면에 wet 산화막을 NO 열처리하여 형성한 질산화막의 경우에 문턱 전압의 변동폭이 큰 이유는 아직 충분히 밝혀지지 않고 있다.

일반적으로, 고집적회로 소자 제작 시에 허락할 수 있는 최대 문턱 전압 변동폭은 ±0.05 V 이내이다. 그림 7의 실험 결과들로부터 dry O₂ 산화막을 NO 열처리하여 형성한 질산화막만이 이 기준을 충분히 만족시키고 있음을 볼 수 있다.

한편으로, 그림 8과 9는 테스트 소자들의 g_m 및 정공이동도의 분포도를 보여주고 있다. 앞의 문턱 전압의 분포도와 같이 dry O₂ 산화막을 NO 열처리하여 형성한 질산화막의 경우가 다른 막들의 경우보다 월등

히 그 크기가 균일하게 분포되어 있다. 물론 평균 값은 RTP dry O₂ 산화막과 RTP N₂O 질산화막의 경우가 더 크지만 기술적 가치면에서는 평균값의 크기보다는 값의 균일도가 더 중요한 요소임을 감안할 때 dry O₂ 산화막을 NO 열처리하여 형성한 질산화막이 가장 우수한 특성을 갖고 있음을 알 수 있다. 물론 NO 열처리가 N₂O 열처리보다 월등히 높은 농도의 질소를 계면에 축적시키기 때문에 정공이동도의 크기가 더 감소한다. 따라서, 앞의 3 장에서 논의한 바와 같이 NO 열처리시의 thermal budget를 더 낮추면 정공이동도의 크기는 더 증가할 것으로 판단된다.

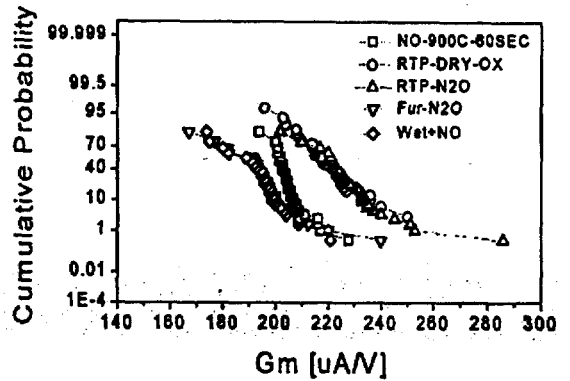


그림 8. 여러 가지 테스트 PMOS 소자들의 g_m 분포도.

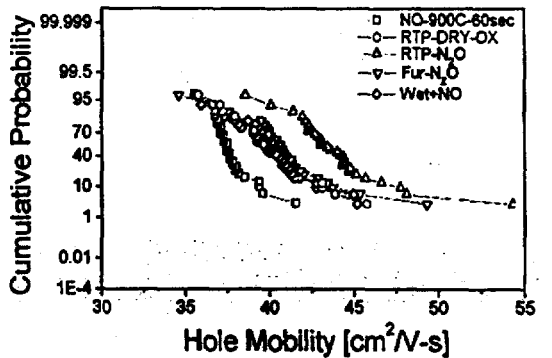


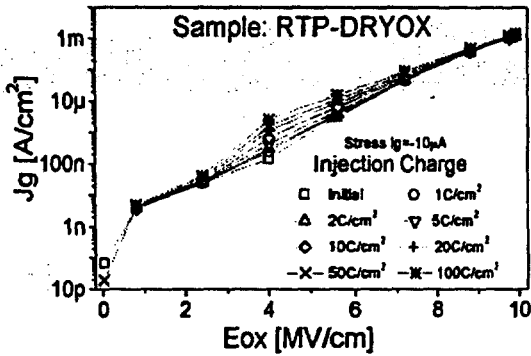
그림 9. 여러 가지 테스트 PMOS 소자들의 정공이동도 분포도.

4.2 Stress-Induced-Leakage-Current(SILC) 특성 비교

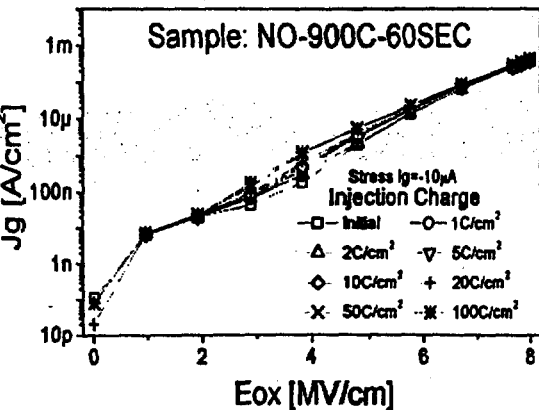
게이트 유전체막의 두께가 100Å 이하가 되면

TDDB(time-dependent-dielectric-break-down) 특성은 크게 개선되면서 두께가 감소할수록 QBD(charge-to-breakdown) 값의 크기는 급속히 증가한다. 따라서, 여기서 실험에서 사용된 유전체막의 두께가 약 25Å이므로 QBD의 값은 측정이 불가능하다. 그러므로, MOSFET의 게이트 유전체막의 신뢰성 특성 분석을 위한 TDDB 특성 측정은 여기서의 의미가 없다. 반면에, 최근에 두꺼운 유전체막에서는 전혀 발견되지 않았던 SILC가 초박막 게이트 유전체막에서는 아주 심각한 문제로 대두되고 있다^[12-13]. 지금까지의 연구 결과에 의하면 SILC 발생의 원인은 초박막 게이트 유전체막에 전기적인 스트레스를 인가할 때 유전체막내에 생성된 trap을 통한 trap-assisted tunneling 현상인 것으로 알려지고 있다^[13].

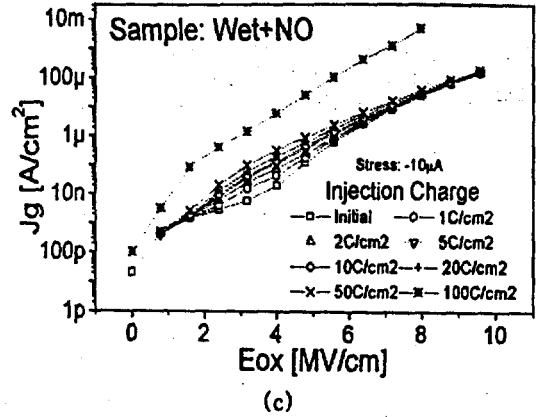
여기서는 게이트 유전체막의 신뢰성을 비교 평가하기 위하여 막들의 SILC 특성을 측정하고 분석하였다. 제작된 MOS 커패시터의 유전체막에 con-



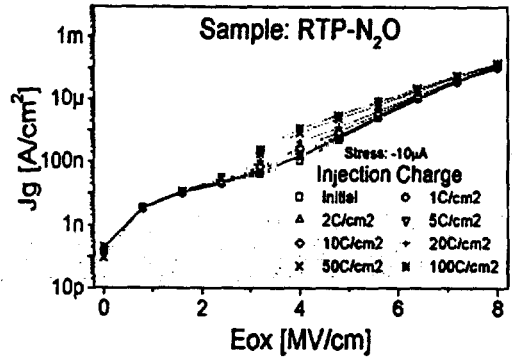
(a)



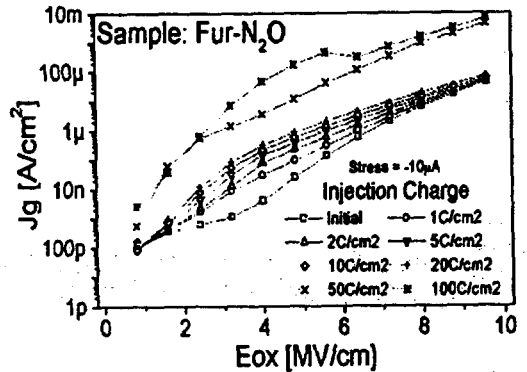
(b)



(c)



(d)



(e)

그림 10. 게이트 유전체막들의 SILC 특성 : (a) RTP dry O₂ 산화막 (b) RTP NO 질산화막 (c) Wet 산화막+NO 열처리 질산화막 (d) RTP N₂O 질산화막 (e) Furnace N₂O 질산화막

stant-current($I_g = -10\mu A$) 스트레스를 10초~1000초 동안 인가한 후에 게이트 전류-전압 특성을 측정하였다.

그림 10은 여러 가지 다른 게이트 유전체막을 사용한 MOS 커패시터의 SILC 특성들을 보여주고 있다. 그림 10에서 나타난 결과들을 상호 비교하여 보면, 가장 좋은 SILC 특성은 갖고 있는 유전체막은 dry O_2 산화막을 NO 분위기에서 열처리하여 형성한 질산화막이며, 반면에 wet 산화막을 NO 분위기에서 열처리하여 형성한 질산화막과 furnace에서 N_2O 가스 분위기에서 열처리하여 형성한 질산화막의 특성이 다른 막들에 비해 월등히 좋지 않음을 알 수 있다. 이 두 막의 공통점은 막을 기를 때 furnace를 사용했다는 점이다. 다른 경우에는 모두 단지 RTP만을 사용했다. 한편으로, RTP dry O_2 산화막과 RTP N_2O 질산화막의 SILC 특성은 대체적으로 양호하였다.

결론적으로 SILC에 의한 신뢰성 문제 측면만 고려한다면, wet 산화막을 NO 분위기에서 열처리하여 형성한 질산화막과 furnace에서 N_2O 가스 분위기에서 열처리하여 형성한 질산화막은 심각한 SILC 문제를 갖고 있기 때문에 사용하기가 어려우며, 다른 막들은 SILC에 대한 신뢰성 특성이 우수한 편이었으며 그 중에서도 dry O_2 산화막을 NO 분위기에서 열처리하여 형성한 질산화막의 특성이 가장 우수한 것으로 보여지고 있다.

5. 결 론

이상에서 여러 가지 방법으로 기른 MOSFET의 게이트 유전체막들의 전기적인 특성들을 살펴보았다. 비록 두께가 약 25Å의 아주 얇은 막들이었지만 NO 가스나 N_2O 가스 분위기에서 열처리하여 기른 질산화막의 경우에는 p^+ 게이트 다결정실리콘막으로부터 기관으로의 봉소의 확산이 효과적으로 차단되고 있는 것으로 나타났다.

RTP dry O_2 산화막과 N_2O 질산화막보다도 RTP dry O_2 산화막을 NO 분위기에서 열처리하여 형성한 질산화막을 사용한 소자들의 문턱 전압, g_m 및 정공이동도의 분포가 월등히 균일하게 나타났으며, 또한 SILC에 의한 신뢰성 특성도 가장 우수하였다. RTP dry O_2 산화막을 NO 분위기에서 열처리하여 형성한 질산화막을 형성할 때에 NO 열처리시의 thermal budget에 따른 소자들의 특성을 살펴본 결과, thermal budget이 낮을수록 문턱 전압은 (+) 방향으로 이동하였으며 반면에 문턱 전압의 균

일도는 thermal budget의 크기에 따라 별다른 차이를 보이지 않았다. 한편, g_m 및 정공이동도는 thermal budget가 낮을수록 뚜렷히 개선되었다. 이 실험에서는 가장 낮은 thermal budget이 900°C, 60초이었으며 이는 충분히 낮은 thermal budget인지가 확인되지 않았다. 따라서, 최적의 열처리 조건을 구하기 위해서는 더 낮은 thermal budget에서의 열처리 실험이 수행되어야 할 것으로 판단된다.

감사의 글

본 연구에 사용된 테스트 소자들의 제작을 도와주신 LG 반도체의 허윤준, 김재정 박사님들께 진심으로 감사드립니다. 본 연구는 정보통신부의 정보통신우수시범학교 지원 사업에 의하여 수행된 것입니다.

참고 문헌

- [1] Y. Okada, P. Tobin, K. Reid, I. Hegde, B. Maiti, and S. Ajuria, "Gate Oxynitride Grown in Nitric Oxide(NO)", Symp. VLSI Tech., pp. 105-107, 1994.
- [2] H. Hwang, W. Ting, B. Maiti, D. Kwong, and J. Lee, "Electrical and reliability characteristics of ultrathin oxynitride gate dielectric prepared by rapid thermal processing in N_2O ", IEDM Tech. Digest, pp. 421-424, 1990.
- [3] B. Maiti, P. Tobin, V. Misra, R. Hegde, K. Reid, and C. Gelatos, "High Performance 20Å NO Oxynitride for Gate Dielectric in Deep Sub-Quarter Micron CMOS Technology", IEDM Tech. Digest, pp. 651-654, 1997.
- [4] T. Hori and H. Iwasaki, "The Impact of Ultrathin Nitrided Oxide Gate-Dielectrics on MOS Device Performance Improvement", IEDM Tech. Digest, pp. 459-462, 1989.
- [5] T. Hori, H. Iwasaki, and K. Tsuji, "Charge trapping properties of ultrathin nitrided oxides prepared by rapid thermal annealing", IEEE Trans. Electron Devices, vol. 35, pp. 904-910, 1988.
- [6] G. Lo, W. Ting, J. Ahn, and D. Kwong,

- "Improved Performance and Reliability of MOSFETs with Ultrathin Gate Oxides Prepared by Conventional Furnace Oxidation of Si in Pure N₂O Ambient", Symp. VLSI Tech., pp. 43-44, 1991.
- [7] H. Pomp, P. Woltjer, G. Paulzen, H. Lifka, A. Kuiper, J. Solo de Zaldivar, and S. Vecsernyes, "Lightly N₂O nitrated dielectrics grown in a conventional furnace for E2PROM and 0.25 μ m CMOS", IEDM Tech. Digest, pp. 463-466, 1993.
- [8] M. Luo, P. Tsui, W. Chen, P. Gilbert, B. Maiti, A. Sitaram, and S. Sun, "A 0.25 μ m CMOS Technology with 45Å NO-nitrated Oxide", IEDM Tech. Digest, pp. 691-694, 1995.
- [9] C. Lin, A. Chou, K. Kumar, P. Chowdhury, and J. Lee, "Leakage Current, Reliability Characteristics, and Boron Penetration of Ultra-Thin(32~36Å)O₂-Oxides and N₂O/NO Oxynitrides", IEDM Tech. Digest, pp. 331-334, 1996.
- [10] S. Batra, K. Park, C. Kyono, S. Bhat-tacharya, S. Banerjee, C. Maziar, D. Kwong, A. Tasch, M. Rodder, and R. Sundaresan, "Rapid Thermal Annealing for H Passivation of Polysilicon MOS-FETs From Si₃N₄ Overcoat", IEDM Tech. Digest, pp. 455-458, 1989.
- [11] P. Singer : 'Rapid thermal processing : a progress report', Semicond. International, pp. 64-69, May 1995.
- [12] K. Okada and K. Taniguchi, "Electrical stress-induced variable range hopping conduction in ultrathin silicon dioxides", Appl. Phys. Lett. 70(3), pp. 351-353, 1997.
- [13] K. Sakakibara, N. Ajika, M. Hatanaka, H. Miyoshi, and A. Yasuoka, "Identification of Stress-Induced Leakage Current Components and the Corresponding Trap Models in SiO₂ Films", IEEE Trans. Electron Devices, vol. 44, No. 6 pp. 986-992, 1997.