

연마 시간 관계식을 이용한 STI CMP의 특성에 관한 연구

논문
12-9-1

A Study on Characteristics of STI CMP according to Polishing Time Correlation Equation

김상용*, 김남훈*, 김창일*, 장의구*

(Sang-Yong Kim*, Nam-Hoon Kim*, Chang-Il Kim*, Eui-Goo Chang*)

Abstract

As device geometry designed for high performance CMOS technology continues to scale down, shallow trench isolation(STI) becomes attractive because it offers improved isolation between devices compared to conventional LOCOS-type isolation techniques. Recently, chemical mechanical polishing(CMP) has been intensively studied to planarize trench surface. This article documented the control of oxide removal amounts on the STI patterned wafer with the relationship of removal thicknesses between patterned and blanket (non-patterned) wafers. We produced a equation of polishing time correlation between blanket wafer and STI patterned wafer by these results. And we could apply the removal time calculated in blanket wafer to that of patterned wafer, which the post CMP thickness was accurately controlled by this calculated removal time. Meanwhile, it is confirmed that polishing time had concern with planarization. And the increase of step height by dishing could be ignored.

Key Words(중요용어) : CMP(chemical mechanical polishing), polishing time(연마 시간), STI(shallow trench isolation), removal rate(제거율), step height(단차)

1. 서 론

전형적인 LOCOS(local oxidation of silicon)형 격리(isolation)는 소자의 활성 영역으로 필드 산화막(field oxide)이 축면 침투하는 bird's beak 현상 및 평탄하지 못한 표면에 의해 필드 산화막이 얇아지는 문제 등으로 인하여 0.5 μm 이하 반도체 제조 공정에의 적용에 한계가 있다^[1]. 고성능 CMOS 기술의 발전에 의해 반도체 소자가 스케일 다운되어짐에 따라 STI(shallow trench isolation) 공정 기술이 LOCOS형 격리 기술에 비해 소자간 격리를 보다 양호하게 하기 때문에 대안적으로 채용되었다. STI 공정은 패킹 밀도(packing density)의 증가, 채널 폭의 감소에 따른 문제점의 해소, 양호한 래치-

업 효과(latch-up immunity) 및 우수한 평탄화 특성을 얻을 수 있었다^[2]. 초기의 STI 공정은 평탄화를 위해 플라즈마 에치백(etch back) 공정에 의해 수행되었지만 평탄화된 표면을 확보하지 못했다^[3]. 최근에 평탄화를 위하여 대두된 CMP(chemical mechanical polishing) 공정이 넓은 지역을 평탄화하는 데에는 우수한 특성을 보이지만, CMP 공정에서의 dishing 현상과 질화막 위에 산화막이 남는 문제 및 CMP 후 세척 공정 등의 문제점을 수반하고 있으며, 이러한 것들은 STI가 LOCOS를 대체하기에 앞서 해결해야 할 문제들이다^[4].

본 연구에서는 STI CMP 공정 조건 확보를 목적으로 효과적인 두께 제어 및 정확한 연마 시간을 구하기 위하여, 블랑킷(blanket) TEOS 산화막 웨이퍼와 패턴된 웨이퍼간의 상관 관계를 모색하였다. 이를 바탕으로 연마 시간 관계식을 도출하여 이를 post CMP 공정을 통하여 시간에 따른 산화막의 연마 두께를 조절하고자 한다. 또한 연마 시간에 따른 패턴을 측면도를 이용하여 단차(step height)를 구하고, 이를 통하여 연마 시간에 따른 평탄화 정도를

* : 중앙대학교 전자전기공학부

(서울특별시 동작구 흑석동 221, Fax : 02-812-9651 E-mail : cikim@cau.ac.kr)

1999년 5월 22일 접수, 1999년 8월 13일 심사완료

연구하였다.

2. 실험 방법

본 실험에서는 8 인치 웨이퍼에 PE-TEOS(plasma enhanced-tetra ethyl ortho silicate) 산화막을 16000 Å 증착시킨 후 IPEC사 AVANTI 472 장치를 사용하여 연마하였고, CMP 후 세척 공정으로는 VERTEQ사 VcS A2S 시스템을 사용하였다. 적용된 연마 조건으로는 down force(7 psi), platen speed(28 rpm), arm oscillation speed(5 mm/sec), back pressure(2 psi), carrier speed(32 rpm)를 공정 변수로 하였으며 연마 공정 후 세척 공정으로 SC-1(NH₄OH:H₂O₂:DI = 1:5:200) 공정을 거쳐 HF dip 공정 및 SRD(spin-rinse-dry) 공정을 수행하였다.

연마 공정에서 연마 패드(pad)는 IC1000/SubaIV, 세척 패드(final platen)는 Politex Regular를 사용하였으며, 연마제는 Cabot사 SS 계열 슬러리(slurry)를 사용하였다. 실험 방법으로는 연마 시간을 20 초 간격으로 TEOS 산화막을 가진 블랑켓 웨이퍼와 STI 구조를 가진 패턴 웨이퍼를 동시에 연마하여 필드 산화막 및 moat 질화막 지역의 제거되는 두께를 각각 nanospec 시스템을 이용하여 측정하였다. 연마에 따른 STI 패턴 웨이퍼의 단차 및 TIR (total indicator reading)을 TENCOR P30 profiler로 측정하였다.

3. 결과 및 검토

3-1. 연마 시간에 따른 막 두께 변화 측정

블랑켓 TEOS 산화막 웨이퍼와 STI 패턴 웨이퍼 사이의 제거율(removal rate)의 상관 관계를 통하여 STI 공정 적용을 위한 CMP 공정시 정확한 연마 시간을 산출하고자, 블랑켓 웨이퍼와 패턴 웨이퍼 각각의 연마 시간에 따른 막 두께를 측정하였다. 그림 1은 16000 Å TEOS 산화막 웨이퍼의 연마 시간에 따른 막 두께 변화를 나타내는 그림이다. 그림 1에서 연마 시간에 따라 TEOS 산화막의 두께가 선형적으로 감소하는 것을 볼 수 있는데, 이는 거의 일정한 제거율로 CMP 공정이 수행되어졌음을 의미한다. 한편 그림 2와 그림 3은 각각 STI 패턴 웨이퍼에서 연마 시간에 따른 필드 산화막과 moat 질화막의 두께 변화를 나타낸 것이다. 필드 산화막의 두께 변화 그래프인 그림 2를 보면, 영역 1에서는 막 두께가 완만히 감소하다가 영역 2에서 급격한 감소를 보이며 영

역 3에서는 다시 완만하게 감소하는 것을 볼 수 있다. 바꿔 말해 STI CMP 공정시 영역 1에서는 제거율이 감소하다가, 영역 2에서 제거율이 급격히 증가하고, 다시 영역 3에서는 제거율이 감소하는 것으로 말할 수 있다. 이와 같은 결과는 그림 4와 같은 reverse moat 패턴이 형성된 구조이기 때문이다. 즉, 영역 1(0~20 초)에서는 필드 산화막 가장자리 부분인 *shook(sharks fin)*이 연마되어지는 과정이며, 막 두께가 측정되어지는 부분이 필드 산화막의 중앙부이기 때문에 CMP 공정에 따른 막 두께의 변화가 작은 것처럼 보이는 것이다. 필드 산화막 중앙부는 실제로 영역 2(20~60 초)에서 제거되어지기 시작하는 것이고, 따라서 막 두께의 감소가 급격히 일어나는 것이다. 영역 3(60~100 초)은 moat 질화막(Si₃N₄)의 연마가 시작되어지는 지점이기 때문에 제거율(removal amount)이 다시 감소하는 단계이다. 즉, 산화막과 질화막의 제거율 선택비(selectivity)가 3:1로서 산화막에 인접한 질화막의 제거율이 낮기 때문에 구조상 질화막보다 단차가 낮은 산화막은 적은 양이 제거되는 것이다. 또한 그림 3에서 moat 질화막의 막 두께 변화를 보면, 영역 1에서는 영역 2, 3에 비하여 완만히 감소함을 볼 수 있다. 영역 2, 3에서는 직접적인 접촉에 의해 압력이 박막에 가해지는데 비해, 영역 1에서는 연마 패드(polishing pad)와 웨이퍼 사이에 직접적인 접촉이 전혀 없기 때문에 물리적인 제거 효과가 매우 작다. 따라서, 영역 1에서의 질화막 제거율은 오직 화학적 효과에 의해서만 결정된다. 이러한 이유로 영역 1에서의 연마 시간에 따른 moat 질화막 두께 감소량이 영역 2,

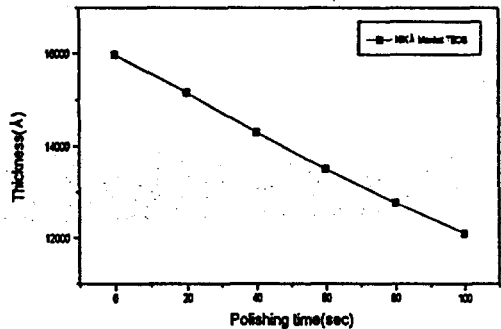


그림 1. 16 KA 블랑켓 웨이퍼의 연마 시간에 따른 두께 변화

Fig. 1. The variation of thickness with increasing polishing time in 16 KA blanket wafer.

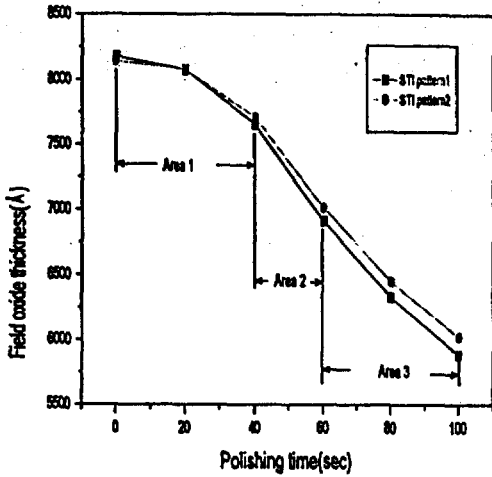


그림 2. STI 패턴에서의 연마시간에 따른 필드 산화막의 두께 감소

Fig. 2. The reduction of field oxide thickness as a function of polishing time in STI pattern wafer.

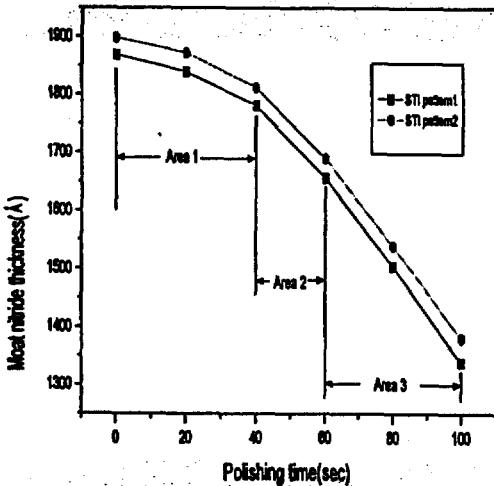


그림 3. STI 패턴에서의 연마시간에 따른 moat 질화막의 두께 감소

Fig. 3. The reduction of moat nitride thickness as a function of polishing time in STI pattern wafer.

3에서보다 적은 것이다.

선형적인 연마 특성을 갖는 블랑킷 웨이퍼와 STI 패턴 웨이퍼 사이의 연마량 상관 관계를 통하여 보다 효과적인 연마 시간 산출을 목적으로, 그림 5에 STI

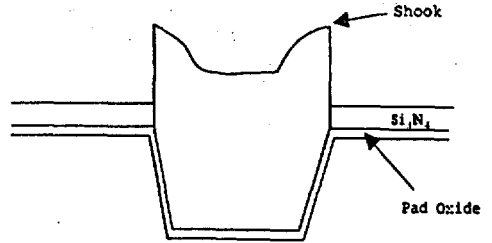


그림 4. STI reverse moat 패턴 개략도

Fig. 4. The schematic of the STI reverse moat pattern.

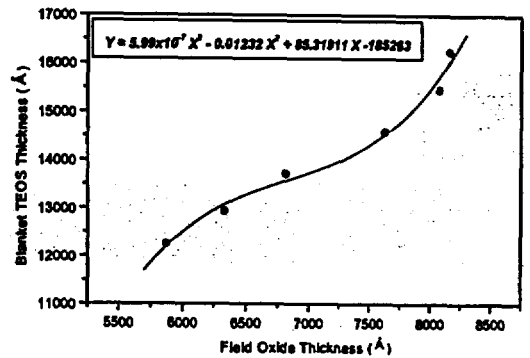


그림 5. 블랑킷 TEOS 산화막과 STI 패턴에서의 산화막 두께의 관계

Fig. 5. The difference of oxide thickness between blanket TEOS oxide and STI pattern wafer.

패턴 웨이퍼의 산화막 연마량에 따른 블랑킷 TEOS 산화막의 연마량 변화를 나타내었다. 이를 바탕으로 두 웨이퍼 간의 관계식을 polynomial fitting 방법으로 구하였으며, 3차 함수 관계식

$$Y = 5.99 \times 10^{-7} X^3 - 0.01232 X^2 + 85.31911 X - 185263 \dots (1)$$

X : required removal oxide target amount in the pattern wafer

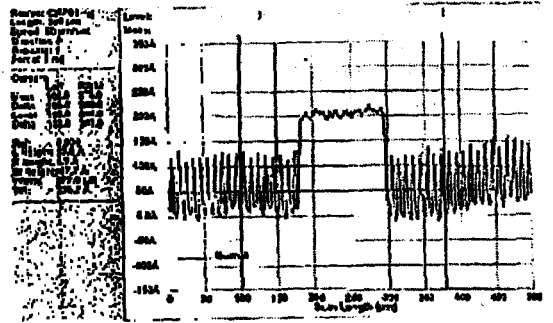
Y : removal oxide target amount in the blanket wafer

으로 표현할 수 있다. 관계식 (1)은 패턴 웨이퍼를 연마할 때 매우 중요한 식으로, 관계식 (1)을 적용하면 STI 패턴 웨이퍼 재연마시 정확한 연마 시간을 산

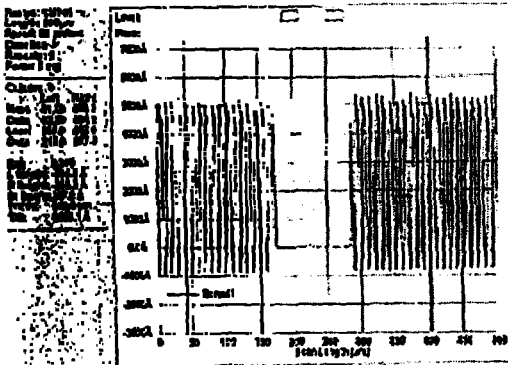
출할 수 있다. 역을 들어 패턴 웨이퍼에서 연마가 충분하지 못하여 지연마를 해야 할 경우, 원하는 필드 산화막 두께 값인 X를 대입하면 블랑켓 TEOS 산화막 웨이퍼에서의 두께 값인 Y가 계산된다. 따라서, 그림 1과 같이 선형적으로 연마되는 블랑켓 TEOS 산화막 웨이퍼에서의 두께 값 Y에 해당되는 추가 연마 시간을 더하여 연마하면 패턴 웨이퍼에서 원하는 두께 값을 얻을 수 있다.

3-2. 연마 시간과 단차와의 관계

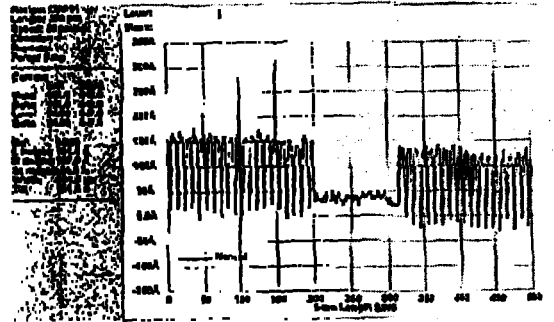
연마 시간에 따른 profiler scanning 결과 및 단차를 그림 6 및 그림 7에 나타내었다. Profiler scanning 길이는 500 μm 로 하였으며, scribe line



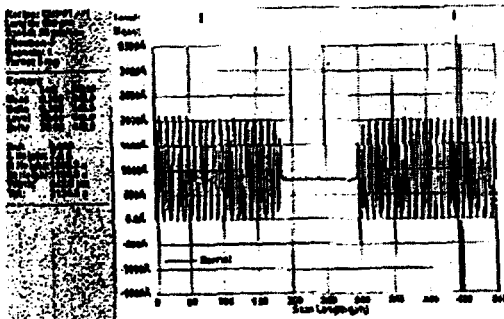
(c) 연마시간 40 초일때의 프로파일링 결과
(c) Profiling at 40 sec of polishing time.



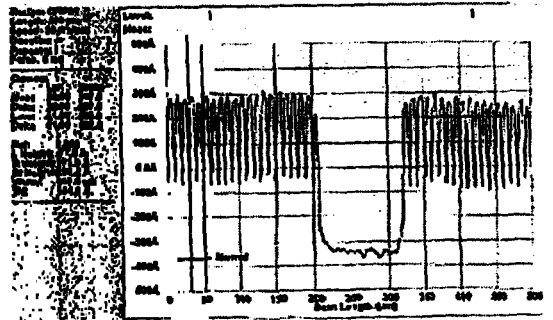
(a) 연마시간 0 초일때의 프로파일링 결과
(a) Profiling at 0 sec of polishing time.



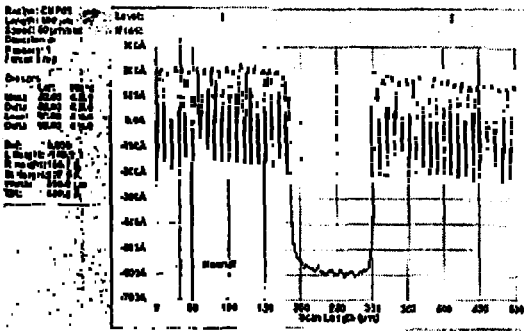
(d) 연마시간 60 초일때의 프로파일링 결과
(d) Profiling at 60 sec of polishing time.



(b) 연마시간 20 초일때의 프로파일링 결과
(b) Profiling at 20 sec of polishing time.



(e) 연마시간 80 초일때의 프로파일링 결과
(e) Profiling at 80 sec of polishing time.



(f) 연마시간 100 초일때의 프로파일링 결과
(f) Profiling at 100 sec of polishing time.

그림 6. 연마 시간에 따른 프로파일링 결과
Fig. 6. The profiling as a function of the polishing time.

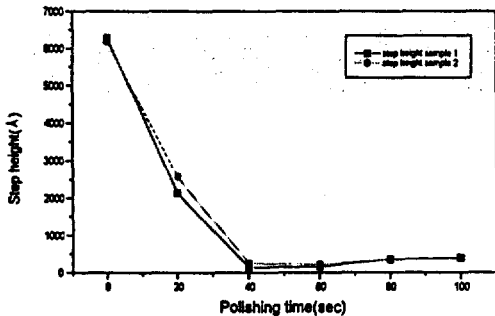


그림 7. 연마 시간에 따른 단차 변화
Fig. 7. The change of step height as a function of the polishing time.

의 dummy moat 지역을 측정하였고, 중앙에 120 μm의 넓은 트렌치 패턴을 삽입하였다. 대체적으로 연마 시간 60 초까지 단차가 감소하고 80 초, 100 초로 연마 할 경우 단차가 점점 증가하는 것을 볼 수 있다. 그림 6(C)에서는 넓은 트렌치 지역이 좁은 트렌치 지역보다 높게 발전되었다. 그 이유는 좁은 지역이 넓은 지역보다 패드가 산화막과 닿는 면적이 작기 때문에 빠르게 제거되는 것이다. 연마 시간 40 초에서 60 초 사이에서 넓은 트렌치 지역이 낮아지고 있으며 가장 낮은 단차를 나타내었다. 이 시점에서 moat 위의 Si₃N₄ 막을 만나는 것으로 판단된다. 연마 시간 80 초로 과도 연마할수록 단차는 크게 증가

함을 볼 수 있다. 이러한 결과는 과도 연마 시간동안 STI 지역에서 dishing이 발생하기 때문이다. Dishing은 연마 시간 100 초에서 약 150 Å 정도 발생하였으며, 더 이상 진전되지 않은 것으로 판단된다. 그림 6에서 중앙의 넓은 지역이 좁은 지역보다 낮은 것은 넓은 지역에서의 STI 패턴 결과가 그림 8의 SEM 사진에서와 같이 shook과 산화막의 단차 때문이다. 그림 9는 연마 후의 SEM 사진으로 전체 크기에 비해 매우 작은 dishing이 발생하였음을 확인할 수 있었다. 또한 넓은 트렌치 지역에서 깊게 발생함도 알 수 있었다.

4. 결 론

STI CMP 공정시 정확한 산화막 연마 두께를 제어하기 위하여 불랑겟 TEOS 산화막 웨이퍼와 STI 패턴 웨이퍼의 시간에 따른 연마를 측정하여, 연마 시간에 따라 선형적으로 변하는 불랑겟 웨이퍼와 비선형적으로 변하는 패턴 웨이퍼와의 관계를 분석하였다. 그 결과 패턴 웨이퍼의 재연마 시간을 결정하기 위하여 불랑겟 웨이퍼에서의 연마 시간을 계산하여 패턴 웨이퍼에 적용할 수 있었다. 연마 시간에 따른 STI 패턴에서의 profiler scanning을 관찰하여 moat와 트렌치에서의 단차 변화를 알 수 있었다. 본 실험의 결과로부터 패턴 웨이퍼에서 원하고자 하는 정확한 연마 시간을 구할 수 있었으며, STI CMP 공정에서의 연마 시간은 평탄화 정도와 밀접한 관련이 있었고, 과도 연마시 발생하는 dishing에 의한 단차의 증가는 전체 패턴에 비해 매우 작은 것이어서 무시할 수 있었다.

참 고 문 헌

1. Robert Kolenkow, Ron Nagahara, "Chemical-Mechanical Wafer Polishing and Planarization in Batch Systems", Solid state Technology, pp. 112-114, June 1992.
2. Srinivasan Sivaram, Hubert Bath, Robert Leggett, Alvaro Maury, Kenneth Monning, Robert Tolles, "Planarizing Interlevel Dielectrics by Chemical-Mechanical Polishing", Solid state Technology, pp. 87-91, May 1992.
3. Syd R. Wilson, Clarence J. Tracy, and John L. Freeman, Jr., "Handbook of Multilevel Metallization for Integrated Circuits", Noyes Publications, p. 157, 1993.
4. William J. Patrick, W. L. Guthrie, Charles L. Standley, Paul M. Schiabile, "Application of Chemical Mechanical Polishing to the Fabrication of VLSI Circuit Interconnections", J. Electrochem. Soc., Vol. 138, pp. 1778-1784, June 1991.