

# APM세정에 따른 표면 Microroughness 및 Si/SiO<sub>2</sub>계의 전기적 특성에 관한 연구

논문  
12-7-1

## A Study on Microroughness of Silicon Surface induced by APM cleaning and Electrical Properties of Si/SiO<sub>2</sub> system

정양희\*, 김명규\*

(Yang-Hee Joung\*, Myoung-Kyu Kim\*)

### Abstract

The purity of wafer surface is an essential requisite for the successful fabrication of VLSI silicon circuits. In the cleaning step, the RCA or APM(NH<sub>4</sub>OH/H<sub>2</sub>O<sub>2</sub>/H<sub>2</sub>O) cleaning method has been used. The APM cleaning process for bare wafer can affect the state of wafer surfaces. It can cause the degeneration of gate oxide layer.

For the investigation of this problem, we measured the microroughness of silicon wafer surface using the atomic force microscope(AFM) and interface trap density(D<sub>it</sub>) of Si/SiO<sub>2</sub> system using the C-V method. The microroughness and D<sub>it</sub> are in the range of 1.1~1.6Å and 0.89~1.98×10<sup>11</sup>[cm<sup>-2</sup>eV<sup>-1</sup>], respectively. Both measurements are increased proportionally to the number of cleaning times. Leakage current is in the range of 1×10<sup>-10</sup>~5×10<sup>-4</sup>[A] depending upon the number of cleaning times. Especially, we notice that additional APM cleaning increases the leakage current in the order of hundred times compared to that of one time cleaning under 10[V] gate voltage. The electrical breakdown field using the breakdown voltage obtained by I-V method is in the range of 6~14[MV/cm]. This measure decreased proportionally to the number of cleaning times. This increment of leakage current by additional APM cleaning results in the 0.8% decrement of yield.

To avoid the yield drop due to the high leakage current, we suggest that the content ratio of APM cleaning solution is to be at 0.2:1:10 and the cool DI water rinsing should be followed after cleaning step. However, additional cleaning process should be applied carefully to avoid the leakage current failure even in the optimized APM cleaning process.

**Key Words(중요용어)** : APM cleaning(APM 수세정), Interface trap density(계면트랩밀도), Microroughness(미세평탄도), Electrical breakdown field(절연파괴전기장)

### 1. 서 론

최근 반도체 소자의 고집적화, 초미세화의 경향과 더불어 submicron ULSI의 실현을 위해 많은 연구가 진행되어지고 있으며, 그 가운데 반도체 소자 제조공정의 약 20%를 차지 하는 실리콘 표면의 세정기

술은 웨이퍼 표면상태에 밀접하게 관련되어 불량 억제 및 수율 향상에 매우 큰 영향을 미치기 때문에 폭넓은 실험이 진행되어지고 있다. 특히 게이트 산화막 형성 전의 수세정(wet cleaning)은 직접적으로 디바이스의 성능과 신뢰성에 영향을 주기 때문에 수세정 진행전에 충분한 평가 및 그 성질을 파악해둘 필요가 있다.

현재 반도체 표면의 이물질 제거에 가장 일반적으로 사용되는 용액은 RCA사에 의하여 개발된 APM 세정(NH<sub>4</sub>OH/H<sub>2</sub>O<sub>2</sub>/H<sub>2</sub>O)이 매우 유효한 것으로 알려져왔다<sup>1)</sup>. 그러나 APM 세정과 같이 NH<sub>4</sub>OH가 포함된 알카리용액 처리는 microroughness와 같은

\* : 여수대학교 전기 및 반도체공학과  
(전남 여주시 둔덕동 산 96-1, Fax : 0662-659-3314 E-mail : jyanghee@yosu.yosu.ac.kr)  
1998년 8월 31일 접수, 1999년 4월 22일 심사완료

실리콘 표면상태와 밀접한 관계가 있는 것으로 보고 된바 있다<sup>2)</sup>. 특히 산화막의 박막화와 선평의 초미세 화가 요구되는 ULSI급 제조 생산라인에서 이물질 제거를 위한 재세정 빈도의 증가가 이루어지고 있는 데 이는 실리콘 표면의 microroughness를 증대케 하여 산화막의 내압 특성을 열화시키는 요인<sup>2-3)</sup>이 될 수 있으며 실제 16Mbit DRAM 생산라인에서 이와 관련된 소자의 누설전류에 의한 불량증대 및 수율저 하의 문제가 초래된 경우도 있어, 이에 대한 평가의 필요성이 증대되어 가고 있다.

따라서 본 논문에서는 우선 Ohmi<sup>2)</sup>등에 의해 제안 된 APM세정에서의 NH<sub>4</sub>OH 혼합비율에 따른 실리콘 표면 microroughness의 변화와 이를 최소화하는 세정진행 방법을 16Mbit DRAM 게이트 산화전 세 정의 단위공정에 적용, 확인하였으며 이들 표면 microroughness가 소자의 전기적 특성에 미치는 영향을 평가하기 위하여 정상세정과 재세정을 실시한 캐패시터를 제작하고, C-V곡선을 측정하여 Si/SiO<sub>2</sub>계면 트랩밀도와 I-V측정을 통한 절연파괴 전기장 및 누설전류를 비교 조사하였다. 또한 APM 재세정이 직접적으로 소자에 미치는 영향을 고찰하기 위하여 정상세정과 재세정의 진행으로 구분, 16Mbit DRAM 생산라인의 실제품에 적용하여 불량분석을 실시하고, 그 결과를 고찰하였으며 이로부터 세정에 의한 누설전류의 불량과 웨이퍼 life time과의 관계 를 조사하였다.

## 2. 시료제작 및 실험방법

### 2.1 시료제작

본 실험에서는 비저항이 9~12Ωcm이고 결정면이 (100)인 P형 실리콘 웨이퍼를 사용하였고, 실리콘 웨이퍼 표면의 거칠기와 이에 따른 전기적 특성을 조 사하기 위하여 다음과 같은 방법으로 시료를 제작하 였다. 우선 순수 실리콘 웨이퍼를 LOCOS 방식<sup>7)</sup>에 의하여 약 4500Å의 field를 성장시키고 게이트 산화 막 전세정으로 NH<sub>4</sub>OH:H<sub>2</sub>O<sub>2</sub>:H<sub>2</sub>O를 1:1:5의 일반 적인 혼합 비율로 80℃에서 10분동안 세정과 자연산 화막 제거를 위한 1:99 HF:순수세정을 한후 산화투 브에 넣고 온도를 830℃로하여 O<sub>2</sub>와 H<sub>2</sub>를 2:1의 조 건에서 13분동안 산화하여 130Å두께의 게이트 산화 막을 성장시켰다. 성장한 게이트 산화막위에 압력과 온도를 각각 60Pa, 600℃로하고 SiH<sub>4</sub>/PH<sub>3</sub>를 1350/150sccm의 조건에서 LP-CVD로 약 1500Å 의 게이트 폴리실리콘을 증착시켰으며, 두께 측정에

는 Prometrics사의 엘립소미터(FT-750)를 이용하 여 측정하였다. 폴리실리콘이 증착된 웨이퍼는 게이 트 사진식각공정과 플라즈마 건식각을 통하여 단면적 이 4.0×10<sup>-2</sup>cm<sup>2</sup>인 원형의 MOS 캐패시터를 제작하였 다. APM세정의 횟수에 따른 대략적인 시료제작의 과정은 그림 1에 나타내었다.

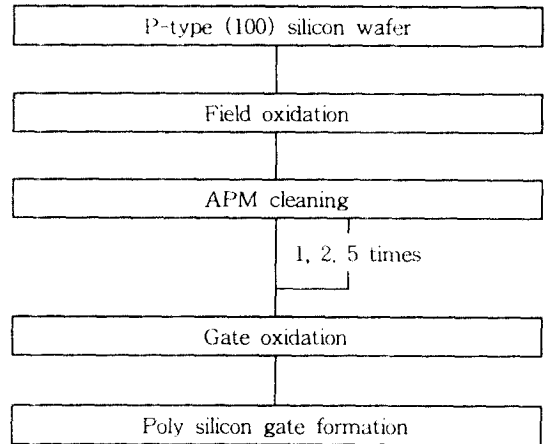


그림 1. 시료제작 과정

Fig. 1. Flow chart for preparing samples

### 2.2 실험방법

ULSI급 제조공정에서 웨이퍼 표면의 금속오염 및 공정중 발생되는 여러 가지 형태의 이물 제거를 위하 여 때때로 APM의 재세정이 이루어지고 있으나 게이 트 산화 전세정에 사용되어지는 APM세정은 NH<sub>4</sub>OH가 포함되어 있고 이는 폴리실리콘 표면의 microroughness를 유발하여 게이트 산화막의 내압 특성을 열화시키는 요인이되므로<sup>2-3)</sup> APM 재세정에 따른 문제점을 파악할 필요가 있다. 따라서 본 실험 에 사용되어진 시료제작에서 APM 세정을 1, 2, 5회 처리함에 따른 실리콘 표면 microroughness의 변 화를 AFM 분석에의하여 관찰하였다. 이때 APM 세정을 실시하지 않은 초기 웨이퍼의 평균 표면 거칠 기는 0.75Å인 웨이퍼를 사용하였다. 또한 게이트 산화 전세정에 따른 웨이퍼 표면 평균 거칠기를 최 소화하기 위하여 NH<sub>4</sub>OH:H<sub>2</sub>O<sub>2</sub>:H<sub>2</sub>O의 혼합 비율과 APM세정후 순수세정(DI water rinse) 방법을 변 화시켜 최적의 공정 조건을 결정하였으며, 최적화된 NH<sub>4</sub>OH:H<sub>2</sub>O<sub>2</sub>:H<sub>2</sub>O의 혼합 비율에서 금속오염 제

거 효과를 Total Reflection X-Ray Fluorescence(TRXRF) 모델 RIGAKU 3630을 이용하여 확인하였다.

최적화된 APM세정 방법을 이용하여 세정횟수에 따른 시료의 microroughness에 기인된 MOS 캐패시터의 전기적 특성을 조사하기 위하여 100 KHz 고주파 C-V 및 준정적 C-V(Quasi-static C-V)를 측정하여 이로부터 계면트랩밀도  $D_{it}$ 를 비교 조사하였다<sup>8-9)</sup>. 또한 실리콘 표면 거칠기에 기인한 Si/SiO<sub>2</sub>계의 신뢰성을 조사하기 위하여 이들 시료의 I-V 측정을 통해 누설전류 및 절연과피전압을 조사하였으며, I-V 측정에는 HP4145B 파라미터 분석기를 이용하였다. 절연과피 전압은 게이트 전압에 따라 전류가 급격히 증가하여 막이 구조적으로 파괴된 지점의 전압으로 정하였고, 이 절연과피 전압을 게이트 산화막의 두께로 나누어서 절연과피 전기장을 구하였다. 또한 여러 가지 이물질제거등을 목적으로 생산 현장에서 빈번히 재세정이 실시되는 경우가 있기 때문에 최적화된 APM세정 방법이라도 이들 재세정이 제품에 미치는 영향을 조사하기 위하여 16Mbit DRAM 생산라인의 게이트 산화 전세정에 적용, 재세정을 실시치 않은 소자와의 생산불량분석(Production test)을 실시하고 그 결과로부터 재세정에 의해 나타나는 불량 유형의 변화와 이들이 수율에 미치는 영향을 조사하였다. 또한 재세정시 현저히 증가되는 16Mbit DRAM 소자의 누설전류 불량과 웨이퍼 material life time과의 관계를 비교 조사하였고 웨이퍼내에서 누설전류에 의한 불량의 분포를 확인, 고찰하였다. 16Mbit DRAM 소자의 불량 분석과 life time의 측정에는 Advantest사의 모델 T5365P와 마이크로웨이브 방식인 LEO사의 모델 LTA-500이 각각 사용되었다.

### 3. 결과 및 논의

반도체 메모리소자의 고집적화 및 초미세화와 더불어 공정조건외 미세 변화가 미치는 영향이 크게 나타나는 경향이 있고 그 가운데 소자의 제조공정에서 반복적으로 행하여지는 웨이퍼의 세정기술은 실리콘 웨이퍼의 표면상태에 직접 관련되기 때문에 전기적 특성 및 수율향상에 미치는 영향도 큰 것으로 나타나고 있다. 따라서 본 내용에서는 유기물 제거를 위해 일반적으로 사용되는 APM세정을 게이트 산화막 전세정에 적용하여 실리콘 표면 및 소자의 전기적 특성에 미치는 영향을 평가하고, 그 결과에 대하여 논의하기로 한다.

#### 3.1 표면 microroughness

게이트 산화막 전세정으로 일반적으로 사용되고 있는 RCA사의 APM세정은 NH<sub>4</sub>OH가 포함된 알칼리 용액으로 이것이 실리콘 표면의 microroughness에 미치는 영향을 조사하기 위하여 NH<sub>4</sub>OH:H<sub>2</sub>O<sub>2</sub>:H<sub>2</sub>O가 1:1:5인 기준의 APM세정을 1, 2, 5회 실시하여 AFM 분석을 실시한 결과를 그림 2에 나타냈다. 그림 2에서 보는바와 같이 APM 세정의 증가에 따라 표면 평균 거칠기가 증가하는 것을 볼 수 있다.

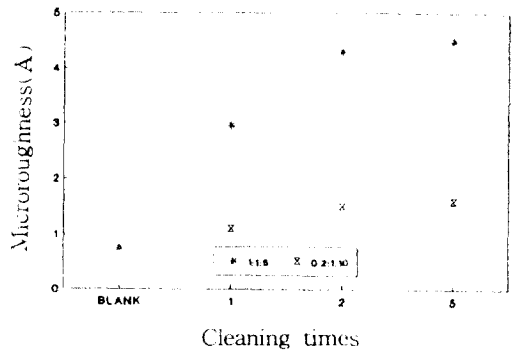


그림 2. APM 세정 횟수와 혼합 비율에 따른 실리콘 표면의 미세평탄도

Fig. 2. Surface microroughness of wafer as a parameter of APM cleaning times and mixing ratios

이와같은 표면 거칠기의 증대는 게이트 산화막의 박막화와 밀접하게 관계되므로 표면 거칠기를 최소화하기 위하여 APM 세정에서 NH<sub>4</sub>OH의 혼합 비율을 0.2:1:5까지 낮추어 진행한 표면 거칠기를 그림 3에 나타냈다. 그림 3에서 보는바와 같이 APM세정에서 NH<sub>4</sub>OH의 혼합 비율이 작아짐에 따라 표면 거칠기가 작게 나타나 NH<sub>4</sub>OH가 실리콘 표면을 식각하여 표면 거칠기에 미치는 영향을 확인 할 수 있다

따라서 APM세정후 표면 거칠기를 초기 웨이퍼의 수준으로 최소화하기 위하여 혼합 비율을 0.2:1:10로하여 세정횟수에 따른 표면 거칠기를 1:1:5의 혼합 비율과 비교하여 그림 2에 나타내었으며, APM세정의 후속 공정으로 진행되는 기준의 80℃ 온수(HOT DI water)와 23℃의 냉수(COOL DI water)세정 순서 변화에 따른 표면 거칠기를 그림 4에 나타냈

다. 그림 5는 APM세정의 혼합 비율 1:1:5와 0.2:1:10에 따른 실리콘 웨이퍼 표면의 AFM 사진을 나타낸 것이다. 그림 4에서 보는바와 같이 APM세정후 순수세정 공정을 냉수세정후 온수세정을 실시함으로써 표면 거칠기를 최소화 할 수 있었다. 이는 수소 이온 농도 지수가 8이상인 알칼리 용액은 온수에서 더욱 활성화 되기 때문에<sup>2)</sup> APM세정후 웨이퍼와 카세트에 남아있는 잔류 성분을 냉수로 1차 세정후 온수에 의한 2차 세정을 실시하는 것이 표면 거칠기를 억제하는 효과가 있는 것으로 해석 할 수 있다. 그림 4에서 HOT DI는 APM세정후 온수와 냉수세정의 공정 순서로 진행된 것이며, COOL DI는 APM세정후 냉수와 온수세정의 공정 순서로 진행된 것을 의미한다.

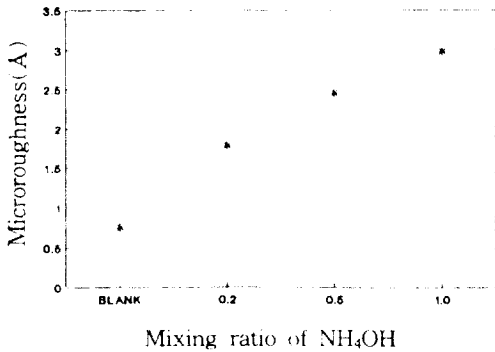


그림 3. NH<sub>4</sub>OH 혼합 비율에 따른 미세평탄도  
Fig. 3. Relationship of surface microroughness of wafer to APM cleaning with various NH<sub>4</sub>OH mixing ratios

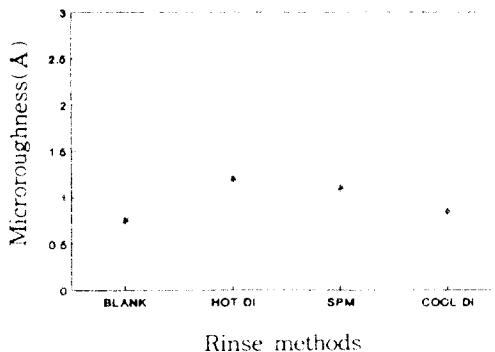


그림 4. APM 후속 공정에 따른 미세평탄도  
Fig. 4. Influence of succeeding step of APM cleaning on surface microroughness

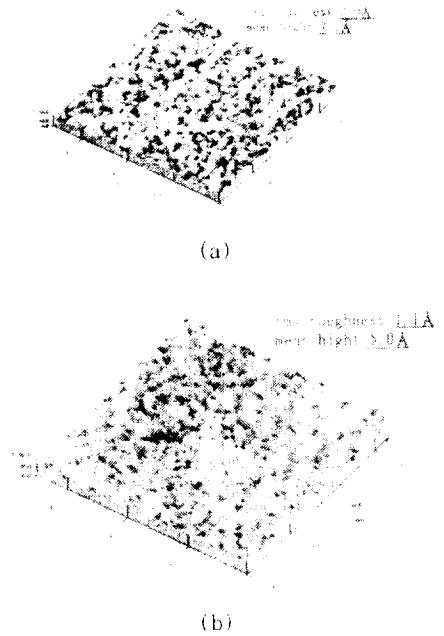


그림 5. APM세정시 혼합 비율에 따른 AFM사진  
Fig. 5. Typical AFM images of wafer surface treated in APM cleaning with a mixing ratio 1:1:5(a) and 0.2:1:10(b)

그러나 이와같이 APM세정의 혼합비율 변화가 본래의 세정 목적인 금속 오염등과 같은 웨이퍼 표면의 이물질 제거 효과에 미치는 영향을 평가하기 위하여 100ppb의 철(Fe)과 니켈(Ni)이 포함되어 있는 순수(DI water)에 30분 동안 웨이퍼를 담가 약  $10^{12} \sim 10^{13}$  atoms/cm<sup>2</sup>으로 오염시킨후 NH<sub>4</sub>OH의 혼합 비율에 따른 금속 오염 제거 능력을 확인하여 그림 6에 나타내었다. 현재 16Mbit DRAM을 진행하는 8인치 웨이퍼의 금속오염 규격은  $5 \times 10^{10}$  atoms/cm<sup>2</sup> 이하로 관리되고 있다.

그림 6에서 보는바와 같이 APM세정을 진행한 웨이퍼의 금속 오염 정도는 NH<sub>4</sub>OH의 혼합 비율에 대한 의존성을 크게 나타내지 않고 초기 웨이퍼와 같은 약  $3 \times 10^{10}$  atoms/cm<sup>2</sup> 이하로 나타나 금속 오염 제거 능력에는 문제가 없는 것으로 평가 되었다. 따라서 APM세정후 실리콘 표면 거칠기를 억제하기 위하여는 NH<sub>4</sub>OH:H<sub>2</sub>O<sub>2</sub>:H<sub>2</sub>O의 혼합 비율을 0.2:1:10으로 하면서 냉수 세정과 온수 세정의 공정 순서를 갖는 것이 효과적임을 확인 할 수 있다.

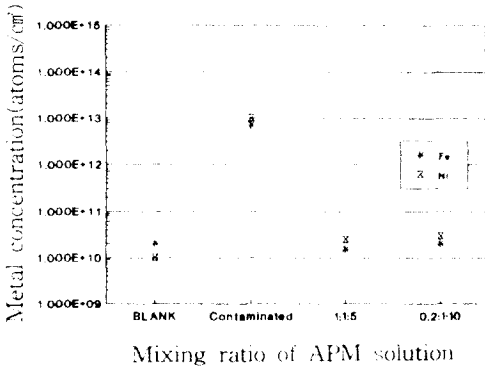


그림 6. APM 세정 혼합 비율에 따른 Fe와 Ni의 불순물 제거 효과  
 Fig. 6. Metallic impurities removal efficiency by APM cleaning having different NH<sub>4</sub>OH mixing ratios for Fe, Ni

3.2 전기적 특성

실리콘 표면의 microroughness를 유발시키는 APM세정에 대한 전기적 특성 평가의 방법으로, 세정 횟수에 따른 시료의 Si/SiO<sub>2</sub> 계면 트랩 밀도(D<sub>it</sub>) 변화를 확인하기 위해 고주파 C-V와 준정적 C-V곡선을 측정하였고 이것을 그림 7에 나타내었다.

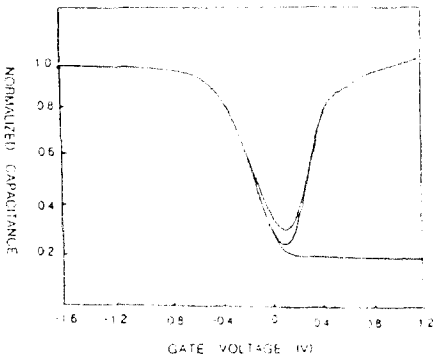


그림 7. 세정 횟수에 따른 MOS 캐패시터의 준정적 C-V 곡선  
 Fig. 7. Quasi-static C-V curves of MOS capacitor as a parameter of APM cleaning times

그림 7에서와 같이 준정적 C-V곡선의 최소용량은 APM 재세정을 실시한 것이 정상시료 보다 높게 나타나있다. 이 곡선으로부터 계면 트랩 밀도 D<sub>it</sub>는 준정적 C-V곡선으로부터 최소 캐패시턴스인 C<sub>it</sub>를 구하고, 고주파 C-V로부터 최소값인 C<sub>it</sub>를 구하여 식 (1)로부터 계산하였다<sup>8)</sup>.

$$D_{it} = \frac{C_{ox}}{q} \left( \frac{C_{lf}/C_{ox}}{1-C_{lf}/C_{ox}} - \frac{C_{hf}/C_{ox}}{1-C_{hf}/C_{ox}} \right) \quad (1)$$

식(1)에 의하여 APM세정에 따른 Si/SiO<sub>2</sub> 계면 트랩 밀도를 계산한 결과는 그림 8과 같다. 그림 8에서와 같이 APM 세정을 1회 실시한 정상 시료의 D<sub>it</sub>는 0.89×10<sup>11</sup>/cm<sup>2</sup>-eV이고, 재세정을 실시한 시료의 D<sub>it</sub>는 1.98×10<sup>11</sup>/cm<sup>2</sup>-eV로 APM 재세정을 실시함으로써 약 2배의 계면트랩 밀도가 증가한 것으로 나타났다. 이는 MDC사의 model CSM/2-7200을 이용하여 D<sub>it</sub>를 측정된 결과와 대체로 일치함을 볼 수 있다.

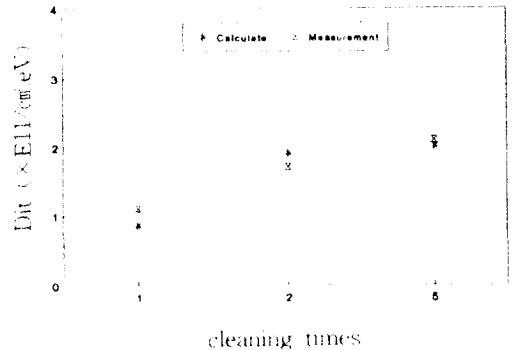


그림 8. APM 세정에 따른 Si/SiO<sub>2</sub> 계면 트랩 밀도  
 Fig. 8. Si/SiO<sub>2</sub> interface trap density as a function of APM cleaning times

이와같은 세정횟수에 따른 Si/SiO<sub>2</sub> 계면 트랩 밀도의 변화는 MOS 트랜지스터 소자에서 문턱전압(threshold voltage)의 변동과 캐리어 이동도의 감소등과 같은 불안정성이 있는 것으로 알려져 있다<sup>8-9)</sup>. 또한 APM세정에 따른 계면 트랩 밀도의 증가는 앞서 논의된 표면 거칠기의 증가외도 일치하는 것으로서 실리콘 표면의 거칠기가 게이트 산화막을 열화 시킴을 알 수 있다<sup>2-3)</sup>

그리고 이들 시료에 대한 I-V 특성 곡선을 측정하

여 APM세정에 따른 절연파괴 특성을 조사하였는데 이들 특성 곡선은 그림 9와 같다.

구한 절연파괴 전기장은 6~14[MV/cm]의 범위에 있다. 50개 이상의 시료에서 이러한 측정과정을 반복하여 절연파괴 전기장에 따른 파괴 횟수를 구한 결과는 그림 10과 같다.

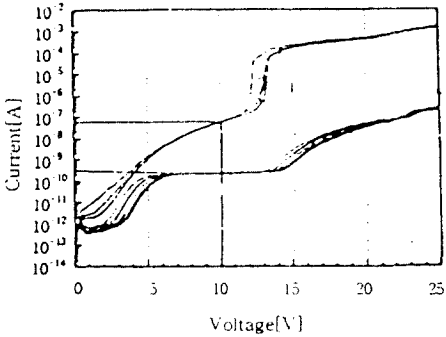


그림 9. APM 세정 횟수에 따른 I-V 곡선  
Fig. 9. I-V curves as a parameter of APM cleaning times

그림 9에서 보는바와 같이 APM 세정을 1회 실시한 정상 시료의 경우는 인가전압이 5V보다 높아지면 전압에 따라 게이트 전류가 안정적으로 유지되고, 약 13~15V 범위에서 절연파괴가 일어난다. 그러나 APM 재세정을 실시한 시료의 경우는 게이트 전류 ( $I_g$ )가 게이트 전압 10V에서 정상 시료보다 약 100배 정도의 leak성으로 흐르는 것을 볼 수 있고, 이것은 웨이퍼의 flatzone 가장자리에서 특히 심하게 나타났다. 이는 APM재세정에 따른 실리콘 표면의 거칠기 증대 결과와 연계하여 고려할 때 게이트 산화막 증착 전세정에 기인된 표면 거칠기가 게이트 산화막의 열화를 유발하고 이것이 누설전류의 증대와 절연파괴 전압의 지하 문제를 발생시키는 것으로 추정할 수 있다. 웨이퍼의 가장자리에서 누설전류의 불량이 심하게 나타나는 것은 APM세정시 웨이퍼의 flatzone이 아래로 향하기 때문에 APM 세정 bath에서 순수세정 bath로 이동시까지 용액이 웨이퍼의 가장자리에 오래 머무르기 때문인 것으로 사료된다.

또한 APM재세정에 따른 게이트 산화막의 절연파괴 특성을 조사하기 위하여 voltage ramp법을 이용, 시료에 일정한 비율(1V/sec)로 전압을 올리면서 절연파괴 전압을 측정하였다. 막이 구조적으로 완전히 파괴된 지점의 전압을 절연 파괴 전압으로 정했고, 이 절연 파괴 전압을 산화막의 두께로 나누어서

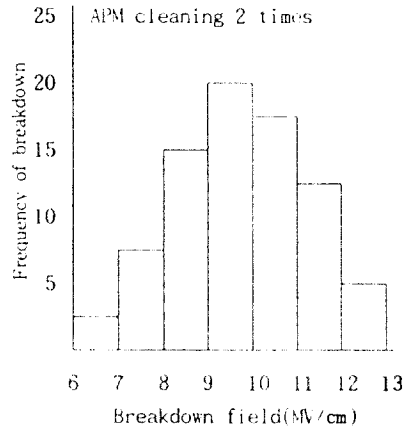
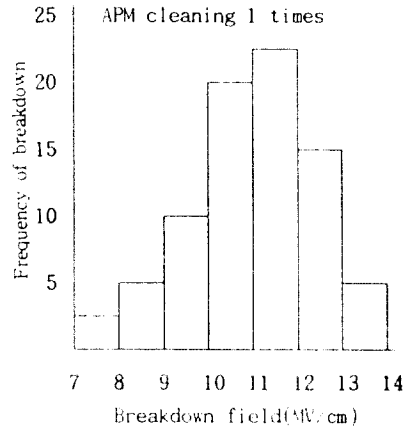


그림 10. APM 세정에 따른 절연파괴 전기장  
Fig. 10. Breakdown histograms as a function of APM cleaning times

그림 10에서 보는바와 같이 APM재세정을 실시한 시료의 경우 전기장의 분포가 넓어지고 절연파

피 전기장이 낮아짐을 볼 수 있는데 이것도 실리콘 표면의 microroughness에 기인된 게이트 산화막의 국부적인 결함때문인 것으로 볼 수 있다<sup>2-3)</sup>.

이와같이 APM세정이 실리콘 표면 거칠기를 유발시키고 이에 기인한 누설 전류의 증대가 초래되어 이 누설전류가 수율에 미치는 영향을 분석하기 위하여 16Mbit DRAM 공정중 게이트 산화 전세정을 정상적으로 진행한것과 재세정을 실시한 것으로 구분하여 16Mbit DRAM 실제품에 적용하였으며, 이들 소자에 대한 수율과 불량율을 분석하여 그림 11에 나타내었다. 그림 11에서 불량모드 Y가 누설전류에 의한 불량율을 나타낸다.

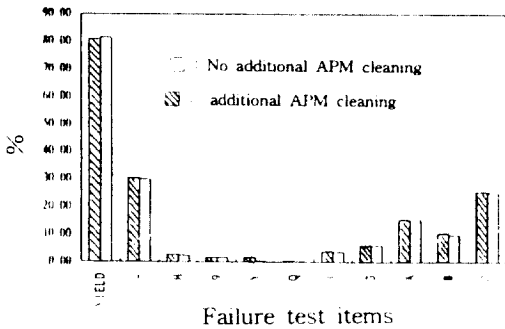


그림 11. APM 추가세정에 따른 불량과 수율의 관계

Fig. 11. Relation of failure mode and yield for additional APM cleaning

```

Y###/###3C/C/
A//Y3###JJC#
Y/Y//3#/3/## #3/Y//
SY##/C//###/###A/
CBY#//A###S3//9B###C#Y/S
AA#93#A###B//##9A/B//CY
YC99###/###H###/###AC#//AA
B9C#//B###/###H//##3/C#//9Y
#Y/B/C#C//###CA//##CA9
Y#Q##Y//C/B#C/#C//##AY
Y#Y//###/A//HS###CA//B#
CYJ3//###AC#//BA//C#//YY
/###/###Y//BA A//###
#J//###/B/ACHJ//Y
Y//Y//C#Y#Y
C3//Y###Y//Y
    
```

그림 12. 웨이퍼내 누설전류에 의한 불량칩 분포  
Fig. 12. Distribution of failure chip due to leakage current in the wafer

그림 11에서와 같이 정상적인 APM세정과 추가 APM세정을 실시한 소자의 불량 분석에서 누설전류에 의한 불량율이 정상적인 APM 세정의 경우 총불량율의 1%미만을 차지하는 것으로 나타났으나, APM 재세정을 실시한 웨이퍼의 경우에는 누설전류에 의한 불량률이 3%까지 넓게 분포되어 나타났고, 나머지 불량 유형에서는 큰 유의차를 나타내지 않았다. 16M DRAM급에서 게이트 전압 10V일 때 누설전류의 규격은 대략  $8 \times 10^{-11} \sim 5 \times 10^{-9}$  [A]로 관리되고 있다. 또한 웨이퍼에서 누설전류에 의한 불량칩의 분포는 그림 12와 같으며 불량모드 Y가 누설전류에 의한 불량을 나타낸다.

그림 12에서 보는바와 같이 누설전류에 의한 불량 분포가 대략 웨이퍼의 flatzone을 중심으로 웨이퍼의 가장자리에 위치함을 볼 수 있는데 이는 앞의 캐패시터 제작에서 나타났던 현상과도 일치하는 것으로 이는 flatzone 부분이 아래로 향하여져 있고, 가장자리의 경우는 칩이 형성되지 않은 부분과의 단차에 의하여 세정후 순수세정 수조로 이동시 잔여 세정용액이 오래 머무른것에 기인된 영향으로 해석된다. 이와같은 누설전류에 의한 불량율의 증가는 재세정을 실시한 8인치 웨이퍼 50장의 평균으로 약 0.8%의 수율 저하가 발생된 것으로 확인되었다. 따라서 가장자리 부분의 누설전류 불량을 최소화하기 위해서는 웨이퍼의 edge칩 주변에 dummy칩의 형성이 필요할 것으로 사료된다. 또한 웨이퍼 life time의 차이가 세정에 의한 웨이퍼 표면 변화에 밀접한 관계가 있는 것으로 알려져 있어<sup>4)</sup> 16Mbit DRAM 생산 투입시 웨이퍼 material 자체의 life time과 게이트 산화 전세정에 의한 누설전류 불량과의 관계를 조사하여 그림 13에 나타내었다.

그림에서 보는바와 같이 정상 APM세정에서는 life time에 따른 누설전류 불량률의 유의차가 크게 나타나지 않았으나, 재세정을 실시함으로써 동일 life time이라 하더라도 누설전류에 의한 불량율이 정상 세정에 비해 상대적으로 높게 나타나고 있다. 특히 100 $\mu$ s 대역의 낮은 life time 웨이퍼의 경우에는 APM 재세정에 의한 누설전류의 불량율이 현저히 높게 나타나고 있다. 그러나 재세정을 실시하지 않은 경우 낮은 life time이라도 누설전류에 의한 불량을에서 큰 유의차를 보이지 않는 것으로 보아 100 $\mu$ s 대역의 낮은 life time이 누설전류 불량 유발에 직접적인 영향을 주지는 않았다고 판단되나, 금속오염과 관련된 life time이 세정과 관련하여 게이트 산화막질이나 디바이스 특성 불량에 영향을 준다는 것을<sup>4)</sup> 최적화된 세정조건이라도 재세정을 통하여 확인 할 수

있으며, 이는 재세정이 낮은 life time과 더불어 단위 공정의 여유를 열화 시킨 것으로 사료된다. 따라서 반도체 소자의 초미세화 및 게이트 산화막의 박막화 경향에 따른 세정기술의 영향이 불량 유발의 원인이 될 수 있으므로 세정공정 적용전에 충분한 평가가 필요함을 알 수 있다.

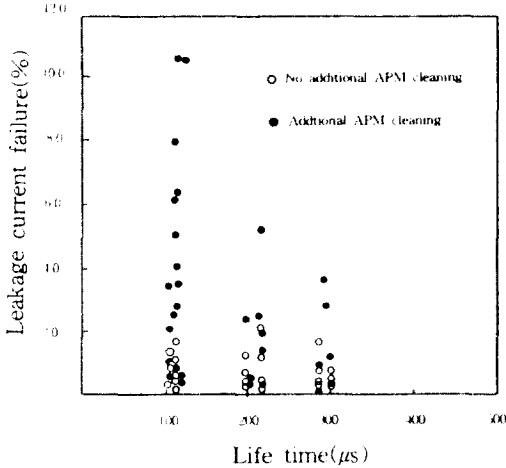


그림 13. 누설전류 불량과 life time의 관계  
Fig. 13. Relation of leakage current failure and wafer life time

#### 4. 결 론

반도체 소자의 제작에 있어 많은 부분을 차지하는 웨이퍼의 세정기술중 APM 세정이 실리콘 표면에 미치는 영향과 이에 기인된 소자의 전기적 특성을 조사하여 다음과 같은 결론을 얻었다.

1. 실리콘 웨이퍼 표면의 microroughness는 APM 세정 빈도 및 NH<sub>4</sub>OH의 혼합 비율에 따라 변화되며, 순수 세정 방법의 의존성이 있음을 확인하였다.
2. Microroughness를 최소화하는 APM세정 방법은 NH<sub>4</sub>OH/H<sub>2</sub>O<sub>2</sub>/H<sub>2</sub>O의 혼합 비율을 0.2:1:10으로 하면서 냉수 세정과 온수세정의 공정 순서를 갖는 것이 효과적임을 알 수 있다.
3. APM세정에 따른 표면 microroughness의 증가가 소자의 전기적 특성에 미치는 영향을 조사한 결과 실리콘 표면의 거칠기와 Si/SiO<sub>2</sub> 계면 트랩 밀도는 비례하여 증가함을 확인하였

고, 이는 MOS 트랜지스터의 동작에 대한 문턱 전압의 변동과같은 소자의 신뢰성에 악영향을 줄 수 있는 것으로 해석할 수 있다.

4. 또한 APM 재세정에 따른 표면 거칠기의 증가는 게이트 산화막의 열화현상으로 게이트 전압 10V에서 정상 시료 보다 약 100배의 leak성 전류가 나타났으며, 절연과피 전기장도 낮아짐을 알 수 있고 이것을 16Mbit DRAM의 실제 제품에 적용하였을 때 누설전류에 대한 불량률의 증가로 약 0.8%의 수율저하를 초래하였다.
5. 100μs 내역의 낮은 life time을 갖는 웨이퍼의 경우 재세정을 실시함으로써 누설전류에 의한 불량률이 현저히 증가함을 볼 수 있는데 이는 재세정이 낮은 life time과 더불어 웨이퍼 표면 변화를 유발시켜 게이트 산화막 성장의 단위공정 여유를 열화시킨 것으로 해석할 수 있다. 따라서 submicron ULSI화의 진행을 위해서는 세정기술과 관련된 microroughness 및 소자제조 공정중 발생하는 여러 형태의 이물질 제거하기 위하여 진행되어지는 세세정의 영향을 무시할 수 없으며 세정에 따른 충분한 평가는 반도체 소자의 신뢰성과 안정성 확보 측면에서 반드시 선행되어야 할 것으로 사료된다.

#### 감사의 글

본 연구는 1998년도 여수대학교 교내 학술연구비 지원에 의해 수행되었으며 이에 감사드립니다.

#### 참 고 문 헌

1. M. Kimura, H. Morita and T. Yasue "Surface microroughness induced electrical instability and dielectric breakdown phenomena in Si/SiO<sub>2</sub>," SDM 92-28, p. 17, 1992.
2. M. Miyashita, M. Itano et al., "Dependence of thin oxide films quality on surface microroughness," IEEE Trans. on electron devices, vol. 39, No. 3, p. 537, 1992.
3. I. C. Chen, S. E. Holland and C. Hu "Electrical breakdown in thin gate and tunneling oxide," IEEE Trans. on electron devices, vol. 32, No. 2, p. 413, 1985.
4. J. Ruzyllo, R. E. Novak "Semiconductor cleaning technology," Electro chemical soci-

- ety, pv90-9, 1989.
5. T. Abe, E. F. Siegmeyer and A. J. Pidduck "Microroughness measurements on polished silicon wafers." Jpn. J Appl. phys, vol. 31, p. 721, 1992.
  6. L. Faraone "Thermal SiO<sub>2</sub> films on poly crystalline silicon electrical conduction and breakdown," IEEE trans. on electron devices, vol. 33, No. 11, 1986.
  7. J. A. Appels et al., "Local oxidation of silicon and its application in semiconductor technology," Philips research reports, vol. 25, p. 118, 1970.
  8. R. Castagne and A. Vapaillo "Description of the SiO<sub>2</sub>-Si interface properties by means of very low frequency MOS capacitance measurements." surface science, 28, p. 557, 1971.
  9. D. K. Schroder "Semiconductor materials and device characterization," John wiley & sons, ch. 6, 1990.