

고속의 논리소자를 위한 ISL의 설계

12-6-1

Design of ISL (Integrated Schottky Logic) for high speed logic device

장창덕*, 이용재*

(Chang dug Jang*, Yong jae Lee*)

Abstract

In order to remove minority carriers of the base region at signal changing in conventional bipolar logic circuit, we made transistor which is composed of NPN transistor, PNP transistor which is merged in base, epi layer and substrate by shortning buried layer under the base region. Also the ring-oscillator for measuring transmission time-delay per gate was designed as well. In the result, we got amplitude of logic voltage of 200mV, the minimum of transmission delay-time of 211nS, and the minimum of transmission delay-time per gate of 7.26nS in AC characteristic output of ring-oscillator connected gate.

Key Words(중요용어) : merged(병합), ring-oscillator(링-오실레이터)

1. 서 론

바이폴라 소자는 최근의 미세패턴 형성 기술과 이온 주입 기술의 진보로 고집적, 고속 바이폴라 논리소자의 실현이 가능해졌다. 그래서 여러 형태의 바이폴라 고집적화 논리 회로가 설계되었다. 이러한 고집적화 바이폴라 논리회로로서 선형 바이폴라 소자, PL, LS-TTL, ECL 등이 있으며, 그중에 PL은 고집적도와 저소비전력의 장점은 가지고 있으나 많은 응용에서 바람직스러운 속도를 얻을 수 없고, LS-TTL은 좋은 속도특성을 갖고 있지만 너무 많은 전력소비와 넓은 칩 면적을 차지한다. 이 두회로를 동시에 만족시키기 위한 새로운 논리회로인 ISL이 제안되었다. 또한 기존의 많은 바이폴라 논리소자들은 수직 npn 트랜지스터의 깊은 포화상태에 의한 속도 지연의 문제가 발생하였으며, 이러한 포화상태를 방지하여 개선된 속도 특성을 얻기 위하여 ISL(Integrated Schottky Logic)이 제안되었다¹⁾.

ISL논리소자는 기존의 SCTL(Schottky Coupled Transistor Logic)의 수직 npn트랜지스터가 깊은 포화상태로 되는 것을 기판과 병합 pnp 트랜지스터를 형성하여 npn트랜지스터의 베이스 소수캐리어를 빨리 제거하므로 깊은 포화상태를 방지하는 역할을 하여 개선된 속도 특성을 낸다. 또한 고속을 위한 얇은 접합 형성시 알루미늄의 스파이크 현상이 야기되며 이것을 방지하기 위하여 백금 실리사이드를 이용하였고, 이로 인하여 낮아진 논리전압의 진폭을 증가시켜야 하므로 백금 실리사이드 쇼트키 다이오드의 이온주입을 하여 장벽높이를 조절하여 포화전류를 크게 하므로 임계전압을 낮추어²⁾ 전체 논리전압 진폭을 증가시켰다.

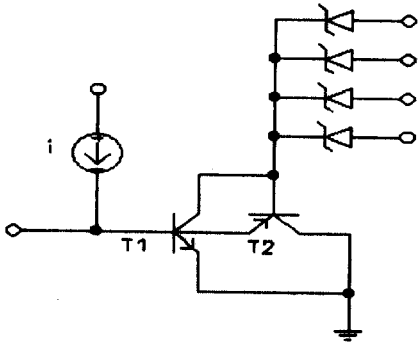
본 연구는 기존의 바이폴라 논리 게이트에 비해서 고집적 고속 특성을 갖는 새로운 ISL을 제작하고자 한다. 이온주입 방법을 사용하여 정확한 불순물의 조정과 접합깊이가 얇은 접합을 형성하고, 고집적화를 위하여 산화막 격리방법으로 알려진 SWAMI(Side Wall Masked Isolation) 공정을 이용하며, 출력단에 백금 실리사이드의 정류성 접합을 형성하여 전체적인 논리전압 진폭을 증가시켰다. 제작은 2 마이크로미터의 최소 설계규약을 이용하였으며, 게이트의 크기는 20 μ m \times 57.5 μ m, 에미터는 5 μ m \times 7 μ m 크기이다. AC특성을 측정하기 위하여 29단 게이트의 링발진기와 출력 버퍼단을 연결시켰다. 소자의 게이트

* : 동의대학교 전자공학과
(부산광역시 진구 가야동 산24, Tel : 051-890-1938, Fax : 051-890-1674 E-mail : hyomin.donguei.ac.kr)
1999년 2월 20일 접수, 1999년 5월 18일 심사완료

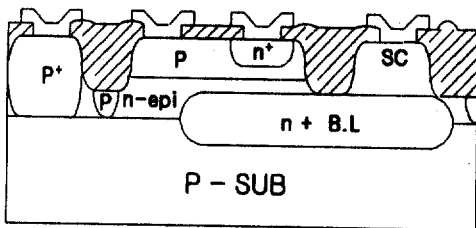
트랜지스터의 DC특성으로 npn 트랜지스터, 병합 pnp트랜지스터의 Gummel - plot, 전류이득, 쇼트키 다이오드의 포화전류이며 AC 특성을 측정하기 위하여 링-발진기의 출력 파형으로 논리진폭 및 최소 전달 지연시간을 측정하고자 한다.

2. 구조 및 동작원리

기존의 SCTL의 구조에서 외인성 베이스 부분의 매몰층을 줄이면, pnp 트랜지스터의 베이스와 에피층과 기판사이에 각각 에미터, 베이스, 콜렉터의 병합 pnp 트랜지스터가 형성되는데 이 구조가 ISL이다⁴⁾.



a)



b)

그림 1. ISL의 a) 회로도 b) 단면도
Fig. 1. a) Circuit b) Cross Sectional View of ISL

그림 1의 a)는 ISL게이트의 회로도이며 b)는 단면도이다. 여기서 npn트랜지스터(T1)의 베이스-에미

터가 동작을 할 때 npn트랜지스터(T1)는 포화가 되긴 하지만 깊고 오래 지속되는 포화 상태가 되지 않는 데 이는 npn 트랜지스터의 베이스-에미터가 동작을 할 때 입력 전류의 대부분은 npn 트랜지스터의 콜렉터 전위가 포화로 낮아져서 베이스-콜렉터 접합이 순방향으로 인가되자마자 병합 pnp 트랜지스터(T2)에 의해서 접지상태로 입력 전류가 흘러간다.

그림 2는 제작된 ISL의 평면사진을 나타낸다.



그림 2. ISL의 평면도 사진
Fig. 2. Top view photograph of ISL

3. 게이트의 제작

소자 제작을 위해 기판은 <100>, 비저항이 6~9 [$\Omega\text{-cm}$], p(보론)형 실리콘 웨이퍼를 사용하였고, 에피층은 비저항 0.58 [$\Omega\text{-cm}$] n(인)형의 2 μm 얇은 층을 성장시켰다. 논리게이트의 AC특성을 위해서 게이트의 출력을 다음 게이트의 입력에 직렬로 연결시킨 29단의 링 발진기를 제작하였다. 소자 제작의 전반적인 공정 흐름은 그림 3과 같이 진행하였다.

주요공정은 바이플라 공정에 의한 산화막 격리 공정이며, 먼저 초기세척 및 필드 산화막을 형성하고, 매몰층 형성을 위하여 비소를 이온 주입 공정을 행한 후 어닐링을 650 $^{\circ}\text{C}$ ~850 $^{\circ}\text{C}$ 에서 하고 침투공정은 900 $^{\circ}\text{C}$ ~1230 $^{\circ}\text{C}$ 에서 행한다. 화학기상증착법으로 두께 2 μm , 비저항이 0.58 $\Omega\text{-cm}$ 인 n형 에피택설층을 형성시켰다. 다음은 기존의 pn접합에 의한 격리 방법은 소자에서 격리 부분이 차지하는 면적이 넓어서 고집적 바이플라로서의 한계를 나타내므로 산화막으로 격리를 하는 SWAMI II 공정을 거친다. 이것의 장점은 표면의 평탄성이 좋으며, 활성영역의 가장자리 부분에 대한 결함도 줄어들며, 또한 산화막의 새부리 모양의 폭을 줄여 주기 때문에 고집적화가 가능하다. 베이스 영역 형성을 위하여 625 $^{\circ}\text{C}$ 에서 두께가 500 \AA 되게 이온주입을 하고 저항형성을 위한 이온을 주입한다. 비슷한 방법으로, 625 $^{\circ}\text{C}$ 에서 700 \AA 되게

에미터 영역을 형성하고 어닐링을 한다. 마지막으로 논리진폭 개선 및 누설전류에 대한 신뢰성을 위하여 금속 증착전에 백금실리사이드 쇼트키 다이오드를 형성한다. 강박 높이를 조절을 위하여 이온 주입원으로 인을 주입하고, 불순물 활성화를 위하여 925°C에서 30분간 질소 분위기에서 어닐링하고, 실리콘 표면에 백금을 증착시킨후 열처리를 하여 백금 실리사이드를 형성시켰다. 전극 형성은 백금 실리사이드와 알루미늄의 금속학적 원할한 접착을 위해 Ti/W(Ti : 10% target)를 증착시킨 후 순수 알루미늄을 증착시켜 전극을 형성시켰다.

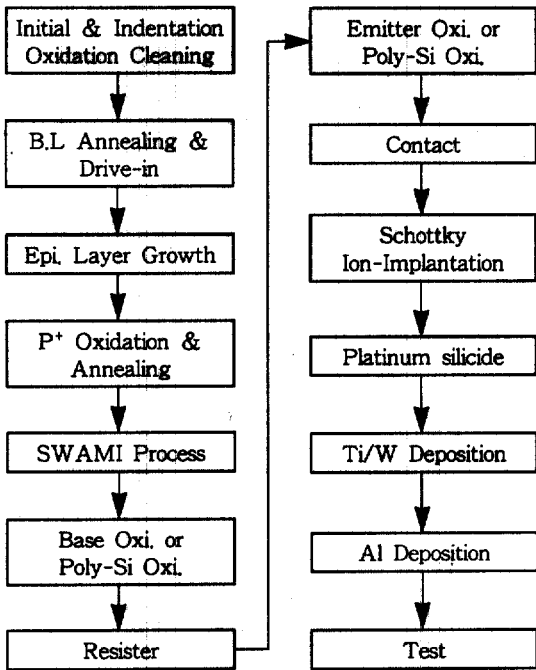


그림 3. ISL 공정 흐름
Fig. 3. ISL Process Sequence

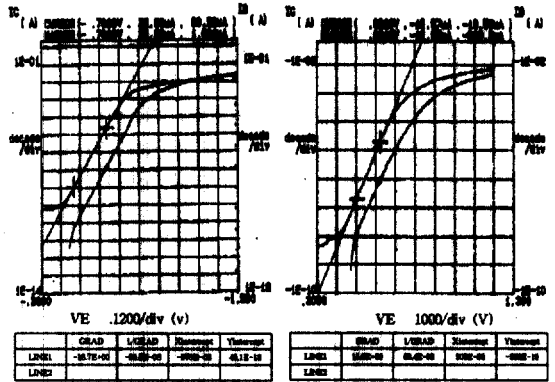
4. 측정 및 결과 고찰

4.1 트랜지스터의 DC특성

게이트에서 npn 트랜지스터와 병합 pnp 트랜지스터의 전류-전압 특성 결과가 그림 4이다.

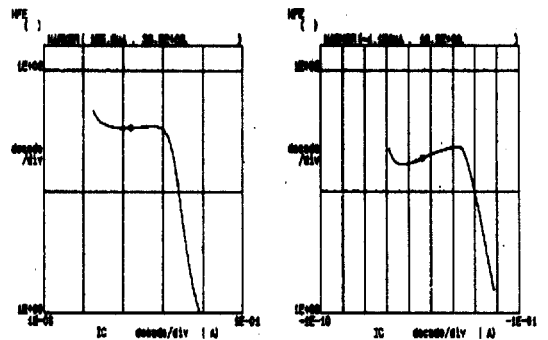
여기서 에미터의 면적이 기존의 접합넓이에 비해서 상당히 작기 때문에 에미터에서 전성 베이스로 유입

되는 캐리어와 가장자리 부분으로 유입되는 캐리어가 상대적으로 많기 때문에 이 많은 양은 결국 베이스의 많은 전류를 형성하며, 또 콜렉터의 재결합이 거의 안으로 줄었기 때문에 콜렉터 전류가 적게 형성되고 병합 pnp 트랜지스터는 베이스폭이 크고 농도 분포에서 에미터의 농도와 베이스의 농도 차이가 적기 때



a) npn Tr. b) pnp Tr.

그림 4. 트랜지스터의 Gummel 플롯 측정 a) npnTr. b) pnp Tr.
Fig. 4. Measured Gummel plot of Transistor a) npn Tr. b) pnp Tr.



a) npn Tr. b) pnp Tr.

그림 5. 트랜지스터의 h_{fe}-I_C 측정 a) npn Tr. b) pnp Tr.
Fig. 5. Measured h_{fe}-I_C of Transistor a) npn Tr. b) pnp Tr.

고속의 논리소자를 위한 ISL의 설계.....장창덕, 이용재

문에 베이스 전류가 크고 콜렉터의 전류가 마찬가지로 적게 나타남을 보인다. 이러한 전류 형성에 의한 전류이득값은 그림 5에 보인다. 베이스에 주입되는 소수캐리어 밀도가 베이스 불순물 농도와 같거나 그 이상이 되는 고전류 동작에서는 소수캐리어 주입에 따라 베이스 영역의 다수캐리어 밀도도 증가하여 외관상 베이스 불순물 농도가 증가한것과 같은 효과를 갖게 된다. 그 때문에 에미터 주입효율이 감소되어 h_{fe} 가 감소된다.

4.2 쇼트키 다이오드의 포화전류

논리 전압의 진폭은 npn트랜지스터의 에미터-베이스 동작상태의 전압에서 포화상태의 콜렉터-에미터 전압과 쇼트키 다이오드의 순방향 임계전압을 더한 크기와의 차이이다. 즉, 병합 pnp트랜지스터와 쇼트키 다이오드의 포화전류에 의해서 결정된다. 논리 진폭을 증가시키기 위해서는 pnp트랜지스터의 포화전류를 줄이거나 출력단의 쇼트키 다이오드의 포화전류를 증가시키는 방법이 있으나 앞의 방법은 공정에서 npn트랜지스터의 전기적 특성을 크게 변화시킬 수 있으므로 뒤의 방법을 사용하여 쇼트키 접촉부의 불순물량을 주입시키므로 포화전류를 증가시킬 수 있다. 불순물량을 비주입, 2×10^{12} , 5×10^{12} , 8×10^{12} , 1.2×10^{13} atoms/cm² 변화에 따른 포화전류와의 관계가 그림 6이다.

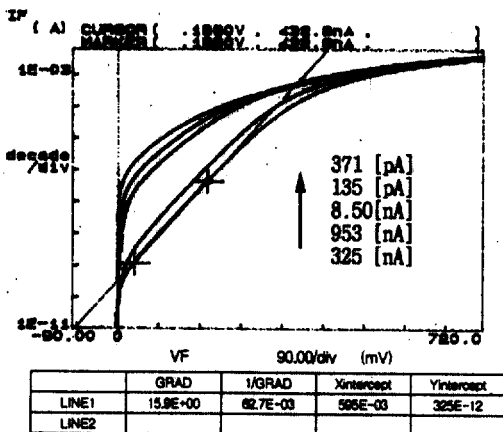


그림 6. 농도 변화에 따른 포화전류 측정
Fig. 6. Measurement of saturation current by concentration variations

4.3 트랜지스터의 AC특성

게이트의 AC특성을 위해서 게이트의 출력을 다음 게이트의 입력에 직렬로 연결시킨 29단의 게이트 연결 결과 발진파형의 출력을 위한 버퍼단을 연결한 링 발진기의 회로도가 그림 7이다.

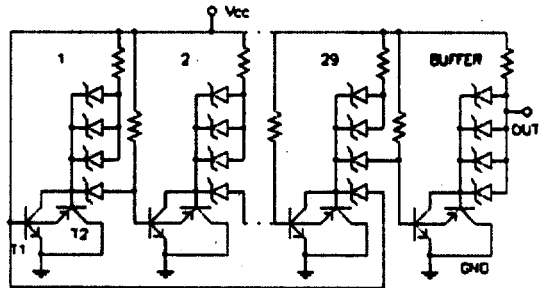


그림 7. ISL의 링 오실레이터 회로도
Fig. 7. Circuit view of ISL Ring Oscillator

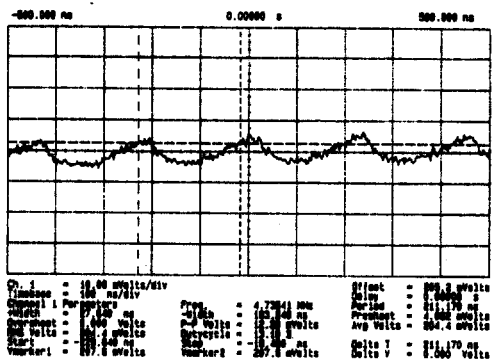


그림 8. 29단 링 발진기의 발진파형
Fig. 8. Oscillation Waveform of 29-stage Ring Oscillator

링 발진기의 출력파형은 개별 게이트 트랜지스터의 전달 지연 시간이 출력단에 전체 전달 지연시간의 파형으로 나오며 그림 8에 표시하였다. 출력파형은 정현파로 논리전압의 진폭은 200mV, 최소 전달 지연 시간은 21ns이고, 게이트당 최소 전달 지연 시간은 7.26ns이다. 기존의 고집적 바이폴라 논리회로들의 비교값을 표 1에 나타내었다.

표 1. 각논리 게이트의 비교
Table 1. Comparison for Logic Gates

논리회로 \ 파라미터	LS-TTL	I ² L	STL	ECL
전달지연시간(ns)	3-10	10-20	0.5-2	0.3-2
논리전폭(mV)	4000	450	200	800

5. 결 론

이상의 결과에서 얇은 접합과 쇼트키 다이오드의 불순물 주입을 통한 고집적, 고속의 ISL 트랜지스터를 설계하였다. 이온주입 방법을 통한 정확한 불순물 조정과 접합깊이가 가능하였고, 진성 베이스 부분의 매몰층을 줄여서 npn 트랜지스터의 베이스와 에피층과 기판사이에 병합 pnp 트랜지스터를 생성하여 npn 트랜지스터의 베이스 소수캐리어를 빨리 제거함으로써 npn 트랜지스터가 깊은 포화상태로 되는 현상을 방지하여 최소 전달 지연시간을 211ns로 게이트당 최소 전달지연 시간을 7.26ns로 상당히 감소시켰다. 출력단의 쇼트키 다이오드의 이온주입을 통한 논리전폭은 200mV정도로 개선되었다. 각 개별 트랜지스터의 전류-전압 특성에서 에미터의 면적이 기존의 접합넓이에 비해서 상당히 적기 때문에 에미터에서 진성베이스로 유입되는 캐리어와 가장자리 부분으로 유입되는 캐리어가 상대적으로 많아 지게 되며, 이 양은 결국 베이스의 많은 전류형성에 주된 영향을 미치게 되고, 또 콜렉터의 매몰층이 거의 반으로 줄었기 때문에 콜렉터 전류가 적게 형성되어 이득이 낮

아진다. 병합 pnp 트랜지스터는 베이스폭이 크고 농도 분포에서 에미터의 농도와 베이스의 농도 차이가 적기 때문에 전류 이득은 낮아졌다.

참 고 문 헌

1. J. Lohstroh, "ISL, A Fast and Dense Low-Power Logic, Made in a Standard Schottky Process", IEEE J. Solid-state Circuits, Vol. sc-14, pp. 585-590, 1979.
2. R. Tyagi, T. P. Chow, "Schottky Barrier Modification on InP Using Shallow Implant Layer", Electronic Materials, Vol. 20, No. 12, pp. 221-227, 1993.
3. C. D. Jang, J. S. Lee, K. W. Lee, and Y. J. Lee, "Electron Tunneling Characteristics of PtSi-nSi Junctions According to Temperature Variations", Proceedings the Spring Symposium of Korean Institute of Electrical and Electronic Material Engineers, pp. 87-91, 1998.
4. Y. J. Lee "A Study on the Intergrated Schottky Logic (ISL) of Shallow Junction Using Oxide Isolation", Ph. D. Dissertation Yonsei Univ., pp. 8-9, 1986.
5. J. Crofton, P. G. McMullin, J. R. Williams and M. J. Bozack, "High-Temperature Ohmic Contact to N-type 6H-SiC Using Nickel", J. Appl Phys., Vol. 77, p. 1317, 1995.