

전계 방출 소자용 실리콘 팁에 대한 금속 박막(Ti, Nb) 코팅 및 실리사이드화

12-4-1

Metal(Ti, Nb) Coating and Silicidization of Si-tip for Field Emitter Applications

주병권*, 박재석*, 윤재형**, 김경욱**, 강문식*, 백경갑***, 장 진**, 차균현****, 오명환*

(B. K. Ju*, J. S. Park*, J. H. Yoon**, K. W. Kim**, M. S. Kang*, K. K. Paek***, J. Jang**, K. H. Tchah****, M. H. Oh*)

Abstract

Ti and Nb metal thin films were coated on the Si micro-tip arrays for improvement of the field emission performance. The Si micro-tip arrays have The metal-coated Si micro-tip arrays were annealed in vacuum environment. Their material and electrical properties were analyzed by using SEM, AES, XRD and field emission tester. The work-function of Si micro-tip arrays was reduced by metal-coating/silicidization. Therefor the turn-on voltages of these devices were decreased, and the current densities were increased.

Key Words(중요용어) : Si-tip array(실리콘 팁), Ti and Nb coating(티타늄 및 니오비움 코팅), silicidization(실리사이드화), field emission performance(전계 방출 성능)

1. 서 론

실리콘 팁 전계 방출 소자(Si-tip FEA : Field Emitter Array)는 팁의 모양 조절이 용이하고 VLSI 기술과 호환성이 있다는 등의 장점으로 인해 최근에 이르기까지 꾸준히 연구되고 있다. 그러나 전류 방출의 요동이 커서 안정적인 방출 전류를 얻기가 힘들다. 또한 아노드, 게이트 전극과의 아크나 이온들과의 충돌(sputtering 효과)에 의한 팁의 손상이 심하며, 팁 표면의 자연 산화막에 기인한 잡음 및 "switch-on" 특성 등이 장애가 되고 있는데, 이의 해결을 위해 Si-tip 상에 DLC(Diamond-like Carbon)를 비롯하여, Cr, Au, Ti, Ta, W, Pt, TaN, ZrC, LaB₆ 등과 같

이 강도가 높고 안정성이 우수하며 일함수가 낮은 재료들을 코팅하여 왔다[1~6]. 또한 코팅된 금속과 Si를 반응시켜 silicide를 형성하는 시도도 찾아볼 수 있는데, 이를 통하여 silicide만이 지닌 고유 특성 즉, 금속 코팅의 경우에 비해 상대적으로 우수한 계면 상태, VLSI의 게이트 전극 수준에 이르는 높은 전도도와 전기-열-기계적 안정성 등을 취할 수 있다[4, 7].

본 연구에서는 Si micro-tip array들을 제작하고 이 위에 refractory metal인 Ti(Titanium)과 Nb(Niobium)을 코팅하였으며, 아울러 진공 내에서 anneal 공정을 행하여 silicide를 형성하고자 하였다. TiSi₂의 경우 refractory metal silicide 류에서 저항이 가장 낮고 자연 산화막이 거의 형성되지 않는다는 특징이 있으며, Nb의 경우 일함수가 낮고 Si와 반응하지 않은 금속층의 제거가 용이하며 실리콘 산화막이 있는 부분에는 silicide 형성이 일어나지 않는 선택성(selectivity)있다는 특징이 있다. 이상을 토대로 하여 Ti 및 Nb이 코팅된 Si micro-tip array들에 대해 재료적 특성 및 전계 방출 특성을 조사하여 전계 방출 소자로서의 응용도를 평가하여 보았다.

* : 한국과학기술연구원
(서울시 성북구 하월곡동 39-1, Tel : 02-958-5775,
Fax : 02-958-5692 E-mail : jbk@kist.re.kr)

** : 경희대학교 물리학과
*** : 대전대학교 전자공학과
**** : 고려대학교

2. Si micro-tip array의 제조

Si tip을 제조하기 위해 사용된 실리콘 기판은 n^{++} 형($\rho < 0.005 \Omega \text{cm}$)으로 (100) 결정성을 지니고 있다. 이의 제조 공정을 그림 1을 이용하여 설명하면 다음과 같다. 실리콘 기판 상에 300nm 두께의 열 산화막을 성장시키고, 사진 식각 공정을 거쳐 지름 $1.5\mu\text{m}$ 의 원형 산화막 식각 마스크를 형성한다. 다음으로 Si 기판을 건식 식각에 의해 가공한 뒤, oxidation sharpening 후 산화막 습식 식각 과정을 거쳐 Si-tip array를 완성한다. 이때 단위 소자내의 Si tip의 수는 총 32400개($6 \times 6 \times 900$ 개)이며 tip의 평균 높이는 약 $0.5\mu\text{m}$ 로 측정되었다.

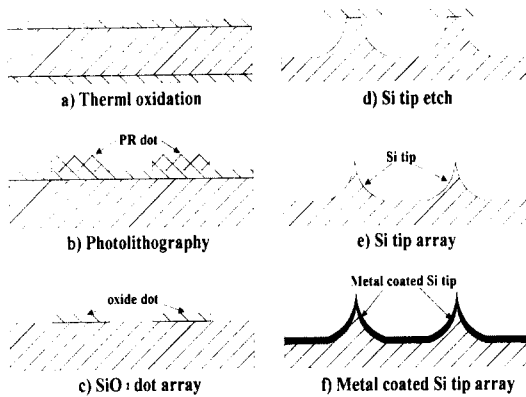


그림 1. Si micro-tip array의 제조 공정도

Fig. 1. Fabrication steps of Si micro-tip array

가공된 Si micro-tip array 상에 전자선 증착법에 의해 Ti와 Nb 박막을 코팅하였으며, 진공 RTA 공정을 이용하여 열처리한 뒤 금속 실리사이드 형성 여부를 관찰하였다. 제조된 소자들의 재료적 특성을 평가하기 위하여 SEM, AES, XRD 등을 이용하였고, 전계 방출 특성은 10^{-7} Torr의 진공도를 갖는 field emission tester 내에서 측정되었다. 그림 2의 (a)~(c)는 각각 oxide cap이 형성된 구조, 제조된 tip 끝의 확대된 모양, 그리고 100nm 두께의 Ti이 코팅된 모양을 나타낸 것이다.

3. Ti이 코팅된 Si micro-tip array

Ti 코팅 이전에 tip array들을 BOE(Buffered Oxide Etchant)내에 넣어 가능한 자연 산화막을

없애고자 하였으며, 전자선 증착 시에도 잔류 산소를 가능한 줄이기 위해 pump-out하는 동안에 질소를 계속 흘려주었다. 이러한 N₂ purging에 의해 코팅된 Ti의 저항이 현저히 낮아지는 과정을 통하여 산화가 억제됨을 알 수 있었다. Ti의 코팅 두께는 30, 60, 100nm로 하였으며, vacuum anneal 조건은 10⁻⁷ Torr의 진공도-1시간으로 고정하였고 열처리 온도는 550~720℃ 범위로 하였다. vacuum anneal 처리 후 Si과 반응하지 않고 남아있는 Ti 층을 1H₂SO₄+1H₂O₂ 용액으로 제거하여 Ti silicide 표면을 노출시켰다.

그림 3은 Si 기판과 Ti 증착, 잔류 Ti의 제거 후 열처리 온도에 따른 Rs(sheet resistance) 값의 변화를 4 point probe로 측정된 결과를 보인다. 여기에서 비저항(ρ)값을 계산하였다. Ti 막의 코팅, 후 열처리 온도의 증가에 비례하여 R_s값이 감소하는 것을 알 수 있으며, 또한 비저항값이 감소하는 것을 계산을 통해 알 수 있었다($\rho_{680^\circ\text{C}}=1.8\ \Omega\text{-cm} \Rightarrow \rho_{720^\circ\text{C}}=1.5\ \Omega\text{-cm}$). 이를 통하여 silicide가 형성되고 있음을 간접적으로 추측할 수 있다.

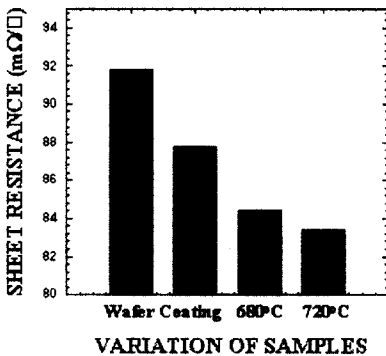
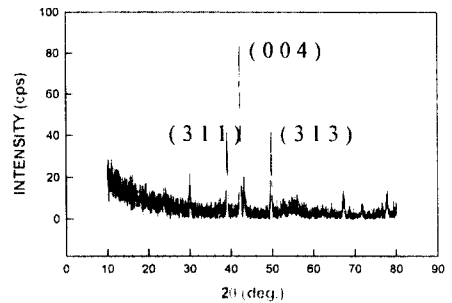


그림 3. Vacuum anneal 공정에 따른 Rs 값의 감소

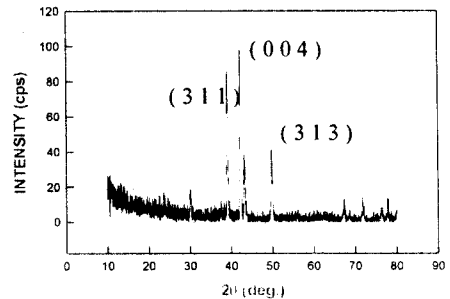
Fig. 3. Decrease of Rs value by vacuum anneal process

100nm 두께의 Ti이 코팅된 Si 기판에 대해 500, 600, 650, 680, 720℃에서 10⁻⁷ Torr의 진공도-1시간의 조건으로 RTA 처리를 하여 X선 회절 그래프(XRD data)를 조사한 결과 두께 100nm-온도 680℃ 이상의 조건에서 Ti silicide가 형성되기 시작함을 알 수 있었다. 이는 두께가

100nm 이하일 경우 Ti이 표면으로부터 내부로 산화됨으로써 Ti과 Si이 확산/반응되는 것을 방해하고, 또한 열처리 온도가 680℃ 이하일 경우, Ti이 Si 내부로 확산될만한 에너지를 얻기 힘들기 때문에 추측된다. 680℃/720℃에서 1시간 동안 RTA 처리된 시편에 대한 XRD data를 그림 4에 보였는데, 680℃와 720℃에서 열처리한 시편 모두가 Ti silicide를 형성하여 TiSi₂ 구조를 갖는 것을 확인할 수 있으며, 형성된 방향은 대체로 random한 것으로 나타났다.



(a)



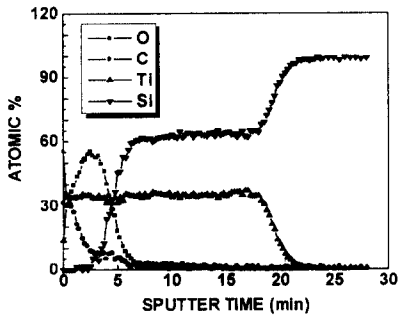
(b)

그림 4. 10⁻⁷ Torr-680℃ (a) 및 10⁻⁷ Torr-720℃ (b)에서 1시간 동안 vacuum anneal 처리한 시편들의 XRD data

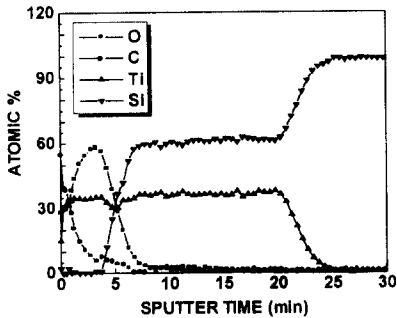
Fig. 4. XRD data for the samples annealed at 10⁻⁷ Torr-680℃ (a) and 10⁻⁷ Torr-720℃ (b) for 1 hour

그림 5는 10⁻⁷ Torr의 진공 내에서 680℃/720℃-1시간 vacuum anneal 처리된 시편들에 대한 AES depth profile이다. 이때 sputtering rate는 17nm/min로 표면으로부터 약 80~120nm의 깊이

에만 O 및 C 성분이 존재하는데, 이는 silicide 형성 후 남아있는 Ti의 제거를 하지 않았기 때문이며, 이로부터 약 220~300nm 깊이에 이르기까지 Ti silicide(TiSi₂)가 형성되어 있음을 알 수 있다. 이를 통하여 680℃ 이상의 열처리 온도가 Ti이 Si 내부로 확산되는 데에 충분히 기여함을 알 수 있다. 이때 열처리 시간이 증가함에 따라 O, C 성분은 물론 Ti silicide 층도 확장되는 것으로 나타났다.



(a)



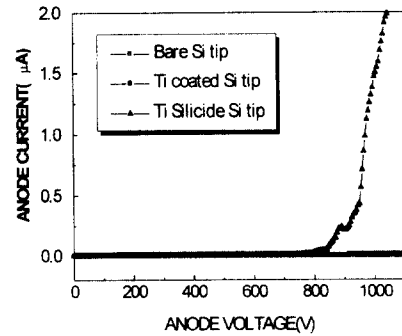
(b)

그림 5. 10⁻⁷ Torr-680℃ (a) 및 10⁻⁷ Torr-720℃ (b)에서 1시간 동안 vacuum anneal 처리한 시편의 AES depth profiles

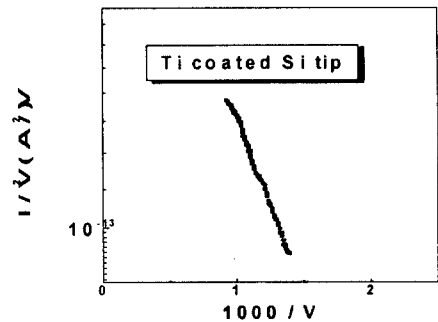
Fig. 5. AES depth profiles for the samples annealed at 10⁻⁷ Torr-680℃ (a) and 10⁻⁷ Torr-720℃ (b) for 1 hour

제조된 Si micro-tip array들의 전계 방출 특성은 3 × 10⁻⁷ Torr의 진공도에서 평가되었으며, tip과 양극간의 거리는 110μm로 고정하였다. 그림 6은 Si micro-tip array와 Ti 코팅 후 열처리를 하기 전과 후의 Si micro-tip array의 전계 방출 특성 결과를 보인 것이다. 이때 turn-on 전계는

F-N plot 약 7.27V/μm (=800V/110μm)로 매우 낮게 나타났다. 이와 같이 silicide 형성시 turn-on 전계가 낮아지는 이유는 Si과 Ti의 계면 반응에 의한 전위 장벽의 감소와 표면 산화막이 형성될 소자가 적기 때문인 것으로 풀이된다.



(a)



(b)

그림 6. Ti이 코팅된 Si micro-tip array의 전계 방출 특성 : I-V 특성 (a) 및 Fowler-Nordheim plot (b)

Fig. 6. Field emission characteristics of Ti-coated Si micro-tip array : I-V curve (a) and Fowler-Nordheim plot (b)

4. NbO₂ 코팅된 Si-tip array

전자선 증착법에 의해 Nb을 Si microtip array 상에 100nm 두께로 코팅하였다. 이때에도 Ti의 경우와 마찬가지로 산화 방지를 위해 N₂ purging을 하였으며, 10⁻⁷ Torr의 진공도와 500, 600, 700℃의 온도에서 1시간 동안 vacuum anneal 처리를 하였다. 이때 온도 증가율은 30℃

/min으로 조절하였다. 열처리 후에 '1HF+1HNO₃+2H₂O' 용액을 이용하여 Si과 반응되지 않은 Nb을 제거하였다.

Nb 막을 Si 기판 상에 코팅한 뒤 측정된 R_s 값은 80±5mΩ/□로 나타났으나 열처리를 거친 후에는 300mΩ/□로 증가하였다. 이는 열처리 동안에 Nb 표면이 잔류 산소와 반응하여 산화된 것으로 추정할 수 있다. Si과 반응되지 않은 Nb 층을 제거한 뒤의 R_s 값은 사용된 bare Si 기판 표면과 유사한 것으로 나타났다.

만일 금속과 실리콘의 계면에 자연 산화막이 존재할 경우, 계면에서의 silicide 반응 속도는 매우 더디어진다. 즉, 계면에 산화막이 존재하지 않을 경우에는 계면으로부터의 내부 확산에 의한 원자 공급량에 따라 반응이 진행되나, 산화막이 존재할 경우 금속 원자의 확산이 어렵다. 700℃-1시간 RTA 처리된 시편에 대해 Nb 층을 제거한 후의 표면을 SEM으로 확대 관찰한 결과 그림 7에 보인 바와 같은 모양을 얻을 수 있었는데, 이는 Nb이 자연 산화막의 pin hole을 통해서만 Si 내로 확산되어 국부적인 Nb silicide(NbSi₂) island들을 형성한 것으로 자연 산화막이 없는 청정한 Si 표면의 경우 이러한 현상이 일어나지 않는다. 이러한 silicide island 관련 연구 결과는 Si 기판 상에 증착된 Ni 박막을 대상으로 하여 이미 발표된 바 있다[8]. 따라서 자연 산화막이 존재하는 상태에서 Nb을 코팅-열처리한 뒤 Si과 반응하지 않은 Nb을 제거하게 되면 pin hole을 통해 형성되는 silicide island만이 형성되며 이를 통한 전계 방출만 기대할 수 있다.

그림 8은 100nm 두께의 Nb 막을 코팅한 후 700℃-1시간 vacuum anneal 처리된 시편에 대한 AES depth profile이다. 대부분의 Nb 막이 산화된 것으로 나타났으며, 단지 Nb-Si 계면 부근의 약 20~30Å 두께에 약간의 Nb-Si 반응물이 존재하고 있음을 볼 수 있다.

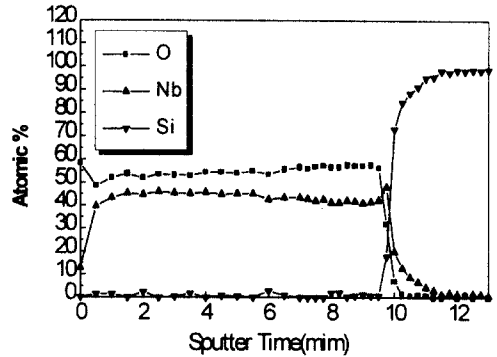
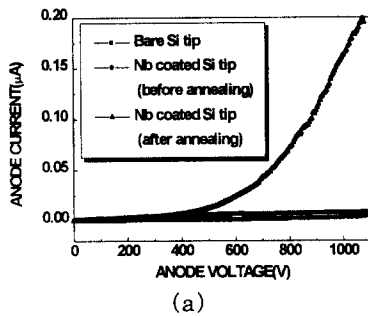


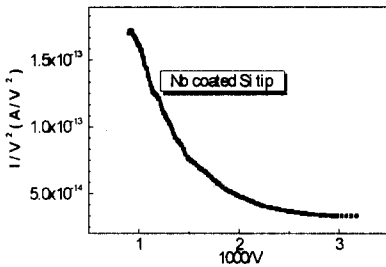
그림 8. 10⁻⁷ Torr-700℃에서 1시간 동안 vacuum anneal 처리된 시편의 AES depth profiles

Fig. 8. AES depth profiles for the samples annealed at 10⁻⁷ Torr-700℃ for 1 hour

제조된 Si micro-tip array들의 전계 방출 특성을 평가하기 위하여 RTA 처리된 시편의 경우에만 잔류 및 산화된 Nb 층을 제거하였다. Ti이 코팅된 경우와 마찬가지로 전계 방출 특성은 3×10⁻⁷ Torr의 진공도에서 평가되었으며, tip과 양극간의 거리는 110μm 로 고정하였다. 그림 9는 Simicro-tip array와 Nb 코팅 후 열처리를 하기 전과 후의 Si micro-tip array의 전계 방출 특성 결과를 보인 것으로 trun-on 전계는 F-N plot으로부터 약 4.55V/μm(=500V/110μm)인 것으로 계산되었다. 이와 같이 Nb coating 후 열처리시 전계 방출 특성(방출 전류의 증가와 turn on 전계의 감소) 개선되었으며, 이는 Nb silicide가 Nb에 비해 일함수가 낮고, 아울러 Si과의 계면에서 상대적으로 낮은 Schottky 장벽을 가진다는 점으로부터 해석이 가능하다.



(a)



(b)

그림 9. Nb이 코팅된 Si micro-tip array의 전계 방출 특성 : I-V 특성 (a) 및 Fowler-Nordheim plot (b)

Fig. 9. Field emission characteristics of Nb-coated Si micro-tip array : I-V curve (a) and Fowler-Nordheim plot (b)

6. 결 론

Si-tip FEA의 전계 방출 성능을 향상시키기 위하여 tip 위에 Ti과 Nb을 코팅-후 열처리하여 다음과 같은 결과를 얻었다.

- 1) Ti 코팅의 경우, 코팅 후 진공 anneal 처리에 의하여 코팅 두께 100nm-온도 680℃ 이상의 조건에서 Ti silicide가 형성되는 것으로 R_s 및 ρ_s 변화, XRD 및 AES 분석 결과를 통하여 확인되었다.
- 2) Nb 코팅의 경우 10^{-7} Torr의 vacuum anneal 처리에도 불구하고 표면 산화가 발생하였으며, 아울러 Nb와 Si 간의 계면에 존재하는 산화막으로 인하여 매우 얇은 두께의 Nb silicide island들만 존재하는 등 산화에 의한 영향을 심하게 받는 것으로 확인되었다.

3) 두 경우 모두 Si-tip의 전계 방출 성능은 향상(turn on 전계의 감소, 방출 전류의 증가)되는 것으로 나타났으며, 이는 silicide 고유의 낮은 일함수, silicide 층과 Si 간의 계면 전위 장벽의 감소, 그리고 Ti의 경우 표면 산화막의 억제 적용 등에 기인한 것으로 판단된다.

Nb silicide의 경우, 현재 산화에 의한 영향을 줄이기 위하여 Nb 박막 위에 산화 방지막을 코팅하여 산소 침투를 억제하는 방향으로 연구가 진행되고 있으며 이를 통하여 Nb silicide 형성이 보다 원활해질 것으로 기대된다.

감사의 글

본 연구는 1997년도 교육부 학술연구조성비에 의하여 연구되었으며 이에 감사 드립니다.

참고 문헌

1. H. Busta et al., "Field emission from tungsten-clad silicon pyramids", IEEE Tr. Electron Devices, vol. 36, no. 11, pp. 2679-2684(1989. 9).
2. Branston et al., "Field emission from metal-coated silicon tips", IEEE Tr. Electron Devices, vol. 38, no. 10, pp. 2329-2333(1991. 10).
3. H. F. Gray et al., "Point and wedge tungsten-silicon field emitter arrays", Proc. IEDM, 91, pp. 221-224(1991. 12).
4. Jiang et al., "Electron emission from silicon tips coated with a very thin Cr film", Proc. SID '93, pp. 596-598(1993. 5).
5. Shaw et al., "Field emission properties of coated silicon tips", Proc. IVMC '94, pp. 349-352(1994. 3/4).
6. R. King et al., "Field emission and atom probe field ion microscope studies of palladium-silicide-coated silicon emitters", J. Vac. Sci. Technol., vol. B13, no. 2, pp. 603-606(1995. 3/4).
7. T. Utsumi, "Keynote address, vacuum microelectronics : what's new and exciting", IEEE Tr. Electron Devices, vol. 38, no. 10. pp. 2276-2283(1991. 10).

8. N. hsieh et al., "Oxidation phenomena of polysilicon/tungsten silicide structures" J.

Electrochem. Soc., Vol. 131 p. 201(1984. 1).