

1.9GHz대의 적층 칩 세라믹 대역 통과 필터 설계 및 시뮬레이션

논문
12-3-3

Design and Simulation of the laminated planar chip ceramic bandpass filter for 1.9GHz

김지균*, 이현용*, 윤중락*

(Jee-Gyun Kim*, Heon-Yong Lee*, Jung-Rak Yoon*)

Abstract

The purpose of this study is to establish the design theory of a laminated chip bandpass filter used for portable phones and to research on the design theory of bandpass filter using J-inverter and the laminated chip bandpass filter. The precise design procedure is circuit parameters and the structural parameters will be derived. It was observed that the parameters were changed by the permittivity ϵ_r , even-mode impedance Z_{oe} and pole-frequency f_p at the simulations. The size of chip filter in the simulation results is small when the permittivity, attenuation pole and the pole-frequency are increased, respectively.

Key Words(중요용어) : Portable phones(휴대용 전화), Laminated chip bandpass filter(적층형 칩 필터), J-inverter(J-인버터), Even-mode impedance Z_{oe} (우모드 임피던스), Pole-frequency f_p (극 주파수), Attenuation pole(감쇄극).

1. 서 론

전자공업의 급격한 발전과 정보화 시대의 고속화로 이동통신기의 사용이 급증하고 있으며 이러한 이동통신 수요의 주종은 휴대용 전화기 및 차량 전화기로서 UHF 대역의 이동통신 단말기이다. 최근에 Cellular Telephone(800MHz대)과 더불어 수요가 급증하고 있는 PCS(Personal Communication System) Telephone 단말기의 시장이 더 각광을 받고 있다. 이는 휴대용 단말기의 소형, 경량성 때문에 더욱 각광을 받고 있는데 특히 RF단에 이용되는 부품 중 RF 필터는 단말기의 소형화와 SMD(Surface Mounted Device)화¹⁾를 위하여 소형이면서 고성능의 특성을 가지는

필터가 필요하다.

고주파 유전체를 이용한 적층 칩 LC 필터는 스트립라인 인덕터의 낮은 무부하 -Q로 인하여 삽입 손실이 증가하는 단점이 있어 최근에는 Planar resonator를 이용한 고주파용 적층 칩 필터가 연구의 주 대상으로 되고 있다. 본 연구에서는 이동 통신 단말기에 사용하기 위해 0.9~2GHz 대역에서 동작하는 Planar resonator 형태의 고주파용 적층 칩 필터의 구조를 이해하고 필터 설계를 위하여 Comb-line filter²⁾로 알려진 Planar resonator의 구조와 resonator 간에 전자기적 결합을 해석하고, 최종적으로 고주파용 적층 칩 필터를 설계하고 시뮬레이션을 통해 확인함으로써 설계기법을 확립하는데 연구의 목적이 있다. 1.9GHz 대역통과 필터를 설계하고, 설계된 필터의 특성을 시뮬레이션하여 필터의 특성을 살펴보았다.

2. 필터의 구조

그림 1은 적층형 칩 필터의 구조로서 다섯 층의

* : 명지대학교 전기공학과
(경기도 용인시 남동 산38-2, Fax : 0335-321-0271 E-mail : ratvirus@wh.myongji.ac.kr)
1998년 7월 23일 접수, 1999년 2월 12일 심사완료

세라믹 유전체로 구성되어 있으며, 제조 방법은 적층 칩 캐패시터 제조와 유사한 공정을 가진다²⁾. 제조공정을 보면 유전체 위에 금속 전극을 인쇄한 후 각 층을 적층한 다음 압착하여 유전체와 금속 전극을 동시에 소성하여 필터를 형성한다. 그림 2(a)는 적층형 칩 필터의 등가회로이고 그림 2(b)는 결합 스트립선로 공진기를 집중소자화한 회로이다. 그림 1에서 금속 전극 a, a'는 결합 스트립선로 공진기이고 b, b'는 입,출력 커플링 캐패시터를 위한 금속 전극으로서 a와 b사이의 커플링에 의해 입력 캐패시터 C_{01} 을 형성하고 a'와 b'사이의 커플링에 의해 입력 캐패시터 C_{02} 를 형성한다. 금속 전극 c는 접지에 연결된 loading 캐패시터로 Comb-line filter³⁾에서와 같이 공진기를 줄이기 위한 것으로 C_{r1} , C_{r2} 의 역할을 한다. 감쇄율을 줄이기 위한 전극도체인 d와 d' 사이에 상대적으로 큰 커플링 캐패시터 C_{12} 가 존재하게 된다. 그림 2(b)는 결합 스트립선로 공진기를 집중 소자화한 회로로서 L_1 , C_1 는 결합 스트립선로의 등가 소자값이고 L_3 , C_3 는 결합 스트립선로 공진기의 전자기적 결합에 의한 등가 소자값이다. 그러므로 Comb-line filter에서와 같이 공진기의 길이를 파장의 $\lambda/4$ 보다

작게 할 수 있는 캐패시터는 공진기의 개방면쪽에 붙어 있는 도체전극과 공진기 사이의 커플링에 의해 형성된다.

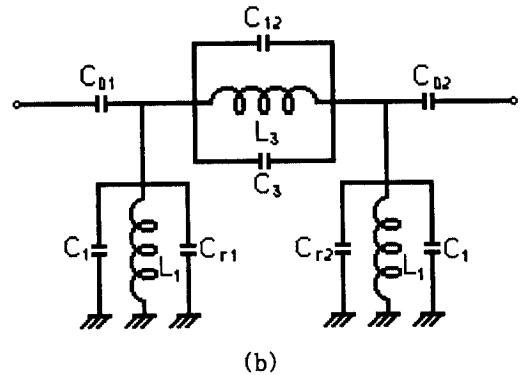
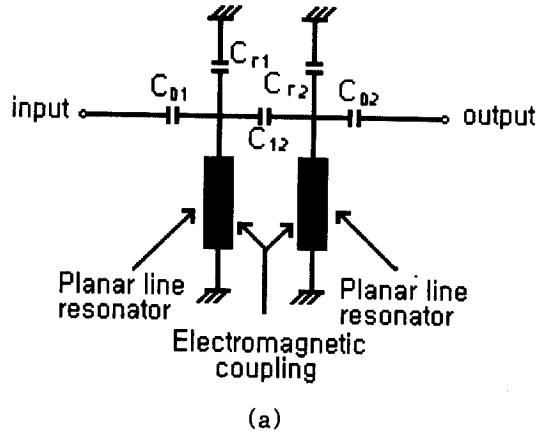


그림 2. 대역통과 필터의 등가회로
(a) 등가회로 (b) 집중소자화 된 등가회로
Fig. 2. Equivalent circuit of the laminated planar band-pass filter.
(a) Equivalent circuit (b) Equivalent circuit with lumped elements.

3. 필터 설계 방법

3.1 결합스트립선로의 공진기 등가 소자값 구현

결합스트립 선로는 집중소자회로 이론의 해석을 위하여 4단자 분산소자 임피던스 행렬에 의한 기 모드, 우모드 임피던스(Z_{0e} , Z_{0o}) 해석 방법이 이

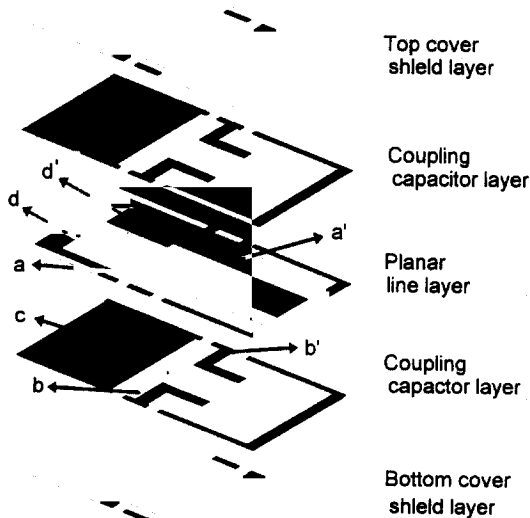


그림 1. 대역 통과 필터의 구조
Fig. 1. Structure of the laminated planar band-pass filter.

루어지고 있다⁴⁾. 그림 3은 어드미턴스 행렬로 표현되는 2포트 회로망으로서 결합스트립선로 공진기의 등가 소자값을 결정할 수 있다.

그림 3에서 $-Y_{12}$ 는 공진기와 공진기 사이의 전자기적 결합을 나타내므로 병렬 L, C회로로 등가화할 수 있고, $Y_{11}+Y_{12}$ 는 결합스트립선로 자체를 나타내며 병렬 LC회로로 등가화할 수 있다. 따라서 공진기의 등가 소자값 C_1, L_1 은 그림 3에서의 $Y_{11}+Y_{12}$ 와 식(1)을 이용하여 구할 수 있으며

$$Y_{11} + Y_{12} = -j \frac{\cot \theta}{Z_{oe}} = j \left(\omega_0 C_1 - \frac{1}{\omega_0 L_1} \right) \quad (1)$$

$$C_1 = \frac{1}{4\pi Z_{oe}} \left[\frac{2\pi\ell}{ck \sin^2 \left(\frac{2\pi f_0 \ell}{ck} \right)} - \frac{1}{f_0 \tan \left(\frac{2\pi f_0 \ell}{ck} \right)} \right] \quad (2)$$

$$L_1 = \frac{Z_{oe}}{\pi f_0^2 \left[\frac{2\pi\ell}{ck \sin^2 \left(\frac{2\pi f_0 \ell}{ck} \right)} - \frac{1}{f_0 \tan \left(\frac{2\pi f_0 \ell}{ck} \right)} \right]} \quad (3)$$

그림 3에서 본 공진기와 공진기 사이의 전자기적 결합에 대한 등가 소자값 L_3, C_3 는 $-Y_{12}$ 와 식(4)의 관계로부터 구할 수 있다.

$$-Y_{12} = -j \frac{(Z_{oe} - Z_{oo})}{Z_{oe} Z_{oo}} \frac{\cot \theta}{2} = j \left(\omega_p C_3 - \frac{1}{\omega_p L_3} \right) \quad (4)$$

$$C_3 = \frac{Z_{oe} - Z_{oo}}{8\pi Z_{oe} Z_{oo}} \left[\frac{2\pi\ell}{ck \sin^2 \left(\frac{2\pi f_p \ell}{ck} \right)} - \frac{1}{f_p \tan \left(\frac{2\pi f_p \ell}{ck} \right)} \right] \quad (5)$$

$$L_3 = \frac{2Z_{oe} Z_{oo}}{\pi f_p^2 (Z_{oe} - Z_{oo}) \left[\frac{2\pi\ell}{ck \sin^2 \left(\frac{2\pi f_p \ell}{ck} \right)} + \frac{1}{f_p \tan \left(\frac{2\pi f_p \ell}{ck} \right)} \right]} \quad (6)$$

여기서,

ω_p : 감쇄극 각 주파수

ω_0 : 공진 각 주파수

C_1, L_1 : 스트립선로 공진기 등가소자 값

C_3, L_3 : Electromagnetic 결합 등가소자 값

k : 전파속도 ($= \frac{1}{\sqrt{\epsilon_r}}$)

c : 광속 (3×10^8 [m/sec])

ℓ : 공진기의 길이

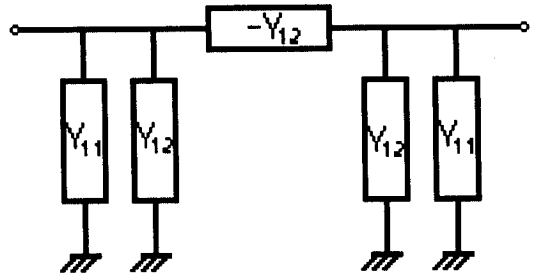


그림 3. 2포트 회로망의 π -등가회로
Fig. 3. π -Equivalent Circuit of 2 Port Circuit Path

3.2 J-인버터에 의한 회로 소자값 구형

대역통과 필터 설계를 만족하기 위해서는 우선 사양을 만족시킬 수 있는 적절한 저역통과 프로토타입 필터를 설계한 후 주파수 변환에 의해 대역통과 필터가 설계될 수 있다⁵⁾. 이 대역 통과 필터는 직렬 공진과 병렬 공진회로의 두가지 공진으로 이루어져 있어 마이크로파 대역에서는 구현하기 어렵다. 따라서 이와같은 문제점을 해결하기 위하여 인버터 개념을 도입하며 J-인버터를 이용한 필터의 등가회로는 그림 4(a)와 같다.

그림 2을 그림 4(a)로 변환하면 J_{01}, J_{23} 는 입출력 커플링 캐패시터로 구성된 π 등가회로로 나타낼 수 있으며, J_{12} 는 병렬공진을 위한 C_{12}, C_3, L_3 로 구성된 π 회로로 나타낼 수 있다. 그림 4(a)의 J-인버터를 집중 소자화한 등가회로를 그림 4(b)에 나타내었으며 점선 부분은 원래 공진기회로를 나타낸다. 여기에서 C_1 는 J-인버터를 캐패시터 회로로 변환시킬 때 발생하는 negative 소자값을 상쇄시키기 위한 값이다⁶⁾. 그림 4(b)의 감쇄극 회로는 공진 각 주파수 ω_0 에서 C_{eq} 처럼 보이고 감쇄극 각 주파수 ω_0 에서 어드미턴스가 0이어야 한다.

$$C_{eq} = C_{12} + C_3 - \frac{1}{\omega_0^2 L_3} = \frac{J_{12}}{\omega_0} \quad (7)$$

$$j\omega_p C_3 + j\omega_p C_{12} - j\frac{1}{\omega_p L_3} = 0 \quad (8)$$

따라서 이를 이용하여 C_{12} 및 f_p 를 구할 수 있다.

$$C_{12} = \frac{1}{\omega_p^2 L_3} - C_3 \quad (9)$$

$$f_p = \frac{1}{2\pi\sqrt{L_3(C_{12} + C_3)}} \quad (10)$$

또한 C_{01} , C_{02} 와 입력단 등가캐패시터 C_{01}^e 은 J-인버터 이론으로부터 구할 수 있으며⁵⁾ C_{r1} 은 그림 4(b)의 공진기 회로로부터 구할 수 있다.

$$j\omega_0 C_r - j\frac{1}{\omega_0 L_1} = 0$$

$$(C_r = C_1 + C_{r1} + C_{01}^e + C_{12} + C_3 - \frac{1}{\omega_0^2 L_3})$$

$$C_{r1} = \frac{1}{\omega_0^2 L_1} + \frac{1}{\omega_0^2 L_3} - (C_1 + C_{01}^e + C_3 + C_{12}) \quad (11)$$

3.3 구조 파라미터

그림 5와 같은 결합스트립선로 공진기 구조에서 최종적으로 구하고자 하는 파라미터는 공진기 폭 w , 공진기와 공진기 사이의 간격 g 로서 Z_{0e} 와 Z_{0o} 의 임피던스 비를 P 라 놓으면 식(12), (13)에서

t 는 임의로 정할 수 있으므로 아래와 같이 된다.

$$g = \frac{4t}{\pi} \tanh^{-1} \left[e^{\frac{\pi}{4\sqrt{\epsilon_r}} \left(\frac{1}{Z_{0e}} - \frac{1}{Z_{0o}} \right)} \right] \quad (12)$$

$$w = 2t \left(\frac{\eta}{Z_{0e} 4\sqrt{\epsilon_r}} - \frac{1}{\pi} \ln [2 + 2 \tanh \left(\frac{\pi g}{4t} \right)] \right) \quad (13)$$

$$P \equiv \frac{2W}{f_0^2 - f_p^2} \sqrt{\frac{1}{g_1 g_2}} \left(\frac{2\pi \frac{\ell}{ck \sin^2 \left(\frac{2\pi f_0 \ell}{ck} \right)} + \frac{1}{f_0 \tan \left(\frac{2\pi f_0 \ell}{ck} \right)}} \right) \times \frac{1}{\left\{ \frac{2\pi \ell}{ck \sin^2 \left(\frac{2\pi f_p \ell}{ck} \right)} + \frac{1}{f_p \tan \left(\frac{2\pi f_p \ell}{ck} \right)} \right\}} \quad (14)$$

여기서, η : 공기의 고유임피던스

W : Fractional Bandwidth

g_1, g_2 : 저역통과필터의 프로토타입 소자값

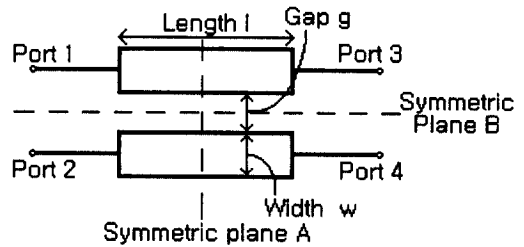
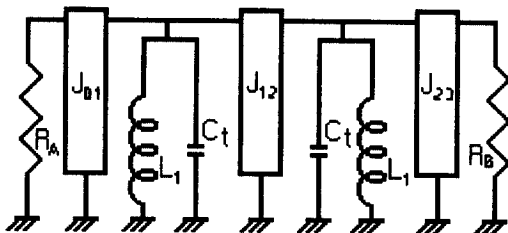
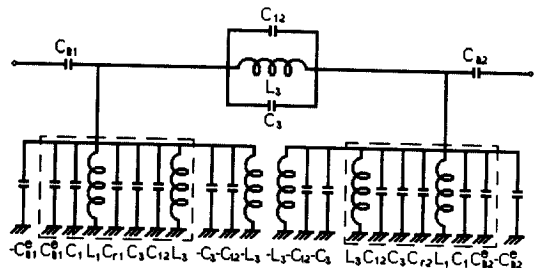


그림 5. 병렬 결합 평판 선로.
Fig. 5. Parallel coupled planar lines.



(a)



(b)

그림 4. J-인버터 이론을 적용한 등가회로

(a) 등가회로 (b) 집중소자화 된 등가회로

Fig. 4. Equivalent Circuit with apply J-inverter theory

(a) Equivalent circuit (b) Equivalent circuit with lumped elements.

식(14)에서 f_0 , f_p 와 공진기의 길이 l 이 주어지면 임피던스 P 를 구할 수 있고, Z_{0e} 나 Z_{oo} 중 어느 값을 임의로 정하면 구조파라미터 w 와 g 를 구할 수 있다.

4. 결과 및 고찰

그림 6은 J-인버터 이론을 적용하여 결합스트립선로 공진기를 집중소자화한 시뮬레이션 결과와 임피던스비 P 를 이용한 결합스트립선로 공진기의 구조변수 공진기폭 w , 공진기와 공진기 사이의 사이 간격 g 를 적용한 결과를 Simulator인 Touch stone을 이용하여 그림 6과 같이 비교하였다. 그림 6에 (a)는 집중소자화한 경우이고 (b)는 분포소자화한 경우로 이때 시뮬레이션 전 주파수 영역에서 S_{21} (삽입계수)과 S_{11} (반사계수)의 결과가 잘 일치함을 볼 수 있다. 지금까지의 설계 이론을 바탕으로 1.9GHz 대역용 필터를 설계하였다.

표 1은 극 주파수(f_p)와 우모드 특성임피던스(Z_{0e}), 공진기 길이(l) 및 두께(t)를 고정한 후 유전율 변화에 따른 시뮬레이션 결과로서 집중소자화한 캐패시터와 인덕턴스의 값들이 변화함을 볼 수 있다. 특히 공진기의 등가 소자값인 C_1 , L_1 과 전자기적 결합에 의한 C_3 , L_3 의 변화가 크게 나타남을 볼 수 있다. C_{r1} 의 경우 공진기의 크기를 줄이기 위해 삽입한 캐패시터로서 표 1의 조건에서는 유전율이 증가하여도 공진기의 길이가 일정하므로 C_{r1} 이 감소함을 볼 수 있다. 감쇄극 주파수를 조절하는 C_{12} 의 변화 양상을 보면 유전율이 증가할수록 감소함을 볼 수 있다. 이와같은 결과는 설계 이론에서 보면 L_3 에 반비례하는 데 시뮬레이션 결과와 동일한 양상이 나타남을 볼 수 있다. 결합스트립선로 공진기 구조에서 최종적으로 구하고자하는 공진기

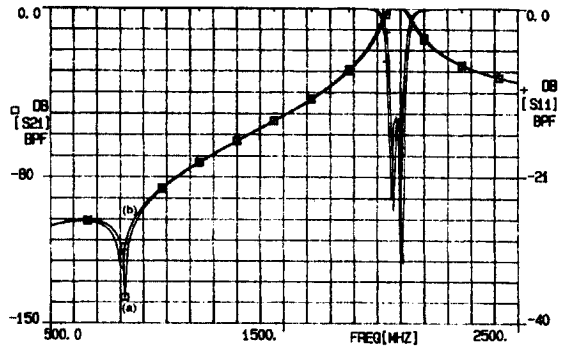


그림 6. J-인버터 이론을 적용한 시뮬레이션결과 (a) 집중소자화 (b) 분포소자화
Fig. 6. Simulation results with J-inverter theory (a) lumped elements (b) distributed elements

폭 w 와 공진기 사이의 간격 g 의 관계를 보면 유전율이 증가할수록 공진기 간의 간격 g 는 증가하고 공진기폭 w 는 감소함을 볼 수 있다. 적층 칩 필터의 폭을 결정하는 $g+w$ 의 변화를 보면, 유전율이 증가할수록 3.733[mm]에서 2.593[mm]로 감소함을 볼 수 있다. 이와같은 결과는 유전율이 큰 칩 필터의 크기를 감소시킬 수 있음을 보여준다.

표 2는 칩 필터 제작시 공진기 간의 폭과 공진기의 폭을 결정하는 우모드 임피던스 Z_{0e} 변화에 따른 시뮬레이션 결과이다. 우모드 임피던스 Z_{0e} 가 9[Ω]까지는 Z_{0e} 가 증가할수록 공진기 간의 폭 g 가 증가하지만 10[Ω]에서는 감소함을 볼 수 있다. 반면에 공진기의 폭 w 는 우모드 임피던스 Z_{0e} 가 증가할수록 9[Ω]까지는 감소함을 볼 수 있으며 10[Ω]에서는 증가한다. 이상의 결과를 보면 우모드 임피던스 Z_{0e} 에 의한 공진기의 폭 w 와 공진기 간의 간격 g 는 반대되는 양상을 보이나 칩 필터의 전체 크기를 좌우하는 공진기폭 w 와 공진기간의 간격 g 의 합은 우모드 임피던스 Z_{0e} 가 9[Ω]일 때 2.985[mm]로 가장 적게 나타남을 볼 수 있다. 우모드 임피던스 Z_{0e} 에 따른 입,출력 캐패시터 C_{01} 과 공진기의 크기를 줄이기 위한 loading 캐패시터 C_{r1} , 감쇄극 조절을 위한 커플링 캐패시터 C_{12} 도 우모드 임피던스 Z_{0e} 가 9[Ω]까지는 감소하다가 그 이상이 되면 증가함을 볼 수 있다. 필터의 크기를 공진기 구조 및 캐패시터의 값을 종합하여

표 1. 유전율(ϵ_r)에 따른 시뮬레이션 결과
Table 1. Simulation results with permittivity(ϵ_r)

ϵ_r	입출력 결합 캐패시턴스 값			결합스트립선로 집중소자화 캐패시턴스 값					구조 파라미터		
	C_{01} [pF]	C_{r1} [pF]	C_{12} [pF]	C_1 [pF]	C_3 [pF]	L_1 [nH]	L_3 [nH]	g [mm]	w [mm]	$g+w$ [mm]	
20	1.121	14.84	0.767	1.943	0.013	0.356	50.07	1.084	2.653	3.733	
30	0.973	11.21	0.622	2.432	0.016	0.435	61.93	1.160	2.069	3.229	
40	0.886	8.939	0.536	2.872	0.018	0.501	71.21	1.213	1.721	2.934	
50	0.828	7.296	0.478	3.285	0.021	0.557	79.15	1.253	1.483	2.736	
60	0.786	6.014	0.436	3.684	0.023	0.605	86.08	1.285	1.308	2.593	

$f_0=1.975\text{GHz}$, $f_p=800\text{MHz}$, $Z_{0e}=8\Omega$, $l=3.0\text{mm}$, $t=0.6\text{mm}$

보면 우모드 임피던스 Z_{oe} 가 9[Ω]일 때가 가장 적은 크기로 칩 필터를 구현할 수 있음을 알 수 있다. 그림 7은 우모드 임피던스 Z_{oe} 가 6[Ω]과 9[Ω]인 경우에 대한 스트립선로 공진기를 분포 소자화한 시뮬레이션 결과로서 우모드 임피던스 Z_{oe} 에 따른 필터의 특성에는 변화가 없음을 볼 수 있다.

표 2. 우모드 Z_{oe} 에 따른 시뮬레이션 결과
Table 2. Simulation results with even-mode Z_{oe}

Z_{oe} [Ω]	입출력 결합 loading 캐패시턴스 값			결합스트립선로 집중소자화 캐패시턴스 값				구조 파라미터		
	C_{01} [pF]	C_{r1} [pF]	C_{12} [pF]	C_1 [pF]	C_3 [pF]	L_1 [nH]	L_3 [nH]	g [mm]	w [mm]	$Q^+ w$ [mm]
6	1.198	15.13	0.830	3.243	0.021	0.326	46.45	1.051	2.935	3.986
7	1.068	12.89	0.711	2.780	0.018	0.381	54.19	1.109	2.440	3.549
8	0.973	11.21	0.622	2.432	0.016	0.435	61.93	1.160	2.069	3.229
9	0.899	9.918	0.553	2.162	0.014	0.490	69.67	1.205	1.780	2.985
10	0.973	11.21	0.622	2.432	0.016	0.435	61.93	1.160	2.069	3.229

$f_0=1.975\text{GHz}$, $f_p=800\text{MHz}$, $l=3.0\text{mm}$, $t=0.6\text{mm}$, $\epsilon_r=30$

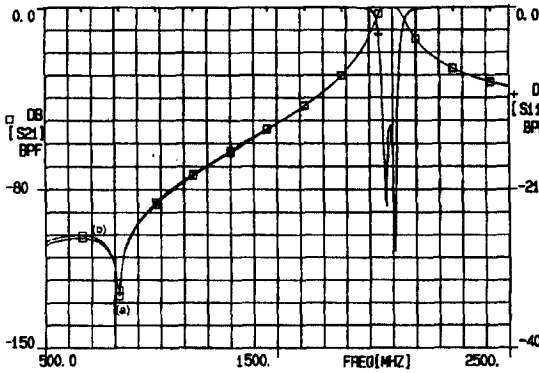


그림 7. 유전 상수 변화에 따른 칩 필터 특성
(a) 6 [Ω] (b) 9 [Ω]
Fig. 7. Chip filter characteristics as function of dielectric constant
(a) 6 [Ω] (b) 9 [Ω]

표 3은 극 주파수 f_p 의 변화에 따른 시뮬레이션 결과로서 극 주파수 f_p 의 변화에 따른 캐패시터의 결과를 보면 입·출력 캐패시터인 C_{01} 과 loading 캐패시터 C_{r1} 은 변화가 거의 없음을 볼 수 있고, 극

을 결정하는 것은 C_{12} 에 의해서만 변화함을 볼 수 있으며 극 주파수가 증가할수록 C_{12} 가 증가함을 볼 수 있다. 스트립 공진 소자의 집중소자화 값 C_1 , C_3 , L_1 , L_3 의 변화를 보면 C_1 , C_3 , L_1 은 변화가 없으나 전자기적 결합 등가 값인 L_3 의 값이 극 주파수가 증가할수록 크게 감소함을 볼 수 있다. 또한 스트립선로의 구조 파라미터로 보면 공진기 폭 w 는 거의 변하지 않으나 공진기 간에 간극 g 가 감소함을 볼 수 있으며, 이와같은 결과는 극 주파수 f_p 를 증가시키면 칩 필터 크기를 줄일 수 있음을 보여준다. 그림 8은 f_p 의 변화에 따른 표 3의 결과를 이용한 시뮬레이션 결과로서 극 주파수 f_p 의 변화에

표 3. 극 주파수 f_p 에 따른 시뮬레이션 결과
Table 3. Simulation results with the pole-frequency f_p

f_p	입출력 결합 loading 캐패시턴스 값			결합스트립선로 집중소자화 캐패시턴스 값				구조 파라미터		
	C_{01} [pF]	C_{r1} [pF]	C_{12} [pF]	C_1 [pF]	C_3 [pF]	L_1 [nH]	L_3 [nH]	g [mm]	w [mm]	$Q^+ w$ [mm]
400	0.973	11.21	0.553	2.432	0.003	0.435	284.2	1.735	2.055	3.790
500	0.973	11.21	0.565	2.432	0.005	0.435	177.5	1.558	2.058	3.616
600	0.973	11.21	0.580	2.432	0.008	0.435	119.5	1.409	2.061	3.470
700	0.973	11.21	0.599	2.432	0.011	0.435	84.61	1.278	2.064	3.342
800	0.973	11.21	0.622	2.432	0.016	0.435	61.93	1.160	2.069	3.229

$f_0=1.975\text{GHz}$, $l=3.0\text{mm}$, $t=0.6\text{mm}$, $\epsilon_r=30$

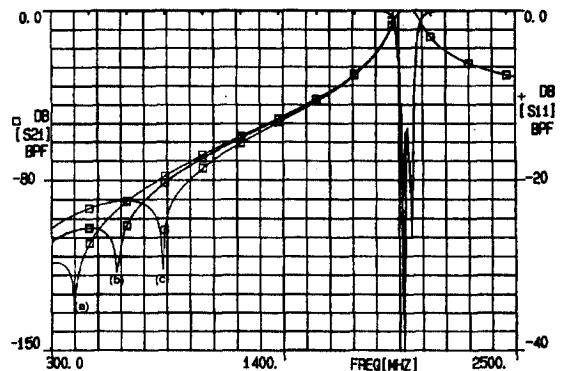


그림 8. 극 주파수 변화에 따른 칩 필터 특성
(a) 400MHz (b) 600MHz (c) 800MHz
Fig. 8. Chip filter characteristics as a function of pole frequency
(a) 400MHz (b) 600MHz (c) 800MHz

다른 대역폭의 변화는 볼 수 없으며, 감쇄극이 증가함에 따라 1400MHz을 기준으로 보면 감쇄량이 증가함을 볼 수 있다. 이와같은 결과로 필터의 감쇄 특성은 극 주파수 f_p 의 조절을 통하여 개선함을 볼 수 있었다.

5. 결 론

적층 칩 세라믹 대역통과 설계 및 시뮬레이션 결과 각 3가지 경우에 따른 여러 파라메터들의 변화에 대한 결론을 얻었다.

- (1) 세라믹의 유전율(ϵ_r)이 증가 할수록 C_{01} , C_{r1} , C_{12} , w 는 감소하고 C_1 , C_3 , L_1 , L_3 , g 는 증가하는 양상을 보였으며, 유전율이 증가할수록 칩 필터를 소형화할 수 있음을 볼 수 있었다.
- (2) 유전율(ϵ_r)을 30으로 고정한 후, 우모드 임피던스 Z_{0e} 를 시뮬레이션 한 결과 $9[\Omega]$ 까지는 C_{01} , C_{r1} , C_1 , C_3 , w 는 감소하고, L_1 , L_3 및 공진기 간의 간격 g 가 증가함을 볼 수 있었으며, Z_{0e} 가 $9[\Omega]$ 인 경우 가장 작은 칩 필터의 구현이 가능하다.
- (3) 우모드 임피던스 Z_{0e} 가 8Ω 인 경우, 극 주파수 f_p 에 따른 시뮬레이션 결과 C_{01} , C_{r1} , C_1 , L_1 의 값은 변화가 없고, 결합 캐패시턴스 C_{12} 에 의해서 극 주파수 f_p 가 변화함을 볼 수 있었다.
- (4) 극 주파수 f_p 가 증가할수록 필터의 감쇄 특성을 향상시킬 수 있었다.

참고문헌

1. Kazuo Washida, "Chip Monolithic LC Filters Move Into High-Frequency Use," JEE, pp.48-52, October 1991.
2. Toshio Ishzaki, "A Very Small Dielectric Planar Filter for Portable Telephone," IEEE Trans. on Microwave Theory and Techniques, Vol. MTT-42, pp. 2017-2022, November 1994.
3. A. D. Vincze, "Practical Design Approach to Microstrip Combine-type Filter," IEEE Trans. on Microwave Theory and Techniques, Vol. MTT-22, pp. 1171-1181, December 1974.
4. E. M. T. Jones and J. T. Bolljahn, "Coupled Strip Transmission Line Filters and Directional Couplers," IEEE Trans. on Microwave Theory and Techniques, Vol. MTT-4, pp. 75-81, April 1956.
5. G. L. Matthaei, L. Young, and E. M. T. Jones, Microwave Filters, Impedance Matching Networks and Coupling Structures, Artech House, Boston · London, 1980.