

# NOR 플래시 메모리를 위한 전하 트랩 형 NVSM 셀의 제작과 특성

논문  
12-11-3

## Fabrication and Characteristics of Charge-Trap Type NVSM Cell for NOR Flash Memory

김선주\*, 김주연\*, 김병철\*, 서광열\*

(Seon-Ju Kim\*, Joo-Yeon Kim\*, Byung-Cheol Kim\*, Kwang-Yell Seo\*)

### Abstract

The scaled SONOSFET NVSM cells with ultrathin ONO(tunnel oxide-nitride-blocking oxide) gate dielectric were fabricated using n-well CMOS process. The thicknesses of tunnel oxide, nitride and blocking oxide were 23 Å, 53 Å and 33 Å, respectively. It was appeared that the ONO layer was made up of SiO<sub>2</sub>/O-rich SiO<sub>x</sub>N<sub>y</sub>/N-rich SiO<sub>x</sub>N<sub>y</sub>/O-rich SiO<sub>x</sub>N<sub>y</sub>. Auger analysis clearly showed the existence of the converting layer with SiO<sub>x</sub>N<sub>y</sub> phase at the blocking oxide and nitride interface. The maximum threshold voltage shift,  $\Delta V_{TH}$  was 3 V and the memory state was switched by programming condition of +8 V, 20 ns, -8 V, 50 ns. Data retention over 10 years was obtained. The dominant charge transport mechanism under the 8 V programming voltage was modified Fowler-Nordheim tunneling. For the practical application, NOR type flash memory was designed and we simulated its operating properties with SPICE parameters extracted from the scaled SONOSFETs. The delay time below 33 ns was comparable with conventional flash memory. The results of this study for the scaled SONOSFET NVSM cell clearly indicate their potential for a low-voltage, high-density, more reliable, low-cost flash memory arrays.

**Key Words(중요용어)** : ultrathin ONO, scaled SONOSFET(스케일 다운된 SONOSFET), NVSM(비휘발성 반도체 메모리) cell, NOR 형 flash memory, SPICE parameter

### 1. 서 론

비휘발성 반도체 기억소자(nonvolatile semiconductor memory : NVSM) 가운데서 플래시 메모리는 기존의 플로피 디스크, 하드 디스크 등의 자기 메모리 대체용뿐만 아니라, 각종 정기간, 전자 카드, 자동응답 전화기용 음성 저장, 디지털 카메라용 화상 저장 등 용도가 다양하여 시장이 급격히 확대되고 있으며 2000년대에는 EEPROM 시장을 주도할 것으로 기대되고 있다. 이러한 고집적 고신뢰성의 플래시 메모리 구현을 위해서는 스케일 다운(scale down)을 통한 저전압화와 비트 당 경비의 최

소화가 선행되어야 한다. 그러나, 현재의 EEPROM 시장을 선점하고 있는 부유 게이트 계열의 플래시 메모리는 자체가 갖는 구조적 특성 때문에 스케일 다운에 한계를 갖는다. 또한, 기록/소거 동작이 채널 고온 캐리어 주입이나 FN(Fowler-Nordheim) 터널링 기구를 이용하기 때문에 매우 높은 전압이 필요하고 전하를 주입하는 동안의 고밀도 전류 스트레스에 의해 유전막이 열화되기 때문에 저전압화와 내구성에서 단점을 가지고 있다. 반면에 SONOS 기억소자는 더 낮은 전압에서 발생하는 MFN(modified Fowler-Nordheim) 터널링으로 기억 동작을 수행할 수 있어 신뢰성을 높일 수 있고 셀 구조가 간단하여 스케일 다운에 용이하고 경제성이 뛰어나다는 장점이 있어 부유 게이트 계열의 단점을 극복한 저전압, 고집적, 고신뢰성의 플래시 메모리를 구현할 수 있다<sup>1)</sup>.

본 연구에서는 차세대 메모리 소자로 주목받고 있는 전하 트랩 형 SONOS 기억소자를 메모리 셀로

\* : 광운대학교 공대 전자재료공학과  
(서울특별시 노원구 월계동 447-1, Fax : 02-941-6008 E-mail : kyseo@daisy.kwangwoon.ac.kr)  
1999년 8월 7일 접수, 1999년 10월 25일 심사완료

적용하여, 부유 게이트 계열의 단점을 보완한 플래시 메모리를 구현하기 위해 실제 응용을 위한 FET 형태의 스케일 다운된 SONOSFET를 제작하고, 소자의 게이트 유전막 특성과 기억특성을 조사하였다. 또한, 저전압화와 내구성 향상을 위해 기록/소거 동작이 MFN 터널링이 되도록 프로그램 조건을 결정하였으며 읽기 속도가 빠르고 랜덤 액세스가 가능한 NOR 형 단위 메모리 회로에 이를 적용하고 기억소자로부터 직접 추출한 SPICE 파라미터로 그 동작을 전산모사 하여 저전압, 고집적, 고신뢰성의 플래시 메모리 셀로의 이용 가능성을 제시하였다.

## 2. 터널링 기구

프로그래밍 전압의 크기가  $V_P$ 이고 시간이  $t_P$ 인 조건으로 SONOSFET 기억소자를 프로그램하였을 경우 문턱전압,  $V_{TH}$ 는 다음과 같이 주어진다.

$$V_{TH}(V_P, t_P) = \phi_{MS} - 2\psi_B - Q_S/C_{eff} - A Q_{TOT}(V_P, t_P) \quad (1)$$

$$A = [X_{OB}/\epsilon_{OX} + X_N/2\epsilon_N]$$

식 (1)에서  $\phi_{MS}$ 는 SONOSFET의 게이트와 반도체 사이의 일함수 차이이고,  $\psi_B$ 는 반도체 벌크의 페르미 전위,  $Q_S$ 는 단위면적당 반도체 전하량,  $C_{eff}$ 는 ONO 게이트 유전막의 유효 정전용량,  $Q_{TOT}$ 는 기억트랩에 주입된 총 전하량이다.  $X_{OB}$ 와  $X_N$ 은 각각 질화막 산화막과 질화막의 두께이고,  $\epsilon_{OX}$ ,  $\epsilon_N$ 은 각각 산화막과 질화막의 유전율이다.

프로그래밍 전압,  $V_P$ 와 터널 산화막 전기장,  $E_{OT}$ , 주입 총 전하량,  $Q_{TOT}$ 의 관계는 다음과 같이 주어진다.

$$V_P(t_P) = \phi_{MS} + \psi_S - X_{eff}E_{OT}(t_P) - A Q_{TOT}(t_P) \quad (2)$$

$\psi_S$ 는 반도체 표면전위이고,  $X_{eff}$ 는 ONO 게이트 유전막의 유효두께이다.

식 (1)과 (2)로부터 문턱전압 이동량,  $\Delta V_{TH}$ 는 다음과 같이 표현된다.

$$\Delta V_{TH}(V_P, t_P) = -A[Q_{TOT}(t_P) - Q_{TOT}(0)] = -X_{eff}[E_{OT}(t_P) - E_{OT}(0)] \quad (3)$$

$Q_{TOT}(0)$ 는 초기조건에서 질화막에 저장된 초기 전하량이고,  $E_{OT}(0)$ 는 그 때의 초기 산화막 전기장 세기로 식 (2)로부터 계산된다.

프로그래밍할 때 MFN 터널링이 주도적이라고 가정

하면 터널 산화막 전기장 세기  $E_{OT}(t_P)$ 는 시간  $t_P$ 에 서 다음 식과 같이 주어진다<sup>[2]</sup>.

$$E_{OT}(t_P) = \frac{E_{OT}(0)}{1 + \frac{E_{OT}(0)}{E_T} \ln\left(1 + \frac{t_P}{\tau}\right)} \quad (4)$$

$E_T$ 는 터널링 장벽에 의해 결정되는 상수로  $E_T = 1.65 \times 10^8$  V/cm이었으며,  $\tau$ 는 초기 터널 산화막 전기장 세기,  $E_{OT}(0)$ 에 의해 결정되는 상수로 다음과 같이 주어진다.

$$\tau = \left[ \frac{A}{X_{eff}} \cdot \frac{q^2}{16\pi^2 h \phi_{OT}} \cdot E_T \right]^{-1} \times \exp[E_T/E_{OT}(0)] \quad (5)$$

식 (4)와 (5)의 관계로부터 주어진 프로그램 조건에서 문턱전압 이동량,  $\Delta V_{TH}$ 는 초기 산화막의 전기장 세기와 프로그래밍 시간의 함수로 주어진다.

따라서, 식 (4)의  $E_{OT}(t_P)$ 를 이용하여 계산한 문턱 전압 이동량과 측정된 값이 일치하면 주도적인 터널링 기구가 MFN임을 규명할 수 있다.

## 3. 실험

SONOSFET 비휘발성 기억소자는 게이트 절연막 인 ONO 형성 공정을 제외하고는 기존의 n-웰 CMOS 표준공정에 따라 제작하였다. SONOSFET 기억소자를 제작하기 위하여 사용한 웨이퍼는 비저항이  $13 \pm 2 \Omega \cdot \text{cm}$ 인 (100) 방향의 p형 실리콘 반도체이다. 먼저 터널 산화막은 800 °C, 상압에서 산소 (7.25 l/min)를 사용하여 2 분간 열산화 하여 성장하였다. 질화막은 785 °C에서  $\text{SiH}_2\text{Cl}_2$ 와  $\text{NH}_3$ 의 혼합가스를 반응시켜 LPCVD(low pressure chemical vapor deposition) 방법으로 터널 산화막 위에 퇴적하였다. 흘려준  $\text{SiH}_2\text{Cl}_2$ 와  $\text{NH}_3$  가스의 유량은 각각 30 sccm, 100 sccm이며, 질화막 두께는 퇴적 시간을 다르게 하여 조절하였다. 블로킹 산화막은 900 °C, 상압에서  $\text{H}_2 : \text{O}_2 = 6.75 \text{ l/min} : 4.50 \text{ l/min}$ 인 혼합가스를 사용해서 67 분간 습식산화법으로 질화막 위에 성장하였다.

제작된 스케일 다운된 SONOSFET 기억소자의 단면도는 그림 1과 같다.

초박막 ONO 게이트 유전막의 두께는 XTEM (Philips CM300)으로 분석하였으며 조성 분포와 형성 상태는 AES(PHI SAM4300)로 수행하였다.

SONOSFET 기억소자의 스위칭 특성은 파라미터

분석기(semiconductor parameter analyzer : HP 4155A)를 사용하여 측정하였다. SPICE 파라미터는 채널 길이와 폭이 각각 다른 다수의 n-채널 및 p-채널의 SONOSFET 기억소자와 MOS 및 결합 캐패시터로 구성되어 있는 테스트 패턴을 이용하여 추출하였다.

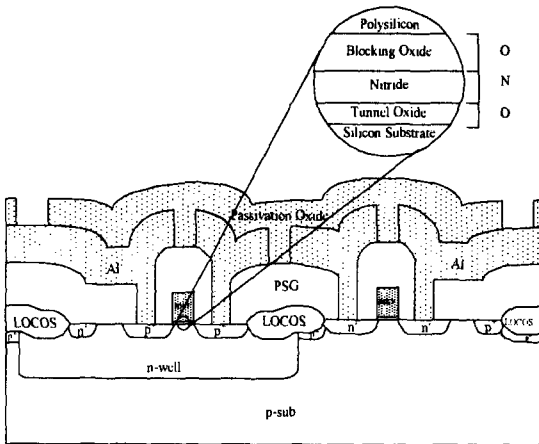


그림 1. 스케일 다운된 SONOSFET의 단면도.  
Fig. 1. Cross sectional view of scaled SONOSFETs.

#### 4. 결과 및 고찰

EEPROM소자는 게이트 유전막이 기록/소거 반복 동작 동안 높은 전류밀도의 스트레스를 받기 때문에 균일하고 우수한 막의 형성이 소자의 기억특성을 좌우한다. 제작된 스케일 다운된 SONOSFET의 게이트 유전막은 초박막으로 형성되어 있다. 막의 균일성과 정확한 두께는 ONO 유전막의 조성분석과 소자의 기억특성 및 동작특성을 크게 좌우한다. 따라서, 성장된 ONO 게이트 유전막의 두께를 정확히 결정하기 위하여 XTEM 분석을 실시하였으며, 그 결과는 그림 2와 같다. 단결정 실리콘 기판의 원자간격으로부터 결정된 길이 척도를 사용하여 얻은 각 유전막의 두께는 터널 산화막이 23 Å, 질화막이 53 Å, 블로킹 산화막이 33 Å 이었으며, 엘립소미터와 C-V 측정법을 이용하여 얻은 결과와 잘 일치하였다. 그림 2에서 알 수 있는 바와 같이 Si 기판 위의 ONO 유전막은 터널 산화막, 질화막, 블로킹 산화막이 차례로 균일하게 형성되었으며, 계면이 뚜렷이 구분되

고 매끄러움을 알 수 있다.

제작된 ONO 유전막의 형성 상태 및 구성 원소의 조성 분포를 조사하기 위하여 AES 깊이 분포를 수행하였으며, 그 결과는 그림 3과 같다. 실리콘 원소의 분포는 실선으로, 산소와 질소는 각각 일점쇄선과 점선으로 나타내었다. 산소 및 질소의 농도 분포로부터 표면에서 깊이 방향으로 블로킹 산화막, 질화막, 터널 산화막이 차례로 형성되어 있으며 XTEM 분석 결과와 잘 일치함을 알 수 있다.

그림 2.  $X_{OT}=23$  Å,  $X_N=53$  Å,  $X_{OB}=33$  Å인 초박막 ONO 게이트 유전막의 XTEM 영상.  
Fig. 2. XTEM image of the ultrathin ONO gate dielectrics with  $X_{OT}=23$  Å,  $X_N=53$  Å,  $X_{OB}=33$  Å.

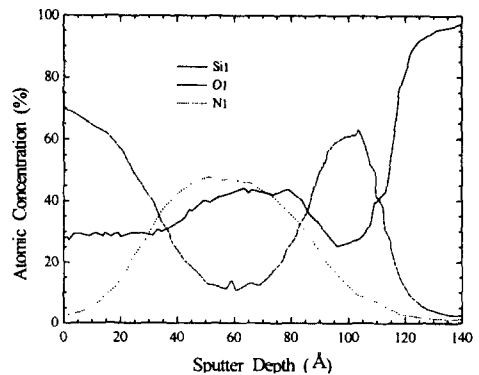


그림 3.  $X_{OT}=23$  Å,  $X_N=53$  Å,  $X_{OB}=33$  Å인 초박막 ONO 게이트 유전막의 오제 깊이 분포.  
Fig. 3. Auger depth profile of the ultrathin ONO gate dielectrics with  $X_{OT}=23$  Å,  $X_N=53$  Å,  $X_{OB}=33$  Å.

그림 3에서 알 수 있는 바와 같이 질화막 내에 상당량의 산소가 막 전체에 걸쳐 존재하며, 블로킹 산화막 하부와 터널 산화막 내에도 많은 양의 질소가 존재함을 알 수 있다. 질화막이 박막화 됨으로써 더 이상 산소 장벽 특성을 갖지 못함을 알 수 있다.

ONO 유전막의 결합상태를 정확히 분석하기 위하여 오제 스펙트럼에서 정보의 깊이가 가장 작고 화학 결합 상태의 변화에 따른 피크 에너지 이동량이 큰 Si1(LVV) 피크를 이용하여 ONO 박막에 대한 선형 최소 제곱 일치(linear least squares fit)를 수행하였으며, 그 결과는 그림 4와 같다. 초박막 ONO 유전막이 SiO<sub>2</sub>(블로킹 산화막 상부)/산소가 많은(O-rich) SiO<sub>x</sub>N<sub>y</sub>(블로킹 산화막 하부)/질소가 많은(N-rich) SiO<sub>x</sub>N<sub>y</sub>(질화막)/산소가 많은 SiO<sub>x</sub>N<sub>y</sub>(터널 산화막)의 4 중 구조임을 보여주고 있다. 질화막 내의 산소 분포는 미결합손(dangling bond)에 의한 기억트랩 중 얇은 트랩을 형성하는 미결합손을 매우거나 Si-H 결합을 치환하여 기억트랩의 준위를 깊게 하므로 기억유지 및 내구성을 향상시킬 수 있게 한다<sup>[3]</sup>. 터널 산화막은 그 위의 질화막 증착에 사용한 NH<sub>3</sub> 기체에 의해서 SiO<sub>2</sub> 상에서 SiO<sub>x</sub>N<sub>y</sub> 상으로 변화하게 되기 때문에 터널 산화막의 장벽 높이를 감소시키고 프로그램 전압강하와 기억유지 특성 저하 및 누설전류를 증가시킬 것으로 예상된다<sup>[4]</sup>. 또한, 질화

막의 산화에 의하여 형성된 블로킹 산화막 중 산화막 상부에서는 안정된 SiO<sub>2</sub> 상을 이루는 반면, 질화막 계면 근처에서는 SiO<sub>x</sub>N<sub>y</sub> 상이 존재함을 알 수 있다. 이는 질화막을 산화하는 과정에서 존재하게 되는 변환층(conversion layer)으로 이곳에 분포하는 다량의 기억트랩 때문에 질화막 벌크트랩의 감소에도 불구하고 낮은 프로그래밍 전압에 대해 큰 기억량을 갖는다고 해석된다<sup>[5]</sup>.

터널 산화막의 두께가 23 Å, 질화막 53 Å, 블로킹 산화막 33 Å이고 채널 크기(W×L)가 20 μm×1.5 μm인 스케일 다운된 SONOSFET 기억소자의 게이트에 음(양)의 전압을 인가하여 기억전하를 완전히 소거(주입)시킨 후 각각의 경우에 대해 프로그래밍 전압과 시간을 달리하며 소자를 기록(소거)시킨 후 문턱전압의 이동량을 구하여 스위칭 특성을 조사하였으며, 그 결과는 그림 5와 같다. 그림으로부터 프로그래밍 전압의 크기 및 시간이 증가할수록 문턱전압 이동량이 커짐을 알 수 있다. 또한 동일한 문턱전압 이동량을 얻기 위해서는 기록상태보다 소거상태에서 더 긴 프로그램 시간이 필요함을 알 수 있다. 0.7 V의 감지불능 준위를 고려할 때, +8 V, 20 ms, -8 V, 50 ms의 프로그래밍 조건으로 기억상태를 기록/소거할 수 있음을 알 수 있다.

제작된 소자의 기억유지 특성은 각각의 기억상태에

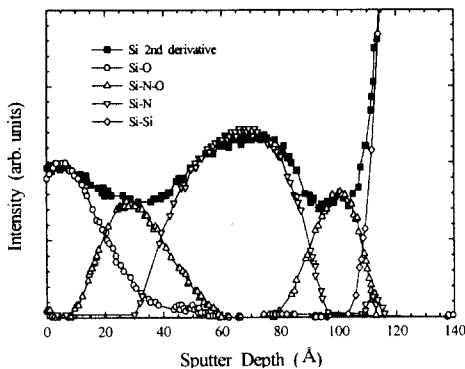


그림 4. X<sub>OT</sub>=23 Å, X<sub>N</sub>=53 Å, X<sub>OB</sub>=33 Å인 초박막 ONO 유전막의 결합상태 분석을 위한 Si LVV 오제 스펙트럼을 이용한 선형 최소 제곱 일치.

Fig. 4. Linear least square fit of the Si LVV Auger spectrum for bonding state analysis of the ultrathin ONO dielectrics with X<sub>OT</sub>=23 Å, X<sub>N</sub>=53 Å, X<sub>OB</sub>=33 Å.

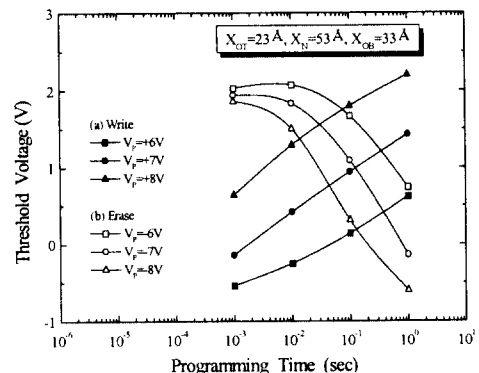


그림 5. X<sub>OT</sub>=23 Å, X<sub>N</sub>=53 Å, X<sub>OB</sub>=33 Å인 스케일 다운된 SONOSFET NVSM에서 프로그래밍 전압을 달리하였을 때 프로그래밍 시간에 따른 스위칭 특성.

Fig. 5. Threshold voltage versus programming voltages in the scaled SONOSFET NVSM with X<sub>OT</sub>=23 Å, X<sub>N</sub>=53 Å, X<sub>OB</sub>=33 Å.

서 경과시간에 따른 문턱전압을 측정하여 조사하였으며, 그 결과는 그림 6과 같다. 소거상태에서의 기억 유지 특성은 '●'로, 기록상태에서는 '■'로 나타내었다. 실선은 측정 값으로부터 감쇠율을 구하기 위하여 선형 최소 제곱법을 사용하여 구한 직선이다. 기록상태인 경우 소자의 문턱전압  $V_T$ 는 0.076 V/decade로 감소하였으나 소거상태에서는 거의 변화하지 않았다. 제작한 스케일 다운된 SONOSFET NVSM은  $10^9$  sec가 경과한 후에도 1 V 이상의 기억창을 유지하는 것으로 볼 때 10 년 이상의 기억유지 특성을 가지고 있음을 알 수 있다.

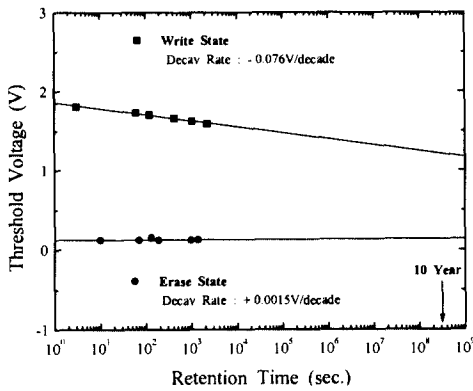


그림 6.  $X_{OT}=23$  Å,  $X_N=53$  Å,  $X_{OB}=33$  Å인 스케일 다운된 SONOSFET NVSM의 기억 유지 특성.

Fig. 6. Retention characteristics of the scaled SONOSFET NVSM with  $X_{OT}=23$  Å,  $X_N=53$  Å,  $X_{OB}=33$  Å.

현재 플래시 메모리의 주류를 이루고 있는 부유 게이트 형인 경우 정보의 기록 및 소거는 채널 전면을 통한 열전자 주입이나 FN 터널링 기구를 이용하기 때문에 매우 높은 전압이 필요하고 전하를 주입하는 동안의 고밀도 전류 스트레스에 의해 유전막이 열화된다. 초박막 ONO 구조를 갖는 SONOSFET 기억소자에서 전하주입 기구를 규명하기 위하여 측정값과 최적일치되는 터널링 기구를 조사하였다. 그림 7은 MFN 터널링 이론식에 의한 곡선과 실험곡선에 최적 일치법을 적용한 결과를 보여주고 있다. 그림에서 기호는 실험 값이고 실선은 MFN 터널링에 대한 이론식을 계산한 곡선이다. 이론곡선은 스윙칭 특성을 측정하기 위한 초기 문턱전압 값으로부터 얻

은  $Q_{TOT}(0)$ 와 식 (2)를 이용하여  $E_{OT}(0)$ 를 구한 다음, 식 (3)과 (4)로부터 문턱전압 이동량  $\Delta V_{TH}$ 를 계산하여 구하였다. 그림에서 프로그래밍 전압이 8 V인 경우 이론식과 측정 값이 잘 일치하였다. 이것으로부터 스케일 다운된 SONOSFET 기억소자의 스윙칭 조건인 8 V에서는 MFN 터널링이 주도적인 전하주입 기구임을 알 수 있다. 그러나, 프로그래밍 전압이 7 V 이하로 낮은 경우 잘 일치하지 않았다. 이는 이미 보고한 바와 같이 초기 산화막 전기장 세기가 작아서 트랩 어시스트 터널링(trap-assisted tunneling)이 주도적인 전하전송 기구가 되기 때문이라 사료된다<sup>[6]</sup>. 반면에 SONOSFET 기억소자는 MFN 터널링 기구를 이용하여 기억 동작을 수행하기 때문에 기록/소거 전류가 작아서 열전자 주입 또는 FN 터널링에 의한 전하주입을 이용하는 기존의 부유 게이트보다 높은 내구성과 신뢰성을 얻을 수 있다.

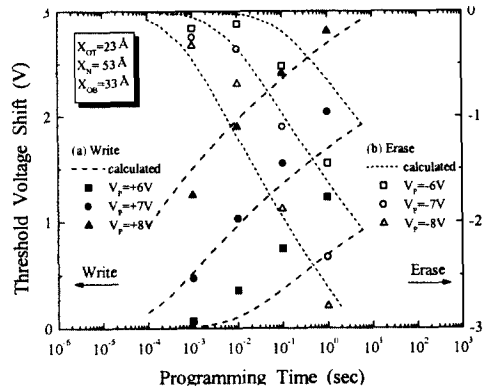


그림 7. 프로그램 시간을 달리하였을 때 프로그램 시간에 따른 문턱전압 이동량의 측정 값과 이론곡선의 비교. (a) 기록. (b) 소거.

Fig. 7. Comparison between the measured threshold voltage shift and the theoretical curve with programming time for different programming voltages. (a) Write. (b) Erase.

스케일 다운된 SONOSFET에서 프로그램에 의한 문턱전압의 분포를 조사하기 위하여 +8 V, 20 ms와 -8 V, 100 ms의 프로그래밍 조건으로 기록/소거를 각각 50 회 반복할 때마다 측정된 문턱전압의 분포는 그림 8과 같다. 프로그램 후 문턱전압은 모두 0.1 V 이내에 분포함을 알 수 있었다. 기존의 부유 게이트형 플래시 메모리와 달리 SONOSFET는 전

하 트랩 형 기억소자이기 때문에 단위면적당 기억트랩의 수에 의해 기억창이 포화된 값을 갖게 되어 문턱전압  $V_{TH}$ 의 분포가 극히 일정하다. 따라서 과도소거(over erase)와 같은 문제가 야기되지 않는다는 장점을 갖는다.

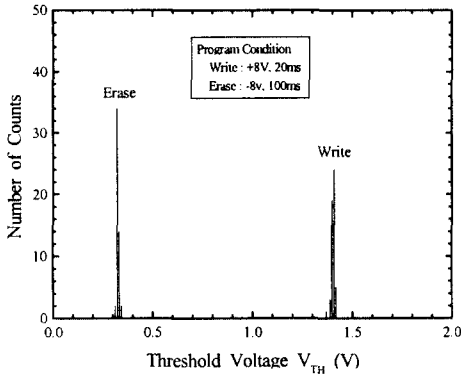


그림 8. 기록/소거 반복에 따른 문턱전압의 분포.  
Fig. 8. Threshold voltage distribution with write/erase repetition.

SONOSFET 메모리 셀 설계 및 회로의 전산모사에 필수적인 SPICE 파라미터는 MOSFET의 UC Berkeley Level 3 모델을 적용한 UTMOST III를 이용하여 웨이퍼 상태에서 추출하였다. 게이트에 인가된 전압이 5 V 이상이면 질화막에 전하가 주입되어 초기 문턱전압이 변하게 되기 때문에 항상 문턱전압이 동일한 초기조건에서 모든 항목의 측정을 실시하였다. 먼저 제작한 스케일 다운된 SONOSFET의  $I_{DS}-V_{GS}$  측정곡선과 이론곡선의 일치로부터 파라미터를 추출하여 국부적인 최적화를 실시한 다음 전체 영역에 대한 최적화를 실시하여 SPICE 파라미터를 얻을 수 있었으며, 표 1에 그 결과를 정리하였으며, 에러율은 5.227 % 이었다.

제작된 스케일 다운된 SONOSFET 기억소자를 플래시 EEPROM으로 응용하기 위해 읽기 속도가 빠르고, 랜덤 액세스가 가능한 NOR형 8×8 bit 단위 메모리 셀을 설계하였으며, 그 회로도도 그림 9와 같다. 읽기 동작은 선택된 메모리 셀의 게이트에 읽기 동작 전압,  $V_R$ 을 인가하고, 임계전압 감지 구성요소를 통해 선택된 기억 셀의 문턱전압 검출전압이 소스에 인가 되도록 하였다. 기억 셀의 포화전류가 감지 구성요소의 포화전류와 같아지면 소스에 인가되는

표 1. 곡선일치, 국부적 최적화 및 전체적 최적화로부터 얻은 SONOSFET SPICE 파라미터.

Table 1. SONOSFET SPICE parameters acquired from curve fitting, local and global optimization.

변수명	소자구분 SONOSFET	단위
TOX	8.75E-9	m
NSUB	6.76E16	1/cm <sup>2</sup>
GAMMA	0.338	V <sup>1/2</sup>
THETA	0.023	
PHI	0.79 V	
ETA	0.386	
VT0	0.787 V	
RD	60	Ohm
RS	60	Ohm
RSH	40.9	Ohm/sq.
DELTA	0.3	
CGD0	4.1E-10	F/m
CGS0	4.1E-10	F/m
CGB0	50.9E-10	F/m
CJ	5.56E-5	F/m <sup>2</sup>
PB	0.5054 V	
MJ	0.4105	
FC	0.9491	
IS	9.90E-14	A
N	1.04	
NFS	2.63E12	1/cm <sup>2</sup>
LD	1.0E-7	m
WD	1.6E-7	m
U0	310	cm <sup>2</sup> /V-s
VMAX	2.37E5	m/s
XJ	0.3E-6	m
에러율	5.227%	

검출전압이 포화되고 이 전압으로 기억상태를 읽을 수 있도록 하였다. 쓰기 동작은 선택된 셀의 게이트에는 스위칭 특성을 조사하여 얻은 프로그램 조건의 쓰기 동작 전압이, 소스와 드레인에는 '영' 전압이 인가되고 버디(body)에도 '영' 전압이 인가 되도록 하였다. 이렇게 하면 채널 내의 전계 분포가 균일하게 되므로

MFN 터널링이 전면에서 일어난다. 따라서 채널 고온 캐리어의 주입 발생을 막아 소자 신뢰성을 높일 수 있다. 또한 메모리 전체 혹은 블록을 웰 내에 형성하면 인가된 쓰기 동작전압이 주변회로나 다른 블록에 영향을 미치지 않는다. 지우기 동작은 전체 메모리 셀을 한꺼번에 소거하는 플래시 지우기 동작을 선택하였다. 기억 내 모든 셀의 소스/드레인/웰(버디)에 '영' 전압을, 게이트에는 지우기 동작전압이 인가되도록 하여 MFN 터널링을 통한 소거가 되도록 하였다.

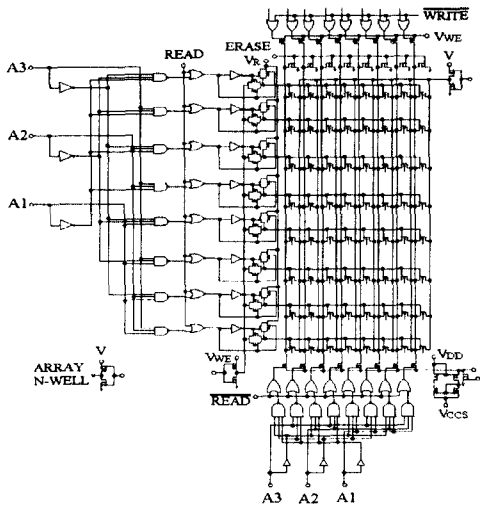


그림 9. SONOSFET 이용한 NOR 8×8 bit 메모리 회로도  
 Fig. 9. NOR type 8×8 bit memory circuit schematics utilizing SONOSFET.

설계된 NOR형 플래시 EEPROM의 전기적 특성을 조사하기 위하여 추출한 SPICE 파라미터를 사용하여 전산모사를 수행하였다. 읽기 동작전압  $V_R=1$  V로, 임계전압 감지 부위 쪽  $V_{CCS}$ 는 7.5 V로 하였다. 읽기 신호에 대한 출력이 포화전압을 나타낼 때까지의 전달 지연시간은 기억 셀이 기억상태에 있을 때 32.6 ns이었고 소거상태에 있을 때는 25.4 ns로 기준에 출시되고 있는 플래시 메모리 제품과 비교하여 우수한 특성을 얻었다. 쓰기 전압이 인가 될 때 과도 지연시간이 6 ns이었으며 지우기 동작의 과도 지연시간은 6.2 ns이었다.

5. 결 론

ONO 적층구조의 게이트 유전막을 초박막으로 스케일 다운하고 1.5  $\mu$ m의 설계규칙을 적용한 n-웰 CMOS 표준공정을 이용하여 스케일 다운된 SONOSFET NVSM을 제작하고 그 특성을 조사하였다. 또한, 플래시 EEPROM에의 응용 가능성을 조사하기 위하여 8×8 bit NOR형 플래시 EEPROM의 회로를 설계하고 그 전기적 특성을 전산모사 하여 다음과 같은 결론을 얻었다.

성장된 ONO 유전막의 두께는 터널 산화막 23 Å, 질화막 53 Å, 블로킹 산화막 33 Å이었다. AES 분석을 이용하여 깊이에 따른 구성 원소의 분포 및 형성 상태를 확인하였으며 ONO 유전막은  $SiO_2$ /산소가 많은  $SiO_xN_y$ /질소가 많은  $SiO_xN_y$ /산소가 많은  $SiO_xN_y$ 의 구조로 이루어졌음을 알 수 있었다. 질화막과 블로킹 산화막 계면에는  $SiO_xN_y$  상의 변환층의 존재가 관찰되었고 이곳에 존재하는 다량의 계면트랩 때문에 얇은 질화막에도 불구하고 낮은 프로그램 전압에 대해 큰 기억창을 갖게 된다. 제작한 스케일 다운된 SONOSFET 기억소자의 스위칭 특성으로부터  $\Delta V_{TH}=3$  V의 최대 기억창을 얻었으며, 0.7 V의 감지불능 준위를 고려할 때 +8 V, 20 ms, -8 V, 50 ms의 프로그래밍 조건으로 기억상태를 프로그램할 수 있었다. 기록/소거 반복에 따른 문턱전압이 0.1 V 이내의 분포를 나타내었다. 프로그래밍 시간에 따른 문턱전압의 이동량에 대한 측정 값과 이론식으로부터 계산한 값을 최적일치하여 전하전송 기구를 조사하였다. 제작된 스케일 다운된 SONOSFET 기억소자는 스위칭 조건인 8 V 프로그래밍 전압에서 MFN 터널링이 주도적인 전하전송 기구임을 알 수 있었다. MOSFET의 UC Berkeley Level 3 모형을 적용하여 추출하고, 최적화하여 플래시 EEPROM의 회로 전산모사를 위한 SPICE 파라미터를 얻었다. 설계한 NOR형 메모리 셀의 읽기 동작은 전압 검출 방식으로 설계하였으며 전산모사 결과 읽기 동작 지연시간은 소거상태와 기록상태에서 각각 25.4 ns와 32.6 ns이었고, 쓰기 동작 지연시간은 6 ns이었으며, 지우기 동작 지연시간은 6.2 ns의 우수한 특성을 얻었다. 따라서 스케일 다운된 SONOSFET 기억소자는 스케일 다운이 가능하여 기존의 소자보다 저전압에 더욱 유리하고 CMOS 공정과의 호환성이 뛰어나고 구조가 간단하며 셀 크기를 작게 할 수 있어 경제성이 우수한 플래시 메모리를 구현할 수 있다. 문턱전압의 분포가 극히 일정하고 과도 소거 문제가 발생하지 않는다. 또한, MFN 터널링 방식으로 기억 동작을 구현하기 때문에 내구성을 개선할 수 있어 신뢰성이 더욱 뛰어난 저가의 메모리를 구현할 수 있음을 알 수 있었다.

### 감사의 글

이 논문은 1998년도 광운대학교 교내 학술 연구비에 의하여 연구되었음.

### 참 고 문 헌

1. W. D. Brown, J. E. Brewer, "Nonvolatile Semiconductor Memory Technology", IEEE Press, 1998.
2. M. L. French, M. H. White, "Scaling of Multidielectric Nonvolatile SONOS Memory Structures", Solid-State Electronics, Vol. 37, pp. 1913-1923, 1994.
3. V. J. Kapoor, D. Xu, R. S. Bailey, R. A. Turi, "The Combined Effect of Hydrogen and Oxygen Impurities in the Silicon Nitride Film of MNOS Devices", J. Electrochem. Soc., Vol. 139, No. 3, pp. 915-921, 1992.
4. X. Guo, T. P. Ma, "Tunneling Leakage Current in Oxynitride : Dependence on Oxygen/Nitrogen Content", IEEE Electron Dev. Lett., Vol. 19, No. 6, pp. 207-209, 1998.
5. E. Suzuki, H. Hiraishi, K. Ishii, Y. Hayashi, "A Low-Voltage Alterable EEPROM with Metal-Oxide-Nitride-Oxide-Semiconductor (MONOS) Structures", IEEE Trans. Electron Dev., Vol. 30, No. 2, pp. 122-128, 1983.
6. 이상배, 이상은, 서광열, "저전압 EEPROM을 위한 Scaled MONOS 비휘발성 기억소자의 제작 및 특성에 관한 연구", 전기전자재료학회지, Vol. 8, No. 6, pp. 727-736, 1995.