

Semi-empirical 정전용량 모델을 이용한 대면적·고화질 TFT-LCD의 화소 특성 시뮬레이션

논문
12-10-15

Simulations of Pixel Characteristics for Large Size and High Quality TFT-LCD Using a Semi-empirical Capacitance Model

윤영준*, 정순신*, 김태형*, 박재우*, 최중선*

(Young Jun Yun*, Soon Shin Jung*, Tae Hyung Kim*, Jae Woo Park*, Jong Sun Choi*)

Abstract

An active-matrix liquid crystal display (LCD) using thin film transistors (TFTs) has been widely recognized as having potential for high-quality color flat-panel displays. In this study, Pixel-Design Array Simulation Tool (PDAST) was used to profoundly understand the gate signal distortion and pixel charging capability, which are the most critical limiting factors for high-quality TFT-LCDs. Since PDAST can simulate the gate, data and pixel voltages of a certain pixel on TFT array at any time and at any location on an array, the effect of the new set of capacitance models on the pixel operations can be effectively analyzed. The set of models which is adopted from very large scale integration (VLSI) interconnections calculate more precise capacitance. The information obtained from this study could be utilized to design the larger area and finer image quality panel.

Key Words(중요용어) : Thin Film Transistor(TFT), Capacitance, Fringing Effects, Pixel Voltage, Gate Voltage, Data Voltage, Pixel-Design Array Simulation Tool(PDAST)

1. 서 론

최근 정보화 시대가 되어감에 따라 고화질과 대화면적의 평판 디스플레이에 대한 요구가 점점 증가하고 있고, 그 결과 여러 가지 평판 디스플레이 기술에 대한 연구와 개발이 활발히 진행되고 있다. 이들 중 가장 우수하고 널리 사용되고 있는 것은 비정질 실리콘 박막트랜지스터(TFT)를 스위칭 소자로 사용하는 액정 표시 장치(TFT-LCD)이다. 본 연구에서는 TFT-LCD의 동작 특성에 중요한 영향을 끼치는 요소 중의 하나인 정전용량에 대하여 시뮬레이션 하였다.

이전의 정전용량 계산방법은 corner 나 edge 부분

의 fringe 효과를 고려하지 않았기 때문에 화소의 전압을 정확하게 구할 수 없었다. 본 연구에서는 VLSI 분야에서 사용되고 있는 다층 배선 용량(multilevel interconnection line capacitance) model을 적용했고, 그 결과 좀 더 정확한 정전용량을 구할 수 있었다. 본 연구에서 적용한 semi-empirical model은 매우 정확하지만 복잡하고 시간이 많이 걸리는 numerical model과 거의 동일한 결과를 보여주고 있다^[1]. 새로운 정전용량 model을 이미 그 유용성과 편리성을 보인 바 있는 화소 설계 및 어레이 시뮬레이션 도구인 PDAST^[2]에 이식하여 TFT 어레이상의 한 화소에서 게이트, 데이터 및 화소 전극 전압의 충전 특성을 시뮬레이션 하였다. PDAST는 여러 가지 소자와 어레이 파라미터들을 편리하게 입력하고 수정할 수 있으며 TFT 어레이상의 임의의 위치에 있는 화소에서, 임의의 시간에서 게이트, 데이터 및 화소의 특성을 시뮬레이션할 수 있도록 개발되었다. 이렇게 얻어진 결과는 대화면적, 고화질 TFT-LCD의 설계와 제작에 일반적인 방향을 제시해 줄 수 있을 것이다.

* : 홍익대학교 전자전기공학부
(서울특별시 마포구 상수동 72-1, Fax : 02-320-1110 E-mail : g98112112@wow1.hongik.ac.kr)
1999년 7월 15일 접수, 1999년 9월 30일 심사완료
<'99 춘계학술대회에서 추천된 논문임>

2. Simulation 방법

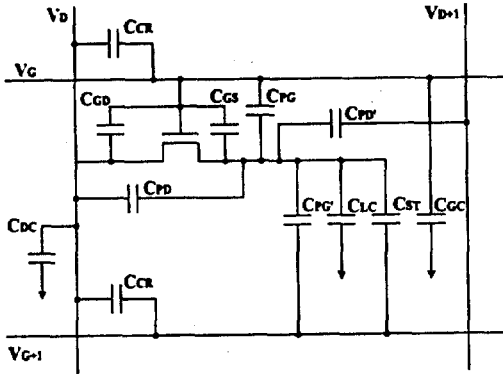


그림 1. 한 화소의 정전용량 동가회로.
Fig. 1. An equivalent capacitance circuit for a TFT-LCD pixel.

널의 폭/길이가 25/5 μm 인 TFT를 사용한 15" XGA급(1024 \times 768) TFT-LCD를 기준으로 종전에 사용된 단순한 model과 새롭게 제시된 model로 정전용량 값을 계산하고 1000번째 row의 1000번째 column에 있는 화소의 특성을 시뮬레이션 하였다.

표 2. 입력 파라메타의 종류와 값.
Table 2. Input values of parameters for 15", 64 gray-level and XGA TFT-LCD.

Parameters	Values	Parameters	Values
대각크기	15"	게이트 전압	0~10 V
해상도	1024 \times 768	데이터 전압	0~20 V
외판비	4 : 3	문턱전압	3 V
프레임 시간	16.667	전계효과이동도	0.5 cm^2/Vs
제조수	64	절연체 유전율	6.5
실리콘 두께	3000 A	액정 유전율	9.8, 3.2
채널 폭	25 μm	채널 길이	5 μm
중첩 폭	25 μm	중첩 길이	3 μm
Inversion	Frame	Pixel의 위치	1000, 1000

표 1. 정전용량들의 의미.
Table 1. Meanings of various capacitance.

용량	의미
C_{cr}	Data-to-Gate-line Crossover C
C_{LC}	Liquid Crystal C
C_{DC}	Data-to-Common C
C_{CC}	Gate-to-Common C
C_{GS}	Gate-to-Source overlap C
C_{PD}	Pixel-to-Data-line C
C_{PG}	Pixel-to-Gate-line C
$C_{PD'}$	Pixel-to-adjacent-Data-line C
$C_{PG'}$	Pixel-to-adjacent-Gate-line C

TFT-LCD의 한 화소의 정전용량은 그림 1과 같이 액정용량(C_{LC}), 축적용량(C_{ST}), 기생용량(C_{GS}), 그리고 게이트·드레인과 화소전극 사이에 생기는 coupling 용량(C_{PG} , C_{PD} , $C_{PG'}$, $C_{PD'}$)등을 가진 동가회로로 나타낼 수 있다. 각 정전용량의 의미는 표 1에 정리하였다. 여기서 화소는 sub-pixel 또는 dot을 의미한다. 축적용량은 앞 화소의 게이트에 연결된 형태(C_{ST} -On-Gate)로 가정하였고, 시뮬레이션에 사용되어진 주요 파라메타의 종류와 그 값들은 표 2에 제시하였다. 전계 효과 이동도가 0.5 cm^2/Vs 이고, 체

본 연구에서 새롭게 구한 정전용량은 데이터 배선과 게이트 배선 교차부의 용량, 액정 용량, 게이트 전극과 소오스/드레인 전극간의 중첩에 의한 기생 용량, 공통 전극과 드레인/게이트 전극의 교차부에서 생기는 정전용량, 화소 전극과 드레인/게이트 전극의 coupling에 의해 생기는 정전용량이다.

지금까지 구해 오던 정전용량은 다음과 같이 간단한 식을 이용해서 계산하였다^[4].

$$C = \epsilon(S/d)$$

위 식에서 ϵ 은 두 평행도체판 사이의 유전율, S는 도체판의 면적, d는 두 도체판 사이의 거리를 나타낸다. 이렇게 구한 정전용량은 끝 부분의 불 균일한 전하분포에 의한 영향(fringing effects)을 취급하지는 않기 때문에 정확한 정전용량을 구하는때는 다소 부족한 면이 있었다. 그래서 본 연구에서는 VLSI에서 사용되는 다층 배선 용량 model을 사용하여 fringing effects를 고려하였다.

첫 번째로 데이터 배선과 게이트 배선 교차부의 정전용량을 구하였는데, 이 때는 그림 2와 같이 두 개의 라인이 교차되는 구조의 수식을 사용하였다^[5].

$$C/\epsilon = 3.285 \times ((W_1 \times W_2)/H_2) + W_1 \times (4.505 \times (T_2/(T_2 + 0.2 \times H_2)) - 0.438 \times (T_2/(T_2 + 0.2 \times H_2)^2)) + W_2 \times (4.505 \times (T_1/(T_1 + 0.2 \times H_2)) - 4.348 \times (T_1/(T_1 + 0.2 \times H_2)^2)) + 1.532 \times (T_2 \times (W_1/(W_1 + 0.5 \times H_2))^{2.56} - T_1 \times (W_2/(W_2 + 0.5 \times H_2))^{2.56})$$

그림 2. 다른 층으로 서로 교차되는 전극 구조.
Fig. 2. Two crossover lines on different layers.

그 다음으로 액정 용량을 구하였는데, 액정의 용량은 그림 3과 같이 공통전극 위에 한 개의 유한한 길이의 전극을 가지고 있는 구조를 적용하였다^[6]. 액정의 유전율은 worst-case로 가장 큰 값을 사용하였다.

$$C/\epsilon = 1.15 \times (S/H) + 1.40 \times (T/H)^{0.222} \times D + 4.12(T/H)^{0.728} \times H$$

그림 3. 한 개의 일정한 길이의 전극이 있는 구조.
Fig. 3. A single plate on ground plane.

세 번째로는 게이트 전극과 소오스/드레인 전극간의 증첩에 의해 생기는 기생용량을 구하였는데, 이때 적용한 구조는 그림 4와 같다^[6].

$$C/\epsilon = 1.25 \times (W_1 - S_{ov}/(H_1 + H_2 + T_2)) + 2.919 \times (T_1/(H_1 + H_2 + T_2))^{0.25} + 0.906 \times (S_{ov}/H_2) + [0.198 \times (T_1/(W_2 - S_{ov} + 1)) - 0.447 \times (T_1/(W_2 - S_{ov} + 1))^2 + 2.514 \times (T_2/(W_1 - S_{ov} + 1)) - 2.883 \times (T_2/(W_1 - S_{ov} + 1))^2] \times (H_1/H_2)^{0.649}$$

그림 4. 다른 두 평행한 전극이 증첩되는 구조.
Fig. 4. Overlapping parallel lines on different layers.

네 번째로는 게이트 전극과 공통전극, 그리고 데이터 전극과 공통전극 사이의 정전용량을 구하였고, 이때 사용한 구조는 그림 5와 같다^[6].

그림 5. 공통전극 위에 무한한 길이의 전극 구조.
Fig. 5. A single line on ground plate.

$$C/\epsilon = 1.15 \times (W/H) + 2.80 \times (T/H)^{0.322}$$

마지막으로 cross-talk를 구하기 위해 반드시 필요한 화소전극과 데이터 전극, 화소전극과 게이트 전극간의 coupling 정전용량을 구하였다. 이때는 그림 6과 같이 두 개의 전극이 공통전극 위에 있는 구조를 사용하여 정전용량을 계산하였다¹⁷⁾.

$$C/\epsilon = 1.064 \times (T/S)(T+2H/(T+2H+0.5S))^{0.495} + (W/W+0.8S)^{1.418}(T+2H/(T+2H+0.5S))^{0.804} + 0.831 \times W/W+0.8S)^{0.85}(2H/(2H+0.5S))^{1.542}$$

그림 6. 두 개의 전극이 공통전극 위에 있는 구조.
Fig. 6. Two lines on ground plane.

3. Simulation 결과

위의 계산식 중, 마지막으로 구한 화소전극과 데이터/게이트 전극간의 mutual coupling 정전용량을 계산하기 위해서 그림 7의 구조를 그림 6의 구조로 간략화해서 mutual coupling 정전용량을 두 전극(데이터 전극과 화소전극) 사이의 거리와 전극의 폭의 함수로 시뮬레이션 해보았다. 그 결과를 그림 8과 그림 9에 나타내고 있는데, 결과 값이 문헌상의 결과와 거의 일치함을 보여주고 있다.^{[8], [9], [10]} 여기서 두 전극 사이의 간격이 감소할수록 정전용량은 증가함을 알 수 있었고, 또 전극의 폭이 증가할수록 정전용량도 따라서 증가함을 알 수 있었다. 이 사실은 TFT-LCD가 고해상도, 대화면적으로 갈수록 두 전극 사이의 간격은 좁아지고, 이에 따라 mutual coupling 정전용량이 증가되고, cross-talk가 더 심하게 일어날 것이라는 사실을 말해주고 있다^[10].

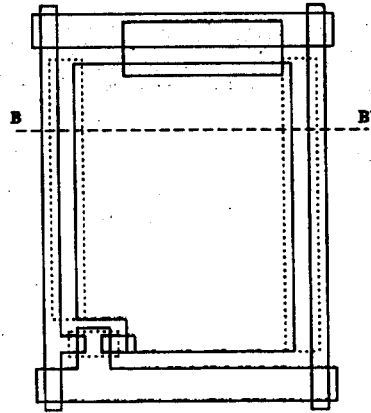


그림 7. 한 화소의 레이아웃과 그 측면도.
Fig. 7. Pixel layout and cross-sectional view along the line BB'.

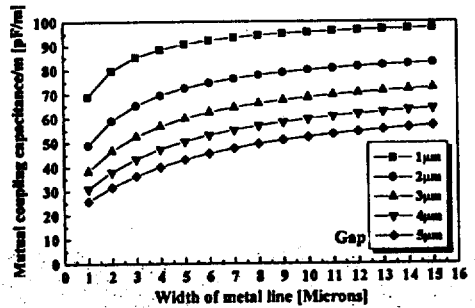


그림 8. 전극의 폭에 따른 정전용량.
Fig. 8. Variation of mutual coupling capacitance with varying metal line width.

이전의 정전용량 계산식과 본 연구에서 제안한 정전용량 계산식을 이용하여 구한 정전용량 값을 표 3에 나타내었다. 새롭게 구한 정전용량 값은 끝 부분의 불 균일한 전하분포에 의한 영향을 포함하였기 때문

에 이전의 계산 값보다 다소 큰 값을 나타냄을 알 수 있었다. 이렇게 구해진 정전용량 값을 가지고 1000 번째 row의 1000번째 column에 있는 화소에서의 게이트 전압, 데이터 전압, 화소의 전압 특성을 PDAST를 이용해 시뮬레이션해서 그림 10, 11, 12에 각각 나타내었다. 결과 값들을 살펴보면 중전의 단순한 정전용량 model보다 새로운 정전용량 model이 더 큰 신호지연을 보임을 알 수 있었다. 그리고 게이트 전압과 데이터 전압의 신호지연에 따라 화소의 충전 전압이 약 0.5V 정도 감소했음도 알 수 있었다. 이렇게 새롭게 구해진 정전용량 값으로 본 연구에서는 기존의 방법보다 더 정확한 화소의 충전 특성을 살펴볼 수 있었고 대화면적, 고정세 TFT-LCD의 설계나 시뮬레이션을 위해서는 각종 용량들을 정확히 계산할 필요가 있다는 것을 확인할 수 있었다.

표 3. 계산식에 따른 정전용량 비교.
Table 3. Comparison of calculated capacitance.

Capacitance	Simple Model [pF]	New Model [pF]
C_{cr}	0.020287	0.069258
C_{LC}	0.290713	0.374793
C_{DC}	0.263013	0.285930
C_{OC}	0.211558	0.222179
C_{OS}	0.015304	0.015883
C_{PD}	-	0.013711
C_{PO}	-	0.004171
$C_{PD'}$	-	0.016457
$C_{PO'}$	-	0.005261

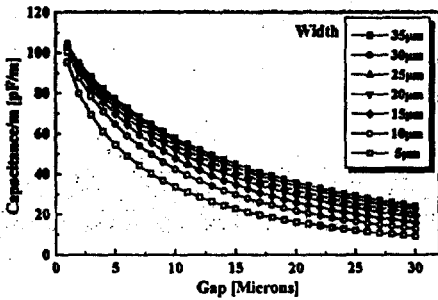


그림 9. 두 전극사이의 거리에 따른 정전용량.
Fig. 9. Variation of mutual coupling capacitance with varying gap of two metal lines.

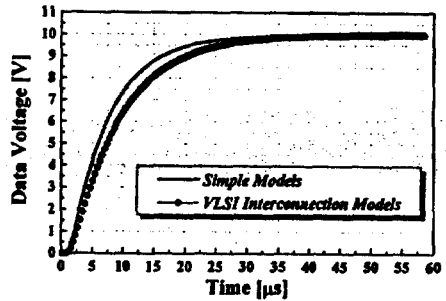


그림 11. 정전용량 model에 따른 데이터 전압 특성.
Fig. 11. Data voltage characteristics according to capacitance model.

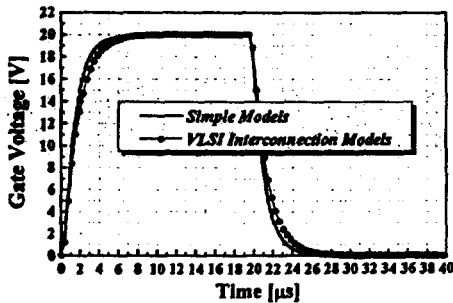


그림 10. 정전용량 model에 따른 게이트 전압 특성.
Fig. 10. Gate voltage characteristics according to capacitance model.

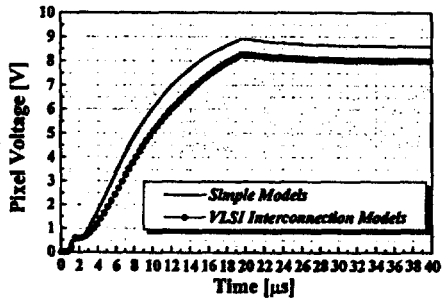


그림 12. 정전용량 model에 따른 화소 충전 특성.
Fig. 12. Charging characteristics of pixel according to capacitance model.

4. 결 론

본 연구에서는 corner나 edge 부분의 불 균일한 전하분포에 의한 영향을 취급하지 않는 종전의 정전용량 계산식 대신에 VLSI에서 적용되어지는 정전용량 model을 사용해서 더 정확한 정전용량 값을 구해 낼 수 있었다. 이렇게 구해진 정전용량 값을 화소-절계 어레이 시뮬레이션 도구인 PDAST에 적용함으로써 이전의 방법보다 더욱 정확한 화소의 전압을 구해 낼 수 있었고 화소의 전기적 특성에 상당한 영향을 준다는 것을 확인하였다. 새롭게 제시된 정전용량 model과 PDAST를 이용해 cross-talk, flicker 등을 포함한 화소의 전기적 특성들을 더욱 정확하고 편리하게 시뮬레이션 할 수 있을 것이다.

감사의 글

본 연구는 통상산업부와 과학기술처에서 시행한 선도기술개발(G-7)사업의 지원으로 수행되었으며, 이에 감사드립니다.

참 고 문 헌

1. Albert E. Ruehli, Pierce A. Brennan, "Capacitance models for integrated circuit metallization wires", IEEE Journal of Solid-State Circuits, Vol. SC-10, No. 6, pp. 530-536, 1975. 12.
2. 이영삼, 정순신, 윤영준, 최중선, "게이트 라인 물질의 저항률에 따른 TFT-LCD 화소의 동작 특성", 대한금속학회지, Vol. 11, No. 5, 1998. 10.

3. 이영삼, 박지훈, 최중선, "TFT-LCD 화소 설계 도구(PDAST)의 개발과 응용", 전기학회지, Vol. 48C, No. 6, pp. 416-428, 1999. 6.
4. William H. Hayt, Junior, "Engineering electromagnetics", McGraw-Hill, pp. 144-150, 1989.
5. S.-C. Wong, Patrick S. Liu, J.-W. Ru, S.-T. Lin, "Interconnection capacitance models for VLSI circuits, Solid-State Electronics, Vol. 42, No. 6, pp. 969-977, 1998.
6. T. Sakurai, K. Tamaru, "Formulas for two- and three- dimensional capacitance", IEEE Trans. Electron Devices, Vol. ED-30, No. 2, pp. 183-185, 1983.
7. J.-H. Chern, Jean Huang, Lawrence Arledge, P.-C. Li, Ping Yang, "Multilevel metal capacitance models for CAD design synthesis systems", IEEE Electron Device Lett., Vol.13, No. 1, pp. 32-34, 1992.
8. Robert L. Wisnieff, "Line delay capacitive crosstalk effects in TFT/LCDs", 1988 SID, pp. 173-178, 1988.
9. R. L. Wisnieff, "Gray scale fidelity of thin film transistor addressed liquid crystal displays", Proceedings of the Conference Eurodisplay 1987 London, pp. 59-62, 1987.
10. F. R. Libsch, S.-C. A. Lien, "Understanding crosstalk in high-resolution color thin-film-transistor liquid crystal displays", IBM Journal of Research and Development, Vol. 42, No. 3/4, pp. 467-479, 1998.