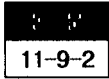


p-채널 Poly-Si TFT's 소자의 Hot-Carrier 효과에 관한 연구



A Study on the Hot-Carrier Effects of p-Channel Poly-Si TFT's

전교원*, 박태성*, 백희원*, 이진민*, 조봉희**, 김영호*

(G. W. Chin, T. S. Park, H. W. Back, J. M. Lee, B. H. Cho, Y. H. Kim)

Abstract

Hot carrier effects as a function of bias stress time and bias stress conditions were systematically investigated in p-channel poly-Si TFT's fabricated on the quartz substrate. The device degradation was observed for the negative bias stress, while improvement of electrical characteristic except for subthreshold slope was observed for the positive bias stress. It was found that these results were related to the hot-carrier injection into the gate oxide and interface states at the poly-Si/SiO₂ interface rather than defects states generation within the poly-Si active layer under bias stress.

Key Words(중요단어) : poly-Si TFT(poly-Si TFT's), Hot-carrier effect(핫 캐리어 효과), Hot-carrier injection(핫 캐리어 주입), Interface states(계면 상태)

1. 서 론

최근 poly-Si TFT's (polysilicon thin film transistors, poly-Si TFT's)는 active matrix의 스위칭 소자뿐만 아니라 비정질 실리콘 TFT's에 비해 동일한 기판에 액정디스플레이 구동회로를 집적화할 수 있기에 가능한 저소비전력화, 소형화 및 우수한 전기적 특성으로 인하여 많은 연구가 진행되고 있다. 그러나 poly-Si TFT's는 10V~30V 정도의 비교적 높은 구동전압 인가로 인하여 hot-carrier 현상이 발생하게 되며 특히, 차세대 고정밀 대화면 Hi-Vision용 액정 투사형 디스플레이와 같이 TFT 소자의 채널길이가 10 μ m이하가 되는 경우 hot-carrier 효과로 인한 poly-Si TFT's의 전기적 특성 저하 현상이 더욱 심각한 문제점으로 대두되고 있다. 이와 같이 전기적 스트레스에 의한 hot-carrier 현상은 소자 및 시스템의 장기적 신뢰성에 결정적

으로 영향을 미치는 매우 중요한 요인이기 때문에 hot-carrier 효과에 대한 다양한 연구가 이루어져 왔다. Hot-carrier 효과에 의한 소자특성의 변화요인으로서는 n-채널 poly-Si TFT에서의 hot-carrier 주입으로 인한 계면준위 생성¹⁾, poly-Si 박막내의 결합 생성²⁾, 게이트 산화막 내로의 hot-carrier trapping³⁾ 등 여러 가지 hot-carrier 현상의 원인이 제시되고 있으나 p-채널 poly-Si TFT's의 전기적 스트레스 인가에 따른 hot-carrier 현상의 지배적인 메커니즘 규명이 아직 미흡한 것으로 알려져 있다.

따라서, 본 연구에서는 W/L=10 μ m/5 μ m인 p-채널 poly-Si TFT's를 제조한 후 전기적 스트레스에 따른 전기적 특성 변화를 체계적으로 해석하여 p-채널 poly-Si TFT's의 hot-carrier 현상 메커니즘을 규명하고자 한다.

2. 실험 방법

LPCVD 방법으로 550 $^{\circ}$ C 에서 500A 두께의 실리콘 박막을 quartz 기판 위에 증착하여 활성영역층으로 사용하였다. 실리콘 이온을 35 KeV, 1.1 \times 10¹⁵ /cm² 의 조건으로 실리콘 박막에 이온 주입시킨 후

* : 수원대학교 전자재료공학과
(경기도 화성군 봉담읍 와우리 산 2-2)
Fax : 0331-220-2495, E-mail : yhkim@mail.suwon.ac.kr
** : 수원대학교 전기전자정보통신 공학부
1998년 2월 4일 접수, 1998년 7월 14일 심사완료

SPC(solid phase crystallization)방법으로 580°C에서 48시간 열처리 하였다. Active 마스크를 이용하여 활성 영역층을 정의하고 건식 식각 방법으로 다결정 실리콘 박막을 식각 하였다. 게이트 산화막은 열산화 방법으로 950°C에서 1000Å 성장시켜 게이트 마스크를 사용하여 게이트 영역층을 정의한 후 p⁺의 소오스, 드레인 형성을 위해 자기 정렬 방법으로 3 × 10¹⁵ / cm², 95 KeV의 조건으로 Boron 이온을 소오스, 드레인, 게이트 영역에 이온 주입시켰으며 열산화 방법으로 순수 SiO₂ 막을 950°C에서 3500Å 두께로 증착시켰다. Contact 마스크를 이용하여 소오스, 드레인, 게이트 접촉점을 정의한 후 metal 마스크를 사용하여 전극을 형성하고 450°C에서 1시간 열처리하여 p-채널 poly-Si TFT's를 제작하였다. 이렇게 제작한 소자에 정 바이어스 (V_{GS} = + 20V, V_{DS} = - 20V)와 부 바이어스 (V_{GS} = - 20V, V_{DS} = - 20V) 스트레스를 인가하여 전기적 스트레스 시간에 따른 특성변화를 분석하였다.

3. 결과 및 고찰

표 1. 전기적 스트레스를 인가하기 전·후의 p-채널 poly-Si TFT's의 소자 특성

Table 1. Summary of device parameters of p-channel poly-Si TFT's (W=10µm,L=5µm) before and after bias stress

stress Conditions		Device Parameters				
Bias Mode	Time [sec]	ΔV_{TH} /V _{TH}	$\Delta \mu_n/g_m$	I _{sd} (pA)		ΔS -Slope /S-Slope
				V _{GS} = 5V	V _{GS} = 15V	
V _{GS} = - 20V V _{DS} = - 20V	0	-	-	3.95	18.4	-
	10	0.075	0.018	2.56	13.7	0.02
	90	0.266	0.018	2.37	15.5	0.05
	14400	0.375	0	2.27	1.81	0.29
V _{GS} = + 20V V _{DS} = - 20V	0	-	-	1.68	1.45	-
	10	-0.024	0.20	1.44	1.99	0.015
	90	-0.102	0.29	1.44	2.46	0.013
	14400	-0.437	0.323	1.54	3.14	0.205

전기적 스트레스에 따른 p-채널 poly-Si TFT's의 특성변화를 표 1에 나타냈으며 분석한 결과는 다음과 같다.

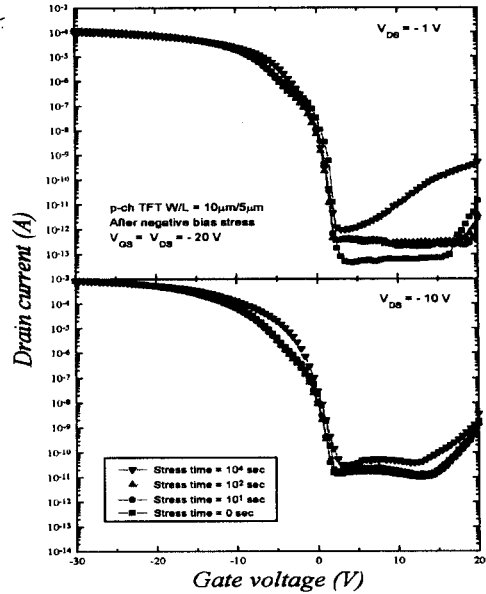


그림 1. 부 바이어스 스트레스 시간에 따른 p-채널 poly-Si TFT's의 전이특성 곡선

Fig. 1. The transfer characteristics of p-channel poly-Si TFT's with negative bias stressing time

그림 1은 poly-Si TFT's 소자에 부 바이어스를 인가한 후 V_{DS} = - 1V, V_{DS} = - 10V 일 때의 스트레스 시간에 따른 전형적인 I_{DS}-V_{GS} 특성 곡선이다. 전기적 스트레스를 인가한 후 문턱전압의 negative shift가 약간 나타나는데 이는 부 바이어스 스트레스 인가로 발생하는 hot hole 주입에 의한 전류특성으로 사료된다. 즉 on 상태에서는 트랩된 hot hole이 채널에 (-)전하를 유도하여 문턱전압을 증가시키고 hot-carrier 주입에 따라 polySi/SiO₂ 계면에 생성된 계면준위는 (+)전하를 띄게되어 electron capture 역할을 하게되므로 채널 내의 전자농도는 줄어 문턱전압은 감소된다. 그러나 트랩된 hot hole로 인한 문턱전압의 증가가 (+)로 대전된 계면준위 생성으로 인한 영향보다 지배적이기 때문에 표 1에 나타난 바와 같이 증가하는 추세를 나타낸다.

그림 2는 부 바이어스 스트레스를 3600초 인가한 후 V_{DS} = -1V, -10V일 때의 누설전류 변화를 나타낸 것이다. Off 상태에서는 게이트 산화막에 트랩된 hot hole이 채널에 (-)전하를 유도할 뿐만 아니라 생성된 poly-Si/SiO₂ 계면준위가 (-)전하를 띄게되어 동일한 채널길이에서의 전위차 값이 커져서 드레인

근처에 인가되는 전계가 증가하게 되므로 누설전류가 증가하게 된다.

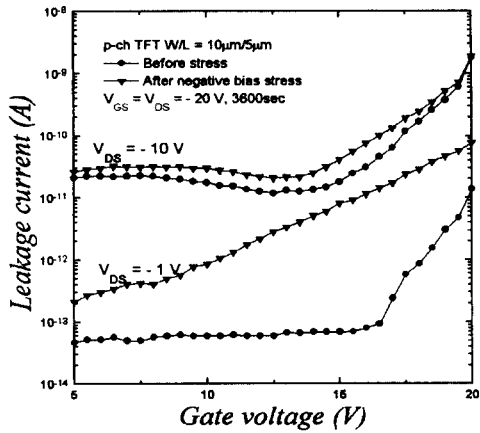


그림 2. 부 바이어스 스트레스를 3600초 인가하기 전·후의 누설전류
 Fig. 2. The leakage current before and after negative bias stress for 3600sec

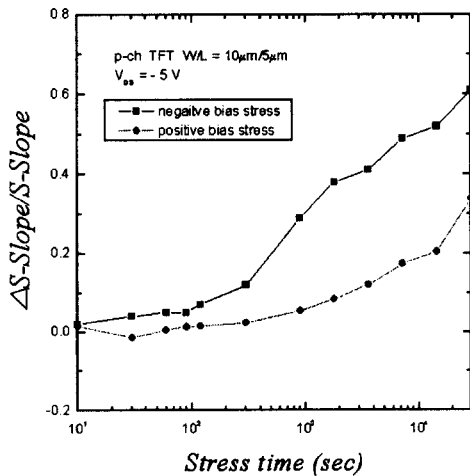


그림 3. 스트레스 시간에 따른 subthreshold slope의 변화
 Fig. 3. Variation of subthreshold slope as a function of stressing time

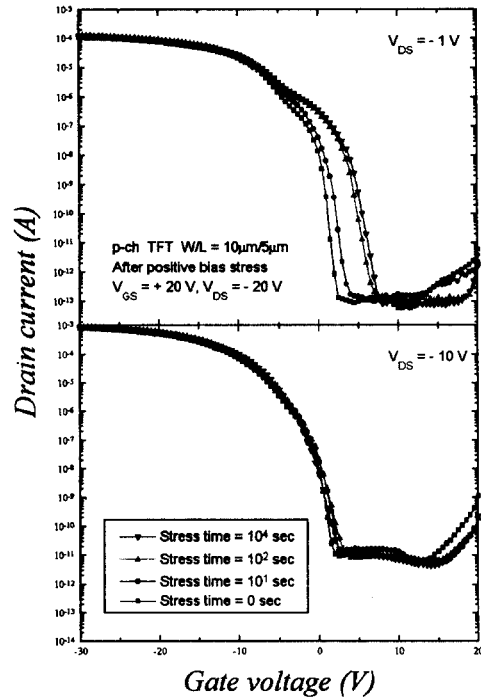


그림 4. 정 바이어스 스트레스 시간에 따른 p-채널 poly-Si TFT's의 전이특성
 Fig. 4. The transfer characteristics of p-channel poly-Si TFT's with positive bias stressing time

그림 3은 부 바이어스와 정 바이어스 스트레스를 인가하기 전·후의 subthreshold slope 변화량을 나타낸 그림이다. 전기적 스트레스인가 전에 비해 스트레스 인가 후의 subthreshold slope가 증가하는 것으로 나타났는데 이는 hot-carrier 주입으로 인하여 poly-Si/SiO₂ 계면에 생성된 계면준위와 산화막에 주입된 전하 및 poly-Si 박막에 생성된 결함에 기인하는 것으로 사료되며, subthreshold slope값 S는 $\ln(kT/q \cdot [1+(C_{it}+C_{it})/C_{ox}])$ 의 식으로 나타내며 계면준위의 생성에 따라 C_{it}값이 증가하기 때문에 S값이 증가하는 것으로 나타났다.

그림 4는 poly-Si TFT's 소자에 정 바이어스 스트레스를 인가한 후 V_{DS} = -1V, V_{DS} = -10V 일 때의 스트레스 시간에 따른 전형적인 I_{DS}-V_{GS} 특성 곡선이다.

전기적 스트레스를 인가한 후 변화 폭이 부 바이어스 스트레스의 경우보다 큰 것은 poly-Si/SiO₂ 계

면의 에너지 장벽이 전자보다는 정공에 대하여 더 높기 때문이다. 또한 positive shift 현상은 hot-electron 주입에 의한 전류특성으로써 게이트 산화막에 트랩된 hot-electron이 (+)전하를 채널에 유도하여 채널 형성에 필요한 게이트 전압이 감소하므로 문턱전압이 현저히 저하된다.

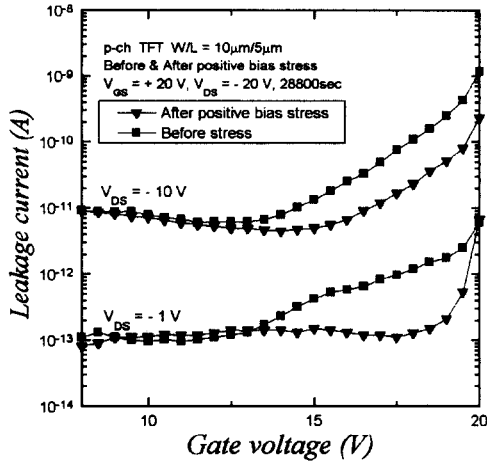


그림 5. 정 바이어스 스트레스를 3600초 인가 전·후의 누설전류

Fig. 5. The leakage current before and after positive bias stress for 3600sec

그림 5는 정 바이어스 스트레스를 3600초 인가한 후 $V_{DS} = -1V, -10V$ 일 때의 누설전류 변화를 나타낸 것이다. Off 상태에서는 게이트 산화막에 트랩된 hot-electron이 채널에 (+)전하를 유도할 뿐만 아니라 poly-Si/SiO₂ 계면준위도 (-)전하를 띄게되어 드레인 근처의 (+)전하 농도가 증가한다. 따라서 드레인 근방의 수평전계가 감소하므로 누설전류는 현저히 감소하게 된다. 이는 poly-Si TFT's 소자 특성 변화 메카니즘이 poly-Si 박막내의 결함준위 생성보다는 게이트 산화막내로의 hot-carrier 주입에 지배적으로 영향을 받는 것을 반증하는 결과로 생각된다.

4. 결 론

부 바이어스 스트레스의 경우 드레인 근방에 국부적으로 hot-hole의 주입이 발생하여 계면준위 생성과 함께 게이트 산화막 내에 정공 트랩을 형성한

다. 트랩된 hot-hole은 (-)전하를 채널에 유도하여 문턱전압을 증가시키며 이러한 영향이 poly-Si/SiO₂ 계면에 생성되는 계면준위로 인한 영향보다 크기 때문에 결과적으로 문턱전압의 증가를 나타낸다. Off 상태에서는 게이트 산화막에 트랩된 정공이 채널에 (-)전하를 유도하고 생성된 계면준위가 (-)전하를 띄어 누설전류 값이 증가하게 된다. 또한 poly-Si/SiO₂ 계면에 생성된 계면준위가 채널 형성을 저해하는 요인으로 작용하여 on 특성인 g_m 값을 저하시킨다.

정 바이어스 스트레스의 경우는 게이트 산화막내에 hot-electron이 트랩되고 (+)전하를 채널에 유도하여 문턱전압은 상당히 감소하게 된다. Off 상태에서는 게이트 산화막내에 트랩된 hot-electron이 채널에 (+)전하를 유도 할 뿐 아니라 poly-Si/SiO₂ 계면에 생성된 계면준위도 (-)전하를 띄게되어 드레인 근처의 (+)전하농도가 증가하기 때문에 누설전류가 감소하게 된다. 이와 같은 누설전류 감소 현상은 poly-Si TFT 소자의 성능 변화 메카니즘이 poly-Si 박막내의 결함 생성보다는 게이트 산화막내로의 hot-carrier 주입이 지배적임을 확증하는 결과로 생각된다. 또한 게이트 산화막에 hot-electron이 트랩되면서 채널내에 (+)전하를 유도하여 채널이 감소되는 효과를 나타내기 때문에 g_m 의 증가를 일으키는 것으로 사료된다.

감사의 글

본 연구는 서울 대학교 반도체 공동연구소의 교육부 반도체분야 학술 연구 조성비 (과제번호 : ISRC 96-E-4011)에 의해 수행되었습니다.

참 고 문 헌

1. J. R. Ayres and N. D. Young : *IEE Proc.-Circuit Devices Syst.* 141 (1994) 33
2. I.-W. Wu, W. B. Jackson, T.-Y. Huang, A. G. Lewis, and A. Chiang, "Mechanism of device degradation in n- and p-Channel polysilicon TFT's by electrical stressing," *IEEE Electron Device Lett.*, vol. 11, no. 4, pp. 167-170, 1990.
3. N. D. Young and A. Grill, "Electron trapping instabilities in polycrystalline silicon thin-film transistors," *Semicond. Sci. Technol.*, vol. 5, pp. 72, 1990