

Chemical Mechanical Polishing(CMP) 공정을 이용한 Multilevel Metal 구조의 광역 평탄화에 관한 연구

11-12-5

A Study for Global Planarization of Multilevel Metal by CMP

김상용*, 서용진**, 김태형*, 이우선®, 김창일*, 장의구*

(Sang-Yong Kim, Yong-Jin Seo, Tae-Hyung Kim, Woo-Sun Lee, Chang-Il Kim, Eui-Goo Chang)

Abstract

As device sizes are scaled down to submicron dimensions, planarization technology becomes increasingly important for both device fabrication and formation of multilevel interconnects. Chemical mechanical polishing (CMP) has emerged recently as a new processing technique for achieving a high degree of planarization for submicron VLSI applications. The polishing process has many variables, and most of which are not well understood. The factors determine the planarization performance are slurry and pad type, insert material, conditioning technique, and choice of polishing tool. Circuit density, pattern size, and wiring layout also affect the performance of a CMP planarization process. This paper presents the results of studies on CMP process window characterization for 0.35 micron process with 5 metal layers.

Key Words(중요 용어): CMP (기계적 화학적 연마), Planarization (평탄화), Slurry (연마제), Pad (연마판), DOF (촉점심도), EM (전자이동)

1. 서 론

최근 반도체 소자의 고속화 및 고집적화에 따라 다층 배선 구조에 있어서 배선층의 증가와 배선 패턴의 미세화에 대한 요구가 갈수록 높아져 다층 배선 기술이 서브 마이크론 공정에서 중요한 과제로 대두되었다. 0.35 μ m 이하의 공정 기술 시대에 들어서면서 미세 패턴 형성을 실현하기 위한 노광 장치의 촉점 심도에 대한 공정 여유가 줄어들어 따라 충분한 촉점 심도를 확보하기 위하여 칩 영역에 걸친 광역 평탄화 기술이 요구된다. 이와 같은 광역 평탄화

를 실현하기 위해 현재 CMP(chemical mechanical polishing) 기술이 활발히 연구되어지고 있다.

CMP는 종래에 사용되던 희생막의 전면 식각 공정과는 달리 특정한 부분의 제거 속도를 조절함으로써 평탄화하는 기술로 웨이퍼 전면을 회전하는 탄성 패드(pad) 사이에 액상의 슬러리(slurry)를 투입하여 연마하는 기술이다. 현재, 소자의 고속화를 실현하기 위해 다층 배선이 요구되는 논리형 소자에서 많이 적용하고, 또한 기억형 소자에서도 다층화 되어감에 따라 점차적으로 적용을 하고 있는 추세다.¹⁻³⁾ 본 연구에서는 다층 구조인 5층 금속 구조에서 CMP 공정을 이용하여 평탄화를 실현하였다.

2. 이 론

가. CMP 의 필요성

반도체 제조 공정에서 하층막의 평탄화가 충분치 못하면 감광막(photoresist)의 두께는 국부적으로 변한다. 이와 같은 감광막의 두께 변화는 그림 1에서

* 중앙대학교 전자전기공학부
(서울특별시 동작구 흑석동 221, Fax:02-812-9651
E-mail:cikim@cau.ac.kr)
** 대불대학교 전기전자공학부
여주대 전기과
@ 조선대학교 전기공학과
1998년 8월 25일 접수, 1998년 10월 26일 심사완료

보는 것처럼 다중 상호 간섭 때문에 패턴의 폭에 영향을 준다. 그림 1에서 $\lambda/2n$ 는 변화의 주기이고, λ 는 파장의 길이이고, n 은 감광막의 굴절률이다. 파장의 길이가 짧아질수록 패턴 폭에 대한 감광막 두께의 민감도는 증가하게 되며 패턴 폭의 최대 변화량 (ΔL)은 파장과 무관하기 때문에 소자의 설계 규칙 (design rule) 감소에 따라 이와 같은 현상은 매우 심각하게 되었다.

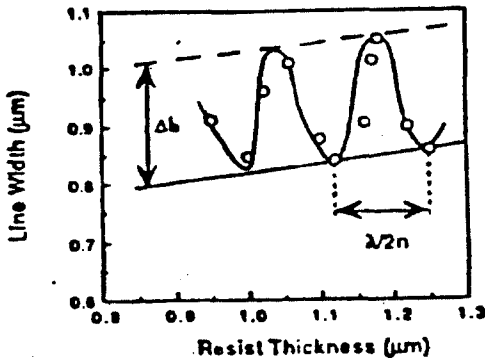


그림 1. 감광막 두께에 대한 패턴 폭의 의존성
Fig. 1. Dependence of pattern width on photo-resist thickness.

또한, 고반사율 물질, 즉 알루미늄이나 다결정 실리콘, 텅스텐 실리사이드(WSix)등이 하층막일 경우 하층막의 평탄화가 충분치 못하면 하층막으로부터의 난반사 때문에 감광막의 노칭(notching)현상이 발생한다. 노칭 현상은 그림 2와 같고 다음 식으로 표현한다.

$$x = H / \tan [(\pi/2) - 2\theta]$$

여기서 x 는 노칭이 일어날 수 있는 거리, θ 는 스텝(step)의 각도이고, H 는 감광막의 두께다. 즉 θ 가 줄면, 다시 말해서 평탄화가 될수록 x 값은 작아진다.

빛의 파장이 짧을수록 작은 패턴까지 형성시킬 수 있어 해상력을 증대시킬 수 있다. 이러한 관계는 Rayleigh식에 의하여 나타내어진다.

$$\text{Rayleigh equation ; } R = K1 \lambda / NA$$

여기서 R 은 해상도이고, NA 는 numerical aperture 이고, $K1$ 은 공정 인자이고, λ 는 파장이다. 즉 고집적 소자로 갈수록 짧은 파장의 빛을 사용하여야 해상력이 좋아져서 미세 패턴을 형성할 수 있다. 그러나 사용하는 빛의 파장이 짧을수록 그에 상응하는 초점 심도(DOF:depth of focus)는 작아진다. $DOF = K2 \lambda / (NA)^2$ 이고, 사용하는 빛의 파장과 해상력에

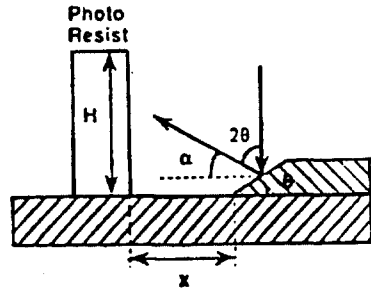


그림 2. 하부층의 평탄화에 대한 감광막 노칭의 의존성.

Fig. 2. Dependence of photoresist notching on planarization of underlayer.

따른 초점 심도는 중요한 관계가 있다. 현재 64M DRAM 소자의 제조 기술에 사용하는 i-라인(line) 스테퍼(stepper)에서 사용하는 파장은 $0.365\mu\text{m}$ 이므로 $0.3\mu\text{m}$ 의 패턴을 형성하기 위한 초점 심도는 대략 $0.24\mu\text{m}$ 이다. 즉 노광 영역의 가장 높은 부분과 가장 낮은 부분의 차이가 $0.24\mu\text{m}$ 이내 일 때, 바이어스 없는 $0.3\mu\text{m}$ 의 패턴을 형성시킬 수 있다는 것이다. 또한 예상되는 256M DRAM의 최소 패턴을 $0.25\mu\text{m}$ 라고 할 때 초점 심도는 훨씬 작아지기 때문에 초점 심도의 여유를 확보하기 위하여 광역 평탄화는 반드시 필요하다.

미세 패턴 형성에서는 하층막의 형상만을 고려하면 되었으나 배선의 신뢰성에서는 하층막의 형상에서 그치지 않고 배선 위의 막의 평탄성이나 평탄화 방법이 큰 영향을 미친다. 평탄화가 되지 않았거나, 혹은 충분치 않게 평탄화된 공정의 경우에는 배선의 충도 정도가 주요 관심사였다. 충도 정도의 열화는 배선의 단락이나 전자기동(EM: electro-migration) 등의 불량률의 원인이 되지만 어느 정도 충도 정도가 있다면 전자기동에 의한 단선은 반드시 단차부에서 일어나지는 않는다. 이는 전자기동은 알루미늄의 입계 확산에 의해 생기기 때문에 막 두께의 변화 즉, 전류밀도의 변화보다도 입계 구조에 크게 영향을 받고 있기 때문이다. 한편 스트레스 이동(SM:stress migration)의 경우에는 비록 완만한 기복이 있어도 입계의 존재와 응력의 집중에 의해 단선은 높게 된다. 따라서 단차가 있는 곳에서 단선이 발생되고 단차부에서는 반드시 입계가 존재하므로, 응력이 집중하는 것에 의해 단선이 쉽게 발생하는 것이라고 생각된다.

상층막 형상의 영향을 고려하면 알루미늄 배선 위의 평탄도를 변화시킨 경우의 전자기동에 관한 시험 결과는 평탄화에 의해 MTTF(Mean Time To Failure)가 향상된다. 이는 전자기동에 의해 발생한 힐록(Hillock)이 배선막 상부의 절연막을 밀어 올리려 하지만 평탄화된 막은 응력이 집중되는 것을 완화하여 주기 때문에 절연막이 상부로 들어 올려져서 깨지는 절연막의 파괴가 일어나지 않는다. 이러한 현상에 의해 배선에 남아있는 응력이 알루미늄 원자의 흐름을 완화시켜서 공극이 발생하지 않는다. 한편, 스트레스 이동의 경우에는 상층막의 평탄화에 의해 반대로 신뢰성이 열화될 가능성이 있다. 스트레스 이동에 관해서는 상층막의 응력이나 형성 온도는 논의되고 있지만 평탄성에 대해서는 그다지 논의되고 있지 않다. 반면 보호막을 평탄화하면 측벽부의 막이 얇고 다공성이므로 보호막의 내흡습성은 단차 측벽부에서 결정되지만 내 흡습성이 향상된다. 따라서 배선 간격이 점차적으로 좁아지면 보호막의 평탄화는 필수 불가결할 것이다.

나. CMP의 원리

CMP의 기본 원리는 어원에서 알 수 있듯이 화학적인 요소와 기계적인 요소가 복합적으로 작용하는 기술이다. 화학적인 요소로써 회전하는 탄성체 패드와의 조합에 의해 웨이퍼 표면이 벗겨져 나가는 것이다. 웨이퍼가 패드의 표면에서 왕복 운동함에 따라 액상 속의 슬러리 입자들이 웨이퍼와 패드의 접촉한 부분에서 웨이퍼 표면에 대해 압력을 가함으로써 연마가 되는 것이다.⁴⁾ 이와 같이 CMP는 주로 슬러리 입자들에 의한 화학적인 요소와 패드의 재료에 의한 기계적인 요소에 의해 연마하는 기술이다.

나-1. 화학적 요소

연마하는 동안 표면의 상호 작용은 슬러리 안에 존재하는 물에 따라 즉, PH농도에 따라 큰 영향을 받는다.⁵⁾ 그러나 물이 유기 용매로 대체되면 그 영향은 무시된다. 이와 같이 슬러리에 의해 연마되는 과정은 ① 슬러리 내의 용매와 웨이퍼 표면과의 수소 결합, ② 슬러리 입자와 웨이퍼 표면의 수소 결합 및 ③ 이러한 슬러리 입자들이 움직이면서 결합되었던 웨이퍼 표면으로부터 제거된다.

슬러리에 의한 연마의 최종 방정식은 $\equiv\text{Si-O-Si} \equiv + \text{H}_2 \leftrightarrow 2 \equiv\text{Si-OH}$ 이고 연마는 정방향의 반응 속도가 역 방향의 반응속도 보다 빠를 때 이루어지는데, 간혹 산화막의 재증착 속도가 더 빠르다. 슬러리 입자와 웨이퍼 표면 사이의 결합력은 연마하는

동안의 동적 마찰 계수를 결정하며, 슬러리의 화학적인 성질은 제거속도를 좌우하는 중요한 요소이다. 평탄화 공정에서 제거속도를 토대로 한 슬러리의 선택뿐만 아니라 슬러리 입자 콜로이드 분포도 중요하다. 물은 산화막의 여러 성질에 영향을 미치게 되는데 산화막 내에서 수소 확산이 크게 되면 하이드록실 결합이 깨지게 되어 영향을 주어 결과적으로 제거되는 입자의 크기에도 영향을 주게 된다.

나-2. 기계적 요소

CMP의 기계적인 요소로써 연마 공정시 웨이퍼와 패드와의 물리적인 운동과 패드 재료 특성을 들 수 있다. CMP의 기계적인 성질을 이해하는데 Preston의 유리에 대한 연마 방정식이 많은 도움을 준다.⁶⁾

$$dr/dt = K P ds/dt$$

여기서, P는 압력이고, ds/dt는 유리 표면과 패드와의 상대속도이고, dr/dt는 기계적인 제거 속도이며, t는 유리막의 두께이고, K는 Preston 상수이며, Young의 modulus 및 유리의 경도와 반비례 관계가 있다. 어떤 재료를 제거는 거시적으로 큰 덩어리 제거와 수십 나노 영역의 입자들을 제거하는 것이다. Preston의 방정식은 슬러리 입자 직경에 따른 제거 속도를 나타내지는 않는다. R. Klenkov의 연구²⁾에 의하면 어떤 임계값 이상의 슬러리 입자 직경은 제거 속도에 거의 영향이 없으나, 다만 입자들의 균일한 정도가 중요하다. 웨이퍼의 표면 제거 속도는 원래 국부적인 압력에 따라 다른데 Preston 방정식에서 알 수 있듯이 가해지는 압력과 접촉 면적에 의해 구해지고, 또한 패드의 움직임은 속도에 의해 구해진다. 따라서, 국부적인 면을 생각하면 높게 솟은 부분은 낮은 부분보다 높은 압력을 받게 되므로 빠른 표면 제거 속도를 갖는다. 또한 계속해서 연마하면 패드와 웨이퍼와의 접촉 면적을 증가하므로 높은 부분의 제거 속도는 감소한다. 그러나 전체속도 즉, 웨이퍼 표면 전체의 제거 속도는 일정하게 된다. 사용하는 패드의 기계적인 특성은 웨이퍼 표면의 topology를 따라서 밀착되지 않고, 오히려 존재하는 슬러리 입자, 패드의 휘는 정도, 경도, 거칠기에 따라 어떤 부분에 대해서 불규칙적으로 밀착된다. 높게 솟은 부분이 연마되는 동안 패드의 특성 변화같이 수평 변형 길이와 수직 변형 길이 내에 직접적으로 패드와 접촉되지 않는 부분이 생긴다. 만약 소자내의 높은 부분들 사이의 간격 보다 변형 길이가 길 경우 솟은 부분만이 연마되고 평탄화 속도는 높을 것이다. 높게 솟은 부분이 패드의 거칠기와 같은

높이(슬러리 입자의 직경과 같음)만큼 갈아 없어진다면, 연마가 솟은 부분이나 낮은 부분 둘 다에서 일어난다. 그러므로 딱딱한 패드 즉, 수평 변형 영역이 큰 패드는 die 내의 우수한 평탄도는 갖지만 웨이퍼 내의 균일도는 나쁘다. 반대로 부드러운 패드의 평탄도는 나쁘지만 연마 균일도는 좋다. 여기서 연마 균일도는 막의 제거 균일도이고 평탄도는 연마 후의 평탄도이다.

3. 실험

패턴 웨이퍼 제조는 실지 0.35 μ m 소자의 STI (shallow trench isolation) 구조로 다결정 실리콘 게이트 위에 PMD (pre-metal dielectric) 구조와 IMD(inter-metal dielectric)1 구조가 5번 반복되는 5 metal 구조를 갖는 논리 소자에 광역 평탄화를 실현하였다. 패턴 웨이퍼를 이용한 실험은 평탄 웨이퍼로 최적 조건 공정 조건을 바탕으로 하였으며 패턴상의 균일도, 연마율, 평탄화에 최적화 찾고자 하였으며, 또한 소자에 미치는 전기적 특성, 불순물 여부 등을 관찰하였다. 본 연구의 CMP 공정조건으로 연마판 온도는 40 $^{\circ}$ C, 연마 압력은 5.0 psi, back pressure는 2.0 psi, platen speed는 30 rpm, carrier speed는 34 rpm, 슬러리 flow rate는 180 ml/min로 set-up 하였다. 패드 컨디션닝은 웨이퍼를 연마하는 동안 계속 컨디션닝 하도록 set-up 하였으며, 컨디션닝 압력은 2.0lbs, 컨디션닝 속도는 25rpm으로 set-up하여 안정된 값을 얻었다. CMP 공정의 균일도 및 연마율은 공정 전후의 박막 두께를 ellipsometer로 측정하여 연마된 양으로 계산하였다. 이때 패턴 웨이퍼의 edge exclusion은 6mm로 하여 13 point를 패턴 위치에 따라 측정하였다. 평탄화 측정 방법은 SEM 사진과 AFM (Atomic Force Microscope)의 mapping과 profiling으로 관찰하였으며 박막 표면의 거칠기(Roughness)도 관찰하였다. CMP 공정이 소자의 전기적 특성 면에서 어떠한 영향을 주는지를 알아보기 위해 0.35 μ m 소자에 CMP 공정을 적용하여 PCM(process control monitoring) 데이터로 관찰하였다. CMP 공정에서 사용되는 화학물질(Chemical)인 슬러리는 웨이퍼에 불순물을 제공할 가능성이 많으므로 연마 후에 세정 과정에서 충분히 세척되어야 한다. CMP 공정 후 TENCOR 6420 system 으로 particle를 관찰하였으며, KOH base인 슬러리를 사용함으로써 웨이퍼 표면에 남아 있거나 생성될 불순물 물질을 관찰하고자 RIGAKU 사의 TXRF 3700LE 시스템을 사용하여 데이터를 얻

었다.

4. 결과 및 고찰

본 연구의 0.35 μ m 소자 구조에 평탄화를 실현하였으며, 그 제조 결과를 SEM 사진으로 촬영하여 그림 3에 보였다.



그림 3. 평탄화된 5 metal 구조의 SEM 단면도.
Fig. 3. SEM image of the planarized 5 metal layer.

이 공정 조건으로 웨이퍼 간의 웨이퍼 균일도와 연마율을 보기 위하여 edge exclusion 6mm로 웨이퍼 100장을 연속적으로 연마하여 그 결과를 그림 4에 나타냈다. 이때의 패턴 웨이퍼의 전체 평균 연마율은 2271 $\text{\AA}/\text{min}$, 전체 평균 균일도는 3.33%, 웨이퍼 간 웨이퍼 전체 평균 균일도는 1.57%로 매우 안정된 결과를 얻었다.

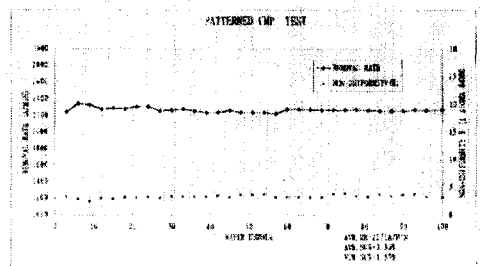


그림 4. 100장의 웨이퍼를 CMP 처리한 연마율과 균일도
Fig. 4. Removal rate and uniformity of CMP treated 100 wafers.

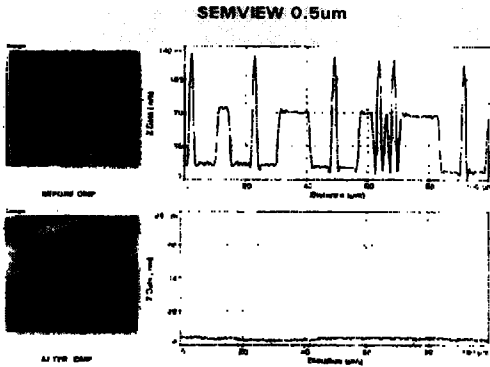


그림 5. CMP 공정 전후의 AFM 이미지
Fig. 5. AFM image before and after CMP process.

그림 5는 CMP 전과 후의 표면 요철을 보여주는 AFM image 이다. 이는 0.5 μm 패턴에서 SEM을 이용하여 관찰한 것으로 연마 전에는 단차가 800Å ~ 1500Å 이었으나 연마후의 단차는 30Å ~ 40Å로 평탄화를 보였으며 패턴과 패턴 사이에도 양호한 결과를 보였다.

그림 6은 CMP 공정 후 소자의 광역 평탄화를 보여주는 SEM 사진이다. 이는 CMP 공정 후 부수적으로 생기는 rounding, dishing, erosion(thinning) 등 문제점은 전혀 보이지 않았으며, 매우 양호한 평탄화를 보여 주었다.

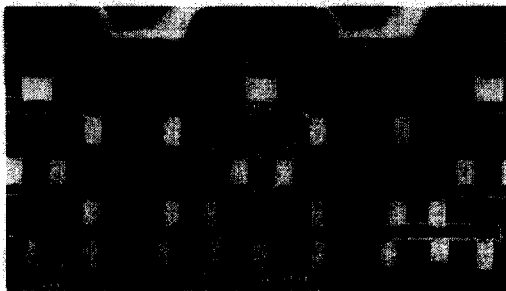
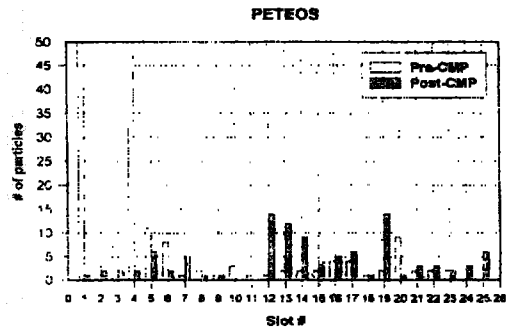


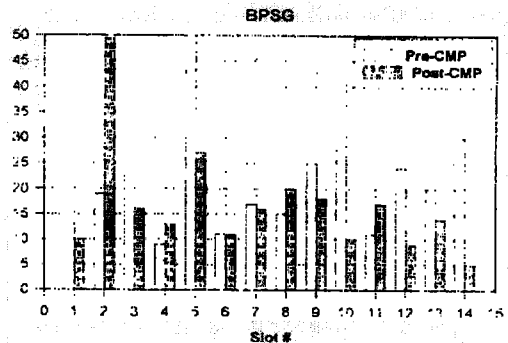
그림 6. 0.35um 소자에서 광역 평탄화된 metal 구조의 SEM 사진
Fig. 6. SEM photograph of the gloval planarized metal structure for a 0.35um device.

CMP 공정에 있어서 연마 후 공정상 발생한 particle과 불순물에 대한 제어 문제를 중요시하여야 한다. 본 실험에서는 세정 시스템을 이용하여 세척

할 뿐만 아니라 연마 중에도 연마 시스템에서 웨이퍼 세척 공정 단계를 추가하여 실시하고 있으며 또한 final platen에서 슬러리를 첨가하지 않고 DI water로만 연마하도록 하였다. 이때 실질적으로 final platen에는 연마가 되지 않으며 웨이퍼 세척 개념이 강하다. 세정 시스템의 세척 조건으로 세척한 웨이퍼에서의 잔존 particle($\geq 0.2\mu\text{m}$) 갯수에 대한 data를 그림 7에 보였다.



(a)



(b)

그림 7. PETEOS (a)와 BPSG (b) 박막에서 CMP 전 후에 잔류하는 입자 데이터

Fig. 7. Residual particle data before and after CMP process for PETEOS (a) and BPSG (b) thin films.

PE-TEOS (plasma-enhanced tetra-ethyl-ortho-silicate) 박막에서는 15개 이하의 particle data를 보였으며 BPSG (borophosphosilicate glass) 박막에서는 20개 전 후로 나타났다. 이는 양호한 결과로 사료되나 연마의 후속 공정으로 세정 공정에 대해 공정 최적화의 검토가 이루어져야 하겠다

또한 불순물 평가에 대한 데이터는 그림 8에 보였다. K, Ca, Cr, Mn, Fe, Ni, Cu, Zn 등의 불순물이 나타났으며, K와 Ca가 비교적 많아 검출 됐다. K의 경우 공정전의 2.7~3.7 ($\times 10^{10}$ A/cm²)의 불순물 농도를 보였으나 연마 공정 후 후속공정으로 세척한 웨이퍼에서 67.7~72.3 ($\times 10^{10}$ A/cm²)의 불순물 농도를 보였으며, Ca 경우 공정 전의 1.3~2.4 ($\times 10^{10}$ A/cm²)의 불순물 농도를 보였으나 연마 공정 후 후속 공정으로 세척한 웨이퍼에서 4.3~4.7 ($\times 10^{10}$ A/cm²)의 불순물 농도를 보였다. 그러나 Cr, Mn, Fe, Ni, Cu, Zn 경우 $1.0(\times 10^{10}$ A/cm²)이하의 불순물 농도로 양호한 결과를

표 1. CMP 공정에 의한 전기적 특성 데이터
Table 1. Data of electrical properties by CMP process.

PCM PARA	RUN	NON-CMP RUN	CMP RUN	REMARK
VTN 20/20 (V)		0.598	0.595	
BVDSSN (V)		8.29	8.31	
VTN 20/0.35 (V)		0.595	0.646	
BVDSSN (V)		8.26	8.26	
IDSAT (mA)		11	10.5	
VTP 20/20 (-V)		0.558	0.562	
BVDSSP (-V)		8.22	8.15	
VTP 20/0.35 (-V)		0.475	0.485	
BVDSSP (-V)		8.02	8.11	
IDSAT (-mA)		5.76	5.36	
VTFN 100/0.35 (V)		25	23.7	
BVDSS (V)		8.26	8.33	
VTFP 100/0.35 (-V)		25	11.0	
BVDSS (-V)		7.76	8.65	
N ⁺ GOX/BV (V)		/	6.98	
MJ-N(Ω /)		0.798	0.48	
N ⁺ AR/BV (V)		8.56	8.6	
P ⁺ AR/BV (V)		8.76	8.0	
N ⁺ M1(KEL)(0.6)		2.46	3.4	
P ⁺ M1(KEL)(0.6)		1.83	2.3	
N ⁺ M1CHN(0.6)		4.8	4.44	
P ⁺ M1CHN(0.6)		6.1	4.2	

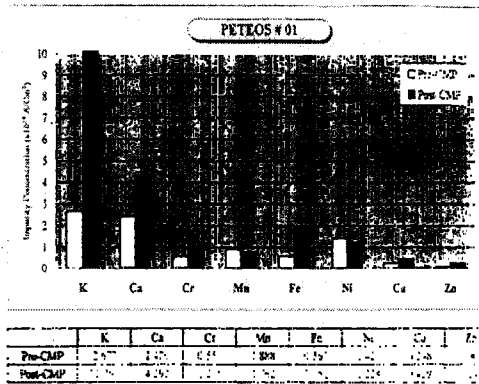


그림 8. CMP 전후의 금속 불순물에 대한 데이터
Fig. 8. Data on the metal impurity before and after of CMP process

얻었다.

CMP 공정 후 앞에 기술한 문제점으로 인하여 소자에 어떠한 영향을 주는지를 알아보기 위하여 전기적 특성을 고찰하였다. 그 전기적 특성을 조사하여 표 1에 나타냈다. 이 결과를 보면 CMP 공정을 채용한 소자와 채용하지 않은 소자의 전기적 특성은 별 차이점 없이 양호한 결과를 얻었다.

4. 결 론

본 실험에서 결론은 다음과 같다.

1. 패턴 웨이퍼는 실지 0.35 μ m 소자의 STI 구조에서 5층 금속 구조에서 광역 평탄화가 실현되었다.
2. Edge exclusion 6mm로 웨이퍼가 100장을 연속적으로 연마한 결과 패턴 웨이퍼의 평균 연마율은 2271 A/min, 균일도가 3.33%, 웨이퍼간 균일도(웨이퍼 간 웨이퍼 균일도)는 1.57%로 매우 안정된 결과

를 얻었다.

3. AFM를 통한 평탄도의 관찰 결과 0.5 μ m 패턴에서 연마 전에는 단차가 800Å~1500Å이었으나 연마 후의 단차는 30Å~40Å으로 평탄화를 보였으며 모든 조건에서 패턴과 패턴 사이에도 양호한 결과를 보였다.

4. CMP 공정후 소자의 광역 평탄화를 보기 위하여 SEM으로 관찰하였으나 non-uniformity, rounding, dishing, erosion(thinning)등 문제점은 전혀 보이지 않았으며 매우 양호한 평탄화를 보여 주었다.

5. CMP 공정후의 particle은 PE-TEOS 박막에서는 15개 이하였으며 BPSG 박막에서는 20개 전후로 양호한 결과를 얻었다.

6. Post-CMP 세정을 한후 TXRF로 관찰한 결과 K의 경우 67.7~72.3 ($\times 10^{10}$ A/cm²)의 불순물 농도를 보였으며, Ca 경우 4.3~4.7 ($\times 10^{10}$ A/cm²)의 불순물 농도를 보였다. 그러나 Cr, Mn, Fe, Ni, Cu, Zn 경우 $1.0(\times 10^{10}$ A/cm²)이하의 불순물 농도로 양호한 결과를 얻었다.

7. CMP 공정을 한 소자의 전기적 특성은 전혀 영향을 주지 않았다.

참 고 문 헌

1. M. W. Horn, "Antireflection layers and planarization for microlithography", Solid State Technol., pp.57-62, 1991.
2. R. Kolenkow, R. Nagahara, "Chemical-mechanical wafer polishing and planarization in batch systems", Solid State Technol., pp.112-114, 1992.
3. S. Sivaram, H. Bath, R. Leggett, A. Maury, K. Monning, and R. Tolles, "Planarizing interlevel dielectrics by chemical-mechanical polishing", Solid State Technol., pp.87-91, 1992.
4. W. L. Guthrie, W. J. Patrick, E. Levine, H. C. Jones, E. A. Mehter, T. F. Houghton, G. T. Chiu, and M. A. Fury, "A four-level VLSI bipolar metallization design with chemical-mechanical planarization", IMB J. Res. Develop., Vol. 36, No.5, pp.845-857, 1992.
5. W. J. Patrick, W. L. Guthrie, C. L. standly, and P. M. Schiabile, " Application of chemical mechanical polishing to the fabrication of VLSI circuit interconnections", J. Electrochem. Soc., Vol.138, pp555-561, 1991.
6. C. T. Nguyen, A. Hu, and X. Zhang, "Application of selective epitaxial silicon and chemi-mechanical polishing to bipolar transistors", IEEE Transactions on Electron Device., Vol.41, No.12, pp.2343-2350, 1994.