

자기인지 신경회로망에서 아날로그 기억소자의 선형 시냅스 트랜지스터에 관한 연구

10-8-5

A Study on the Linearity Synapse Transistor of Analog Memory Devices in Self Learning Neural Network Integrated Circuits

강창수*

(Chang-Soo Kang)

Abstract

A VLSI implementation of a self-learning neural network integrated circuits using a linearity synapse transistor is investigated. The thickness dependence of oxide current density, stress current, transient current and channel current has been measured in oxides with thicknesses between 41 and 112 Å, which have the channel width \times length $10 \times 1 \mu\text{m}$, $10 \times 0.3 \mu\text{m}$ respectively.

The transient current will affect data retention in synapse transistors and the stress current is used to estimate to fundamental limitations on oxide thicknesses. The synapse transistor has represented the neural states and the manipulation which gives unipolar weights. The weight value of synapse transistor was caused by the bias conditions. Excitatory state and inhibitory state according to weighted values affected the drain source current.

Key Words(중요용어) : Synapse transistor(시냅스 트랜지스터), Stress current(스트레스 전류), Transient current(과도 전류), Excitatory state(여기 상태), Inhibitory state(금지 상태)

1. 서 론

최근, 응용범위 확대를 위한 고속, 고집적 신경회로망의 회로설계와 소자개발 등이 가속화되고 있다. 고집적 시냅스 설계는 바이어싱, 가중치 그리고 잡음 등의 기능개선에 의해 CPS(connection per second) 또는 CPPS(connection primitives per second)를 향상시킬 수 있다. 시냅스는 ANN (artificial neural network)의 기본요소로써 VLSI ANN에서 최소 영역을 차지하여야 한다.¹⁾

뉴런의 여기와 금지상태는 PWM(pulse width modulation) 방법으로 시냅스당 한 개의 금속산화물 반도체 전계효과트랜지스터로 인공 신경회로망을 구현하였다.¹⁾²⁾ 신경회로망의 시냅스는 한 개의 금속산화물

다.³⁾ 자기인지 회로망의 최적방법은 동적 가중치 저장구조에서 저장 캐패시터를 어드레싱하는 시냅스 트랜지스터 또는 부유게이트가 요구되기도 한다.⁴⁾⁵⁾

나노기술에 의한 초고집적 반도체 신경회로망 시냅스 트랜지스터의 최소 영역은 미세패턴을 형성시키는 리소그래피 기술⁶⁾과 셀의 설계 기술을 의존한다.⁷⁾ 이러한 시냅스 트랜지스터는 단위면적당 전하 용량, 누설전류 그리고 전류 구동능력 등이 향상된 트랜지스터를 개발하는데 있다.^{8)~12)} 본 논문에서는 자기인지 신경회로망에 사용되는 아날로그 기억소자의 얇은 산화막을 갖는 선형 시냅스 트랜지스터를 제작하고 산화막 특성에 의한 전류 구동능력을 측정하여 응용 가능성을 조사하였다.

II. 제작과 측정

시냅스 트랜지스터는 비저항 $1 \sim 2 \Omega\text{cm}$ 인 n과 p형

* : 유한전문대학 전자과

접수일자 : 1997년 5월 20일

심사완료 : 1997년 8월 16일

기관에 LOCOS과정과 n⁺폴리실리콘 게이트를 사용하여 850°C 건식산화법으로 제작하였다. 시냅스 트랜지스터를 실현하기 위한 산화막 두께는 각각 41 Å, 86 Å 그리고 112 Å이고, 채널 폭과 길이 10 × 1 μm, 10 × 0.3 μm인 시냅스 트랜지스터를 사진 1과 같이 제작하였다.

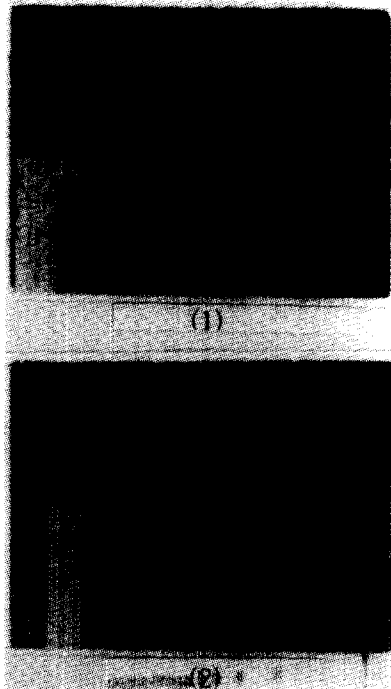


사진 1. 시냅스 트랜지스터

- (1) 채널 폭 × 길이 10 × 1 μm (2) 채널 폭 × 길이 10 × 0.3 μm

Photo 1. The synapse transistor

- (1) Channel width × length 10 × 1 μm
- (2) Channel width × length 10 × 0.3 μm

시냅스 트랜지스터의 가중치와 바이어스에 따른 전압 전류특성은 휴렛 팩커드 HP4140B, 웨이브텍 395 그리고 마이크로 매니플레이터 프로브 스테이션을 연결하여 측정하였다. 이 때 트랜지스터의 바이어스전압은 웨이브텍 임의파형발생기 모델 395를 사용하여 인가되었다. 마이크로 매니플레이터는 쉴드 상자로 완전 차폐하였으며 웨이퍼 상단에서 x, y, z 축으로 동작하는 팁을 사용하였다. 웨이퍼는 x, y, z 축으로 동작하는 척에 고정시키기 위해서 진공펌프를 사용하였다. HP4140B는 램프전압과 고정전압에

의한 전류, 임의파형 발생기에 의한 드레인 소오스 전류를 측정하기 위해서 사용하였으며, 피코 암페어 미터의 측정범위는 1fA였다. 테스트 lead fixture의 스트레이 전류 및 캐패시턴스는 오프셋 키에 의해 최소화하였다. 피코 암페어로 측정되어진 데이터는 휴렛 팩커드 HP9000으로 데이터 파일을 전송하여 분석하였다.

전압에 대한 산화막 전류밀도의 램프전압 측정조건은 시작전압 0.2V, 끝나는 전압 15V, 단계전압 0.2V, 단계시간 0.2sec, 유지시간 3sec 그리고 스위치 레이트 0.1V/sec로 하였다. 고스트레스 전압은 고정전압과 고정시간에 대하여 수행하였다. 펄스폭변조 바이어스 조건에 따른 전류와 시간의 데이터는 고스트레스 전압을 인가하였을 때와 인가 후를 측정하였다.

III. 결과 및 토의

신경회로망의 시냅스 트랜지스터에서 전류구동을 위한 적의 합 S_i 는

$$S_i = \sum_{j=1}^N W_{ij}x_j + \theta_i \quad (1)$$

이다. 여기에서 S_i 는 뉴런 i 의 입력에 반응하는 시냅스 합, W_{ij} 는 송신뉴런 j 와 수신뉴런 i 의 시냅스 가중치, x_j 는 전 뉴런 j 의 출력상태, θ_i 는 뉴런 i 의 바이어스, N 은 뉴런 i 에 연결된 송신 뉴런의 수이다. 뉴런 출력 O_i 는

$$O_i = f(S_i) \quad (2)$$

이다. 여기에서 f 는 전달함수이다. 시냅스 출력은 입력전압 시냅스 가중치에 비례하는 출력전류이다.

각각의 시냅스 $V_j(t)$ 의 시변 입력전압은 주기 T 인 듀티사이클에 따른다. t_{on} 은 $T - \tau_j$, t_{off} 은 τ_j 이고 크기는 V_m 이다. 각각의 시냅스는 전류, 시냅스 $V_j(t)$ 그리고 시냅스 가중치 W_{ij} 에 의한 출력전류 $I_{ij}(t)$ 가 된다. $V_{ij}(t), I_{ij}(t)$ 는 t_{off} 일 때 0, $I_o W_{ij}$ 이며 t_{on} 일 때 $V_m, 0$ 이다.

시간 t 에서 가산된 시냅스 출력전압 $V_{s,i}(t)$ 는 아래 식으로 표현된다.

$$C \frac{dV_{s,i}(t)}{dt} + \frac{dV_{s,i}(t)}{R} = \sum_{j=1}^N I_{ij}(t) \quad (3)$$

각각의 가중치와 바이어스에 상수 W_o 를 부가하고 가중치 $M_{ij}(= W_{ij} + W_o)$ 와 바이어스 $\theta_i(= \theta_i + W_o)$ 를

사용하는 시냅스의 합은

$$S_i = \sum_{j=1}^N M_{ij} x_j + \Theta_i - W_o \left(\sum_{j=1}^N x_j + 1 \right) \quad (4)$$

이다. 시냅스 트랜지스터는 전압제어 전류원 시냅스로 사용된다. 드레인 소오스전류 I_{DS} 는

$$I_{DS} = \frac{\beta}{2} (V_{GS} - V_T)^2 \quad V_{DS} \geq V_{GS} - V_T \quad (5)$$

이다. 여기에서 V_{GS} 는 게이트 소오스전압, V_{DS} 는 드레인 소오스전압, V_T 는 문턱전압 그리고 β 는 전달 콘덕턴스이다.

스냅스는 가변 게이트전압의 가중치와 드레인전압 크기의 함수이다. 시냅스 출력은 $\sum I_{ij}(t) = 0$ 일 때 금지된 신경상태이고, $\sum I_{ij}(t) \neq 0$ 일 때 여기된 신경상태이다.¹⁾

채널 폭과 길이 $10 \times 1 \mu\text{m}$, 산화막 두께가 각각 41 Å, 86 Å 그리고 112 Å인 시냅스 트랜지스터의 게이트 바이어스전압에 대한 산화막 전류밀도를 측정 한 결과는 그림 1과 같다.

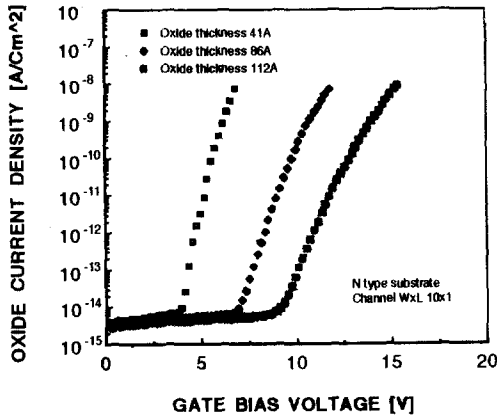


그림 1. 산화막 두께 41 Å, 86 Å 그리고 112 Å인 시냅스 트랜지스터의 게이트 바이어스전압에 대한 산화막 전류밀도

Fig. 1. Gate bias voltage vs. oxide current density of the synapse transistor in the oxide thickness 41 Å, 86 Å and 112 Å

그림 1은 산화막 두께가 다른 시냅스 트랜지스터에서 게이트 바이어스전압에 대한 산화막 전류밀도 관계를 보여주고 있다. 산화막 터널링 온전류 전압은 41 Å, 86 Å 그리고 112 Å에서 각각 4V, 7.2V 그리고 9.2V였다. 게이트 바이어스전압에 대한 산화막

터널링 전류밀도 온전압은 산화막 두께에 따라 비례적으로 증가함을 보여주고 있다.

산화막 두께가 감소함에 따라 게이트 바이어스전압에 대한 산화막 전류밀도 증가도가 커짐을 보여주고 있다. 산화막이 41 Å에서 전류밀도 증가율은 $3.57 \times 10^{-9} \text{ A/Cm}^2\text{V}$, 산화막 86 Å에서 전류밀도 증가율은 $2.12 \times 10^{-9} \text{ A/Cm}^2\text{V}$ 그리고 산화막 112 Å에서 전류밀도 증가율은 $1.63 \times 10^{-9} \text{ A/Cm}^2\text{V}$ 를 보여 주었다. 이와 같이 산화막 터널링전류는 산화막 두께 증가에 따라 높은 바이어스 전압이 요구되며 증가도도 둔화됨을 알 수 있다.

산화막 터널링 전류밀도 온전압과 산화막 전류밀도 증가율은 산화막 두께에 비례함을 보여 주었으며 시냅스 트랜지스터의 이용 가능성을 보여 주었다.

산화막 두께 41 Å인 시냅스 트랜지스터에서 스트레스 펄스 온 주기 100 초, 스트레스 바이어스 펄스 전압을 1V, 2V, 3V, 4V, 5V 그리고 6V로 인가하면서 측정 한 산화막전류는 그림 2와 같다.

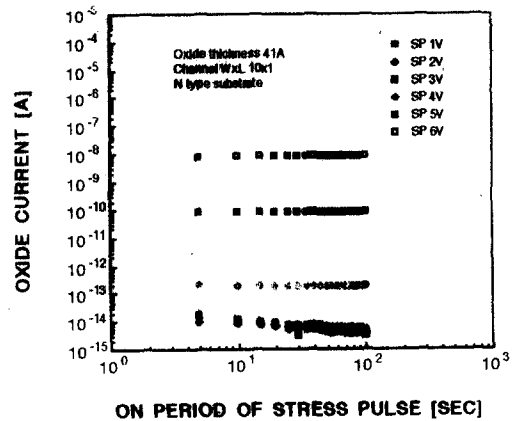


그림 2. 산화막 두께 41 Å인 시냅스 트랜지스터에서 스트레스 펄스 온 주기에 대한 산화막 전류의 관계

Fig. 2. The relation of stress pulse on period vs. oxide current in the synapse transistor with the oxide thickness 41 Å

그림 2와 같이 스트레스 펄스전압을 1V, 2V 그리고 3V로 인가하면서 측정 한 전류는 시간에 따라 감소하고, 스트레스 펄스전압을 4V, 5V 그리고 6V로 인가하면서 측정 한 전류는 시간에 따라 일정하게 유지함을 알 수 있다. 스트레스 펄스전압을 인가하면서 측정 한 전류량은 각각 $5.6400 \times 10^{-6} \text{ C/Cm}^2$, 7.3850

$\times 10^{-6} \text{C}/\text{Cm}^2$, $7.9150 \times 10^{-6} \text{C}/\text{Cm}^2$, $2.0787 \times 10^{-4} \text{C}/\text{Cm}^2$, $9.3340 \times 10^{-2} \text{C}/\text{Cm}^2$ 그리고 $9.0496 \text{C}/\text{Cm}^2$ 였다. 이 때의 1V, 2V 그리고 3V는 저전압 누설전류 스트래스 펄스전압이고 4V, 5V 그리고 6V는 산화막 터널링 스트래스 펄스전압이다. 스트래스 펄스전압 7V를 인가했을 때는 절연막 파괴가 발생하였고 전류량은 $1.5092 \times 10^6 \text{C}/\text{Cm}^2$ 이었다. 인가중에 인가 바이어스전압에 의한 항복현상이 발생했음을 알았다. 항복현상이 발생한 후 스트래스 펄스전압 8V를 인가하여 측정된 전류량은 $2.3412 \times 10^6 \text{C}/\text{Cm}^2$ 이었다. 스트래스 펄스전압 8V를 인가하여 산화막 파괴에 의한 전류량은 스트래스 펄스전압 7V에 의한 전류량치와 비교하여 변화가 작음을 알 수 있다.

산화막 두께 41Å인 시냅스 트랜지스터에서 스트래스 펄스 온 주기 100초, 스트래스 펄스전압을 1V, 2V, 3V, 4V, 5V 그리고 6V로 인가한 후, 스트래스 펄스 오프 주기에서 측정된 과도전류는 그림 3과 같다.

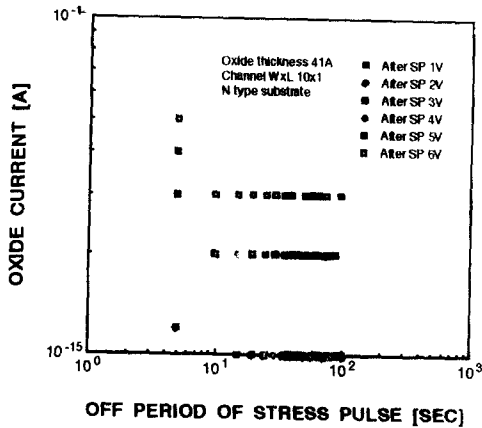


그림 3. 산화막 두께 41Å인 시냅스 트랜지스터에서 스트래스 펄스 오프 주기에 대한 산화막전류의 관계

Fig. 3. The relation of stress pulse off period vs. oxide current in the synapse transistor with the oxide thickness 41Å

그림 3과 같이 스트래스 펄스전압을 각각 인가한 후, 스트래스 펄스 오프 주기에서 측정된 과도전류이다. 이 때의 초기 과도전류는 각각 $1.00 \times 10^{-15} \text{A}$, $1.20 \times 10^{-14} \text{A}$, $5.00 \times 10^{-15} \text{A}$, $2.00 \times 10^{-15} \text{A}$, $2.00 \times 10^{-15} \text{A}$ 그리고 $5.00 \times 10^{-15} \text{A}$ 이고 말기 과도전류는 각각 $1.00 \times 10^{-15} \text{A}$, $1.00 \times 10^{-15} \text{A}$, $1.00 \times 10^{-15} \text{A}$, $1.00 \times$

10^{-15}A , $2.00 \times 10^{-15} \text{A}$ 그리고 $2.00 \times 10^{-15} \text{A}$ 였다. 이러한 과도전류는 스트래스전류와 반대방향 전류이다. 이 때 1V, 2V 그리고 3V는 산화막 누설전류 스트래스 펄스전압에 의한 과도전류이고 4V, 5V 그리고 6V는 산화막 터널링전류 스트래스 펄스전압에 의한 과도전류이다.

저스트래스 펄스전압에 의한 과도전류는 산화막 터널링 스트래스 펄스전압에 의한 과도전류보다 과도전이가 안정되어 있음을 보여준다. 그리고 스트래스 펄스전압을 증가시킬수록 과도전류 차가 증가함을 알 수 있었다. 스트래스 펄스전압을 7V를 인가했을 때는 절연막 파괴가 발생하였으며 이 때에 흐르는 초기와 말기의 과도전류는 각각 $6.51 \times 10^{-11} \text{A}$, $9.75 \times 10^{-11} \text{A}$ 이었다. 스트래스 펄스전압을 8V를 인가했을 때는 완전한 절연막 파괴에 의하여 흐르는 초기와 말기 과도전류는 각각 $7.79 \times 10^{-11} \text{A}$, $1.17 \times 10^{-10} \text{A}$ 이었다.

산화막 86Å인 시냅스 트랜지스터에서 스트래스 펄스전압 온 주기 100초, 스트래스 펄스전압을 7V, 8V, 9V, 10V, 11V, 12V로 인가하면서 측정된 산화막전류는 그림 4와 같다.

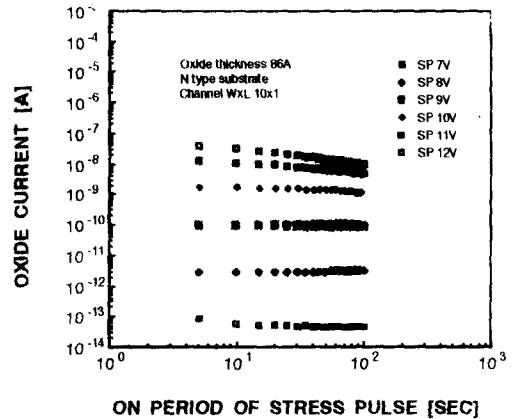


그림 4. 산화막 두께 86Å인 시냅스 트랜지스터에서 스트래스 펄스 온 주기에 대한 산화막전류의 관계

Fig. 4. The relation of stress pulse on period vs. oxide current in the synapse transistor with the oxide thickness 86Å

그림 4와 같이 스트래스 펄스전압을 7V에서 12V까지 인가하면서 측정된 산화막전류는 시간에 따라

일정하게 유지함을 알 수 있다. 스트레스 펄스전압은 주기에 따른 전류량은 각각 $1.4313\text{C}/\text{Cm}^2$, $1.5278 \times 10^1\text{C}/\text{Cm}^2$, $4.9294 \times 10^2\text{C}/\text{Cm}^2$, $7.7178 \times 10^3\text{C}/\text{Cm}^2$, $3.6370 \times 10^4\text{C}/\text{Cm}^2$ 그리고 $8.6531 \times 10^4\text{C}/\text{Cm}^2$ 이었다. 스트레스 펄스전압 13V를 인가했을 때는 절연막 파괴가 발생하였고 전류량은 $4.0246 \times 10^{12}\text{C}/\text{Cm}^2$ 이었으며 인가중에 인가전압에 의한 항복현상이 발생했음을 알았다.

산화막 두께 86Å인 시냅스 트랜지스터에서 스트레스 펄스전압 주기 100초, 스트레스 펄스전압을 7V, 8V, 9V, 10V, 11V 그리고 12V로 인가한 후, 펄스전압 오프 주기시에 측정된 과도전류는 그림 5와 같다.

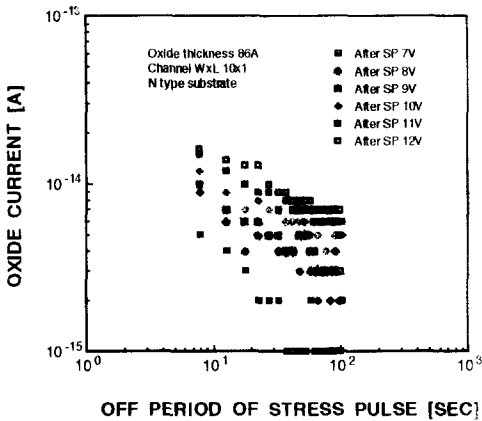


그림 5. 산화막 두께 86Å인 시냅스 트랜지스터에서 스트레스 펄스 오프 주기에 대한 산화막전류의 관계

Fig. 5. The relation of stress pulse off period vs. oxide current in the synapse transistor with the oxide thickness 86Å

그림 5와 같이 스트레스 펄스전압을 각각 인가하고 난 후, 스트레스 펄스 오프 주기시에 측정된 과도전류이다. 이러한 과도전류는 스트레스 전류와 반대방향 전류이다. 스트레스 펄스전압 7V, 8V, 9V, 10V, 11V 그리고 12V를 인가한 후 초기 과도전류는 각각 $5.00 \times 10^{-15}\text{A}$, $9.00 \times 10^{-15}\text{A}$, $1.00 \times 10^{-14}\text{A}$, $1.20 \times 10^{-14}\text{A}$, $1.50 \times 10^{-14}\text{A}$ 그리고 $1.60 \times 10^{-14}\text{A}$ 였고 말기 과도전류는 $1.00 \times 10^{-15}\text{A}$, $2.00 \times 10^{-15}\text{A}$, $2.00 \times 10^{-15}\text{A}$, $5.00 \times 10^{-15}\text{A}$, $6.00 \times 10^{-15}\text{A}$ 그리고 $7.00 \times 10^{-15}\text{A}$ 였다. 스트레스 펄스전압을 증가시킬수록 과도전류의 차가 증가함을 알 수 있었다. 스트레스 펄스전압을 13V를 인가했을 때는 절연막 파괴가 발생하였으며, 이 때

에 흐르는 초기와 말기의 과도전류는 각각 $1.80 \times 10^{-7}\text{A}$, $2.10 \times 10^{-7}\text{A}$ 이었다. 항복현상에 의한 전류량은 $4.0249 \times 10^{10}\text{C}/\text{Cm}^2$ 으로 측정되었다.

산화막 두께 112Å인 시냅스 트랜지스터에서 스트레스 펄스전압 온 주기 100초, 스트레스 펄스전압을 8V, 9V, 10V, 11V, 12V, 13V, 14V 그리고 15V로 인가하면서 측정된 산화막전류는 그림 6과 같다.

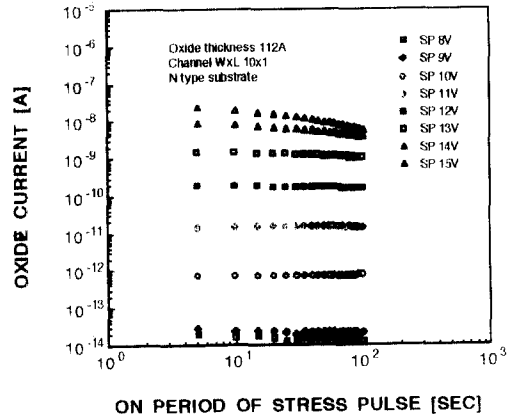


그림 6. 산화막 두께 112Å인 시냅스 트랜지스터에서 스트레스 펄스 온 주기에 대한 산화막전류의 관계

Fig. 6. The relation of stress pulse on period vs. oxide current in the synapse transistor with the oxide thickness 112Å

그림 6과 같이 스트레스 펄스전압을 인가하면서 측정된 산화막전류는 시간에 따라 일정하게 유지함을 알 수 있다. 스트레스 펄스전압 온 주기시에 측정된 전류량은 각각 $0.1075\text{C}/\text{Cm}^2$, $2.3005\text{C}/\text{Cm}^2$, $3.7116\text{C}/\text{Cm}^2$, $7.7317 \times 10^1\text{C}/\text{Cm}^2$, $8.7591 \times 10^2\text{C}/\text{Cm}^2$, $6.2962 \times 10^3\text{C}/\text{Cm}^2$, $2.7475 \times 10^4\text{C}/\text{Cm}^2$ 그리고 $5.5738 \times 10^4\text{C}/\text{Cm}^2$ 였다. 스트레스 온 주기 펄스전압 16V일 때 절연막 파괴가 발생하고 전류량은 $2.1288 \times 10^{10}\text{C}/\text{Cm}^2$ 이었다. 이와같이 인가중에 인가 바이어스 전압에 의한 절연막 파괴가 발생했음을 알았다.

산화막 두께 112Å인 시냅스 트랜지스터에서 스트레스 펄스전압 온 주기 100초, 스트레스 펄스전압을 8V, 9V, 10V, 11V, 12V, 13V, 14V 그리고 15V로 인가한 후, 스트레스 펄스 오프 주기에서 측정된 과도전류는 그림 7과 같다.

그림 7과 같이 스트레스 온 주기 펄스전압을 각각 인가하고 난 후, 스트레스 펄스 오프 주기에서 측정된 과도전류이다. 이러한 과도전류는 스트레스 전류

와 역방향이다. 스트레스 펄스전압에 의한 초기 과도전류는 각각 $6.00 \times 10^{-15} \text{A}$, $6.15 \times 10^{-15} \text{A}$, $6.00 \times 10^{-15} \text{A}$, $9.00 \times 10^{-15} \text{A}$, $8.00 \times 10^{-15} \text{A}$, $1.00 \times 10^{-14} \text{A}$, $1.20 \times 10^{-14} \text{A}$ 그리고 $1.60 \times 10^{-14} \text{A}$ 이였으며, 말기 과도전류도 각각 $4.00 \times 10^{-15} \text{A}$, $3.00 \times 10^{-15} \text{A}$, $6.00 \times 10^{-15} \text{A}$, $7.00 \times 10^{-15} \text{A}$, $5.00 \times 10^{-15} \text{A}$, $6.00 \times 10^{-15} \text{A}$, $7.00 \times 10^{-15} \text{A}$ 그리고 $9.00 \times 10^{-15} \text{A}$ 이었다. 스트레스 펄스전압을 증가시킬수록 과도전류의 차가 증가함을 알 수 있었다. 스트레스 펄스전압을 16V를 인가했을 때는 절연막 파괴가 발생하였으며 이 때 초기와 말기 과도전류는 각각 $1.70 \times 10^{-7} \text{A}$, $2.00 \times 10^{-7} \text{A}$ 이었다. 절연막 파괴현상에 의한 전류량은 $2.1887 \times 10^{10} \text{C}/\text{cm}^2$ 로 측정되었다.

그림 2, 그림 4 그리고 그림 6과 같이 스트레스 펄스전압에 의한 산화막전류는 산화막 두께가 감소함에 따라 증가함을 보여주고 있다. 이것은 시냅스 트랜지스터를 제작하는 산화막의 한계를 예상할 수 있다.

그림 3, 그림 5 그리고 그림 7과 같이 스트레스 펄스전압을 인가한 후, 산화막 전하용량에 의한 과도전류는 $\frac{1}{t}$ 에 비례함을 알 수 있다. 이와 같이 스트레스전압에 의한 과도전류는 가중치에 영향을 주

기 누설전류(SILC:stress induced leakage current)의 과도전류는 회로설계와 구동에 고려되어야 한다.

소자의 기판은 p형이고, 기판에 n형 우물을 형성하여 채널의 폭과 길이 $10 \times 0.3 \mu\text{m}$, 산화막 두께 86 Å인 시냅스 트랜지스터에 드레인전압 5V, 주기 26.9sec인 톱니파형 게이트전압을 각각 0.7V, 2V, 3.2V, 4.2V, 5.3V, 6.3V로 인가하면서 측정된 드레인 소오스전류는 그림 8과 같다.

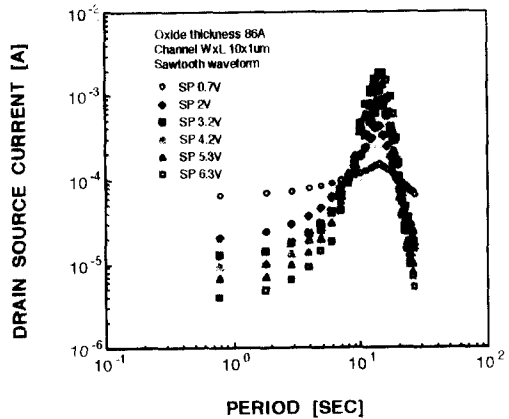


그림 8 산화막 두께 86 Å인 시냅스 트랜지스터에서 톱니파형 게이트전압에 따른 주기 대 드레인 소오스전류의 관계

Fig. 8. The relation of period vs. drain source current as a gate voltage of sawtooth waveform in the synapse transistor with the oxide thickness 86 Å

그림 8은 0.7V에서 6.3V까지 톱니파형 게이트전압을 인가하면서 측정된 드레인 소오스전류이다. 이에 대한 드레인 소오스 전류량은 각각 $5.19 \times 10^8 \text{C}/\text{cm}^2$, $6.00 \times 10^8 \text{C}/\text{cm}^2$, $7.24 \times 10^8 \text{C}/\text{cm}^2$, $1.21 \times 10^9 \text{C}/\text{cm}^2$, $1.67 \times 10^9 \text{C}/\text{cm}^2$ 그리고 $1.67 \times 10^9 \text{C}/\text{cm}^2$ 이었다. 톱니파형의 피크 전압을 증가시키면 드레인 소오스전류가 증가함을 보였고 톱니파형의 피크 전압에서 드레인 소오스전류가 파형의 피크치를 나타내었다. 톱니파형 전압의 스위치비율이 클수록 파형의 상승신호와 하강신호의 초기 및 말기시간에 흐르는 드레인 소오스전류가 감소함을 보여주고 있다.

시냅스 트랜지스터의 산화막 두께 41 Å, 86 Å 그리고 112 Å인 소자에 드레인전압 5V, 주기 232sec인 톱니파형 전압 $\pm 3.3 \text{V}_{pp}$ 를 게이트에 인가하여 측정된 드레인 소오스전류는 그림 9와 같다.

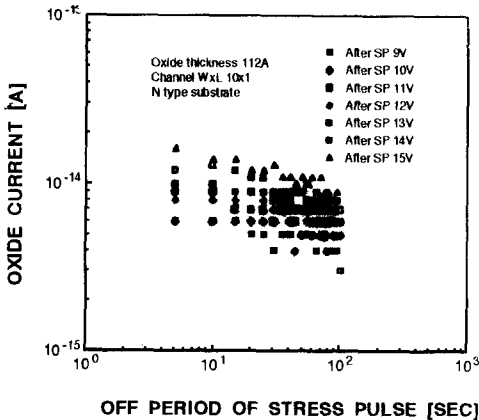


그림 7. 산화막 두께 112 Å인 시냅스 트랜지스터에서 스트레스 펄스 오프 주기에 대한 산화막전류의 관계

Fig. 7. The relation of stress pulse off period vs. oxide current in the synapse transistor with the oxide thickness 112 Å

고 있다. 데이터 유지능력을 감소하는 스트레스유

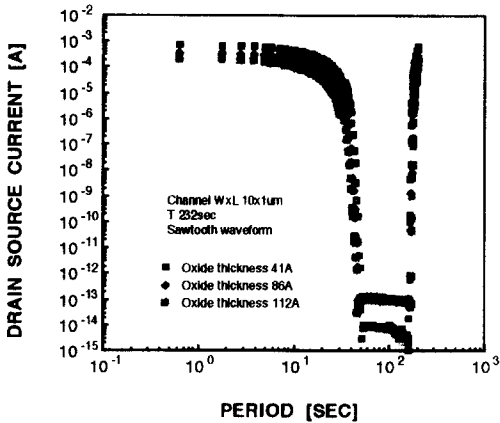


그림 9. 산화막 두께 41Å, 86Å 그리고 112Å에서 톱니파형에 따른 주기 대 드레인 소오스전류의 관계

Fig. 9. The relation of period vs. drain source current according to the sawtooth waveform in the oxide thickness 41Å, 86Å and 112Å

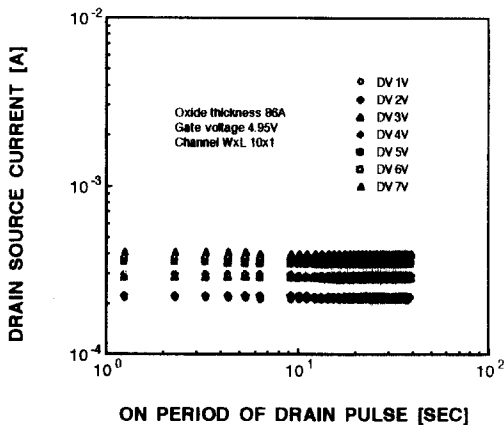


그림 10. 산화막 두께 86Å인 시냅스 트랜지스터에서 드레인 펄스전압 온주기 대 드레인 소오스전류의 관계

Fig. 10 The relation of drain pulse voltage on period vs. drain source current in the synapse transistor with the oxide thickness 86Å

톱니파형의 전압 스위칭율을 0.028V/sec로 하여 주기에 대한 드레인 소오스전류는 그림 9와 같다. 그림 9에서와 같이 드레인 소오스전류의 오프전압은

산화막이 얇을수록 증가함을 보여주고 드레인 소오스전류의 온전압은 산화막이 얇을수록 작음을 보여 주었다. 그리고 드레인 소오스전류의 상태변화는 온 상태에서 오프상태의 변화보다도 오프상태에서 온상태변화가 산화막 전하용량의 영향이 큼을 알 수 있다. 산화막이 얇을수록 온, 오프 상태변화에서 드레인 소오스전류 증가율이 커짐을 보였다.

시냅스 트랜지스터의 산화막 두께 86Å인 소자에 게이트 전압을 4.95V, 드레인 펄스전압을 각각 1V, 2V, 3V, 4V, 5V, 6V 그리고 7V로 변화시키면서 측정된 드레인 소오스전류는 그림 10과 같다.

그림 10과 같이 일정한 게이트전압하에 주기 40초인 드레인 소오스 펄스전압을 변화시키면서 측정된 드레인 소오스전류는 각각 $2.11 \times 10^{-4}A$, $2.20 \times 10^{-4}A$, $2.85 \times 10^{-4}A$, $2.96 \times 10^{-4}A$, $3.48 \times 10^{-4}A$, $3.68 \times 10^{-4}A$ 그리고 $3.94 \times 10^{-4}A$ 로 측정되었다. 드레인 펄스전압을 증가시킬수록 드레인 소오스전류가 증가함을 보였다.

시냅스 트랜지스터의 산화막 두께 86Å인 소자에 게이트전압을 4.95V로 하고 드레인 펄스전압을 각각 1V, 2V, 3V, 4V, 5V, 6V 그리고 7V로 변화시켜 측정된 후, 드레인 펄스전압 오프 주기일 때 측정된 드레인 소오스전류는 그림 11과 같다.

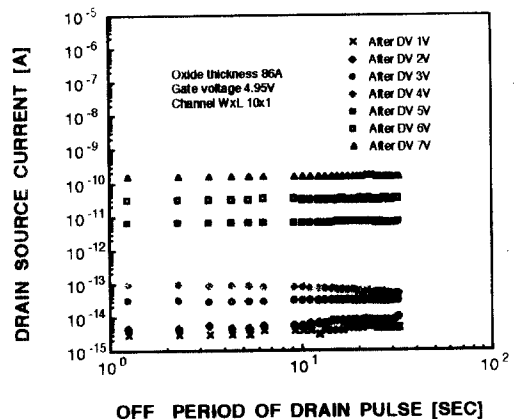


그림 11. 산화막 두께 86Å인 시냅스 트랜지스터에서 드레인 펄스전압 오프 주기 대 드레인 소오스전류의 관계

Fig. 11. The relation of drain pulse voltage off period vs. drain source current in the synapse transistor with the oxide thickness 86Å

그림 11과 같이 일정한 게이트 전압 4.95V하에 주

기 40초인 드레인 소오스 펄스전압을 변화 인가한 후, 드레인 펄스전압 오프 주기의 드레인 소오스전류는 각각 $5.00 \times 10^{-15} \text{A}$, $8.00 \times 10^{-15} \text{A}$, $3.40 \times 10^{-14} \text{A}$, $5.40 \times 10^{-14} \text{A}$, $7.11 \times 10^{-12} \text{A}$, $3.41 \times 10^{-11} \text{A}$ 그리고 $1.60 \times 10^{-10} \text{A}$ 로 측정되었다. 산화막 전하용량에 의한 드레인 소오스 오프 전류는 드레인 펄스전압이 증가함에 따라 증가하였다. 시냅스 트랜지스터 적의 합 출력인 드레인 소오스전류는 게이트전압 가중치와 드레인전압 바이어스 조건에 따른 가중치 조건을 보여 준다.

산화막 두께 41Å인 소자에 드레인전압 5V, 게이트 펄스전압을 각각 1V, 2V, 3V, 4V, 5V, 6V 그리고 7V로 변화시키면서 측정한 드레인 소오스전류는 그림 12와 같다.

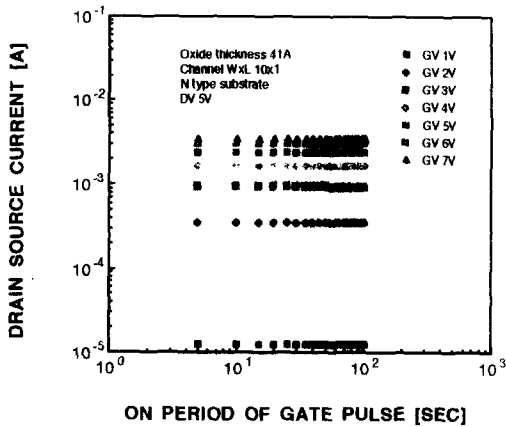


그림 12 산화막 두께 41Å인 시냅스 트랜지스터에서 게이트 펄스전압 온 주기 대 드레인 소오스전류의 관계

Fig. 12 The relation of gate pulse voltage on period vs. drain source current in the synapse transistor with the oxide thickness 41 Å

그림 12와 같이 드레인전압 5V, 게이트 펄스전압을 변화시키면서 측정한 드레인 소오스전류는 각각 $1.25 \times 10^{-5} \text{A}$, $3.55 \times 10^{-4} \text{A}$, $9.46 \times 10^{-4} \text{A}$, $1.67 \times 10^{-3} \text{A}$, $2.45 \times 10^{-3} \text{A}$, $3.14 \times 10^{-3} \text{A}$ 그리고 $3.55 \times 10^{-3} \text{A}$ 로 측정되었다. 측정된 드레인 소오스전류는 게이트 펄스전압을 증가시킬수록 드레인 소오스전류가 증가함을 알았다.

시냅스 트랜지스터의 산화막 두께 41Å인 소자에 게이트전압을 각각 1V, 2V, 3V, 4V, 5V, 6V 그리고

7V로 변화시켜면서 드레인 펄스전압을 5V에서 0V로 인가되는 오프 주기로 측정한 드레인 소오스전류는 그림 13과 같다.

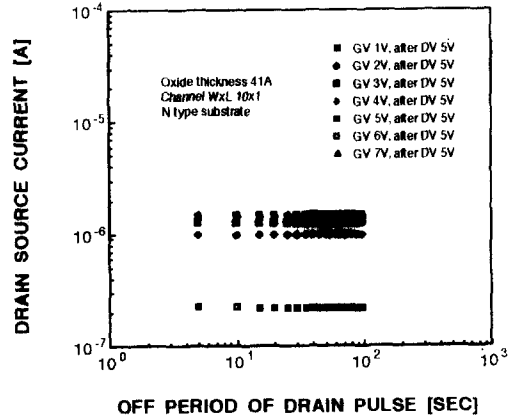


그림 13. 산화막 두께 41Å인 시냅스 트랜지스터에서 드레인 펄스전압 오프 주기 대 드레인 소오스전류의 관계

Fig. 13. The relation of drain pulse voltage off period vs. drain source current in the synapse transistor with the oxide thickness 41 Å

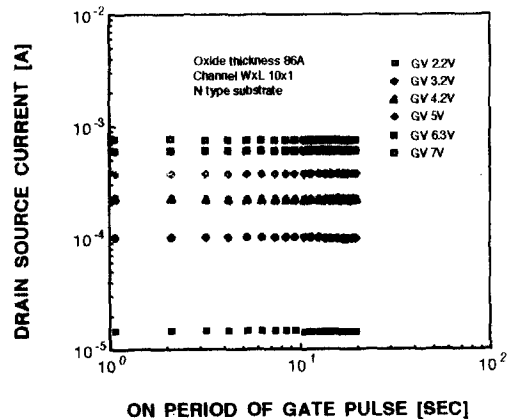


그림 14 산화막 두께 86Å인 시냅스 트랜지스터에서 게이트 펄스전압 온 주기 대 드레인 소오스전류의 관계

Fig. 14 The relation of gate pulse voltage on period vs. drain source current in the synapse transistor with the oxide thickness 86 Å

그림 13과 같이 게이트전압을 변화시키면서 드레인 펄스전압 오프 주기시의 드레인 소오스전류는 각각 $2.18 \times 10^{-7}A$, $9.95 \times 10^{-7}A$, $1.26 \times 10^{-6}A$, $1.39 \times 10^{-6}A$, $1.46 \times 10^{-6}A$, $1.48 \times 10^{-6}A$ 그리고 $1.49 \times 10^{-6}A$ 로 측정되었다. 게이트전압이 인가되고 드레인 펄스전압이 인가되지 않을 때 측정된 드레인 소오스 오프 전류는 게이트전압을 증가시킬수록 증가함을 알 수 있었다. 그러나 게이트전압이 2V 이상이 되고 난 후부터는 드레인 소오스 오프 전류의 변화가 작음을 알 수 있었다.

산화막 두께 86Å인 소자에 드레인 소오스전압을 5V, 게이트 펄스전압을 각각 2.2V, 3.2V, 4.2V, 5V, 6.3V, 그리고 7V로 변화시키면서 측정된 드레인 소오스전류는 그림 14와 같다.

그림 14와 같이 일정한 드레인 소오스전압을 5V, 게이트 온 주기 펄스전압을 변화시키면서 측정된 드레인 소오스전류는 각각 $1.50 \times 10^{-5}A$, $1.02 \times 10^{-4}A$, $2.24 \times 10^{-4}A$, $3.77 \times 10^{-4}A$, $6.00 \times 10^{-4}A$, 그리고 $7.64 \times 10^{-4}A$ 로 측정되었다. 이 때 게이트전압을 0.7V로 한 후 측정된 드레인 소오스전류는 $1.60 \times 10^{-14}A$ 로 측정되어 드레인 소오스전류가 형성되지 않음을 보여 주었다. 측정된 드레인 소오스전류는 게이트 펄스전압을 증가시킬수록 증가함을 알았다. 그림 10과 14에서와 같이 일정한 게이트 전압하에 바이어스 드레인 전압 변화에 대한 드레인 소오스전류보다 일정한 드레인 전압하에 가중치 게이트전압을 변화시키면서 측정된 드레인 소오스전류 차가 더 큼을 알 수 있다.

산화막 두께 86Å인 소자에 게이트전압을 각각 2.2V, 3.2V, 4.2V, 5V, 6.3V, 그리고 7V로 변화시키면서 드레인 펄스전압을 5V에서 0V로 인가되는 오프 주기시 측정된 드레인 소오스전류는 그림 15와 같다.

그림 15와 같이 게이트전압을 변화시키면서 드레인 펄스전압 오프 주기시의 드레인 소오스전류는 각각 $6.2 \times 10^{-14}A$, $1.7 \times 10^{-13}A$, $4.9 \times 10^{-12}A$, $7.3 \times 10^{-12}A$, $1.0 \times 10^{-11}A$ 그리고 $1.5 \times 10^{-11}A$ 로 측정되었다. 게이트전압이 인가되고 드레인 펄스전압이 인가되지 않을 때의 측정된 드레인 소오스 오프 전류는 게이트전압을 증가시킬수록 증가함을 알 수 있었다. 그러나 게이트전압이 4.2V 이상이 되고 난 후부터는 드레인 소오스의 오프전류가 조금씩 변화됨을 알 수 있다. 측정된 드레인 소오스전류는 게이트 전압을 증가시킬수록 증가함을 알았다. 이 때 게이트 펄스전압을 0.7V를 측정하고 난 후, 드레인 펄스전압이 5V에서 0V로 인가될 때 드레인 소오스전류는 $5.00 \times 10^{-15}A$

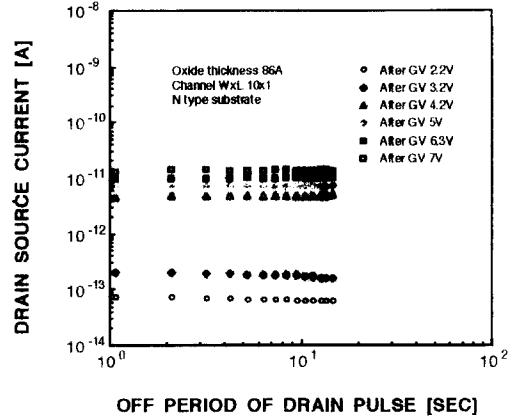


그림 15 산화막 두께 86Å인 시냅스 트랜지스터에서 드레인 펄스전압 오프 주기 대 드레인 소오스전류의 관계

Fig. 15 The relation of drain pulse voltage off period vs. drain source current in the synapse transistor with the oxide thickness 86Å

로 측정되었다.

그림 11과 15에서와 같이 일정 게이트전압하에 드레인 펄스전압 인가 후에 흐르는 드레인 소오스전류 차가 일정 드레인전압 하에 게이트 펄스전압 인가 후에 흐르는 드레인 소오스전류 차보다 큼을 알 수 있다. 이와 같은 조건에 의하여 가중치 조건을 실현할 수 있음을 보여준다.

산화막 두께 112Å인 소자에 드레인 소오스전압 5V, 게이트 펄스전압을 각각 1.6V, 2.2V, 3.1V, 4V, 5V, 6.1V 그리고 7.2V로 변화시키면서 측정된 드레인 소오스전류는 그림 16과 같다.

그림 16과 같이 일정한 드레인 소오스전압 5V, 게이트 펄스전압을 변화시키면서 측정된 드레인 소오스전류는 각각 $2.8 \times 10^{-8}A$, $5.9 \times 10^{-6}A$, $5.2 \times 10^{-5}A$, $1.4 \times 10^{-4}A$, $2.6 \times 10^{-4}A$, $4.2 \times 10^{-4}A$, 그리고 $5.8 \times 10^{-4}A$ 로 측정되었다. 이 때 게이트 펄스전압을 0.7V로 한 후 측정된 드레인 소오스전류는 $9.0 \times 10^{-15}A$ 로 측정되어 드레인 소오스전류가 형성되지 않음을 보여 주었다. 측정된 드레인 소오스전류는 게이트전압이 증가될수록 증가함을 알았다. 그림 12와 16에서와 같이 산화막이 두꺼워짐에 따라 드레인 소오스전류 형성을 위해서 큰 게이트전압이 요구됨을 알 수 있다.

시냅스 트랜지스터의 산화막 두께 112Å인 소자에 드레인 소오스전압 5V, 게이트 펄스전압을 각각

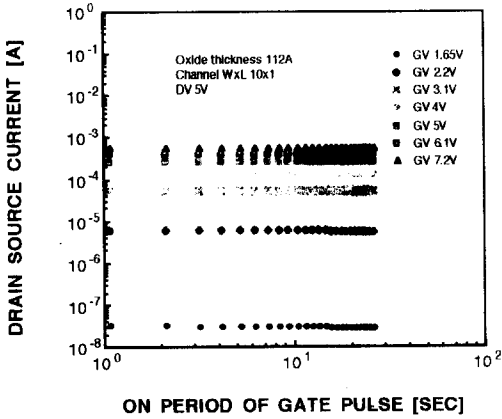


그림 16 산화막 두께 112Å인 시냅스 트랜지스터에서 게이트 펄스전압 온 주기 대 드레인 소오스전류의 관계

Fig. 16 The relation of gate pulse voltage on period vs. drain source current in the synapse transistor with the oxide thickness 112Å

1.65V, 2.2V, 3.1V, 4V, 5V, 6.1V 그리고 7V로 변화 인가시키면서 게이트 펄스전압 오프 주기에 측정 한 드레인 소오스전류는 그림 17과 같다.

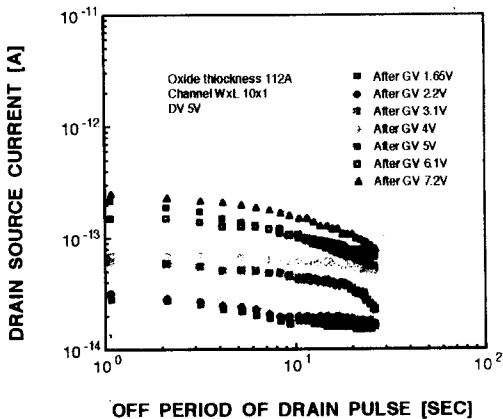


그림 17. 산화막 두께 112Å인 시냅스 트랜지스터에서 드레인 펄스전압 오프 주기 대 드레인 소오스전류의 관계

Fig. 17. The relation of drain pulse voltage off period vs. drain source current in the synapse transistor with the oxide thickness 112Å

그림 17과 같이 게이트 펄스전압을 변화시키면서 게이트 펄스전압이 0V로 인가될 때 측정된 드레인 소오스전류는 각각 $1.5 \times 10^{-14}A$, $1.7 \times 10^{-14}A$, $2.6 \times 10^{-14}A$, $5.4 \times 10^{-14}A$, $5.8 \times 10^{-14}A$, $6.9 \times 10^{-14}A$ 그리고 $8.4 \times 10^{-14}A$ 로 측정되었다. 게이트 펄스전압이 인가 되고 난 후 측정된 드레인 소오스 오프 전류는 게이트 펄스전압이 증가함에 따라 증가함을 알 수 있었다. 이 때 게이트 펄스전압을 0.7V를 측정하고 난 후, 0V로 인가될 때 드레인 소오스전류는 $5.00 \times 10^{-15}A$ 로 측정되었다. 측정된 드레인 소오스전류는 게이트 펄스전압 증가에 따라 증가되었다. 그림 15와 17에서와 같이 게이트 펄스전압 인가 후의 드레인 소오스전류는 산화막이 얇을수록 드레인 소오스전류 측정범위가 넓어짐을 알 수 있다.

스트레스전류는 산화막 두께가 감소함에 따라 증가하고 있다. 이러한 현상은 뉴런상태를 나타내는 시냅스 트랜지스터의 터널링 산화막의 두께 한계를 예측할 수 있다. 스트레스인가 유기전류인 과도전류는 스트레스전압이 증가함에 따라 증가하였다. 그리고 과도전류는 산화막 두께에 관계없이 시간에 따라 반비례적으로 일정하게 감소하였다. 이러한 현상은 뉴런상태를 표현하는 시냅스 트랜지스터의 산화막 두께와 관계가 없음을 알 수 있다. 이와 같이 뉴런상태를 나타내는 시냅스 트랜지스터의 산화막 두께의 한계는 과도전압보다 스트레스전압에 의해 영향이 있음을 보였다. 시냅스 트랜지스터의 뉴런상태를 나타내는 스트레스전류와 과도전류에 의해 유기되는 드레인 소오스 전류는 시냅스 트랜지스터로 사용하기 위한 좋은 특성을 나타냈다. 이와 같이 자기인지 신경회로망 최적구현을 위한 얇은 산화막을 갖는 아날로그 기억소자의 선형 시냅스 트랜지스터의 특성이 우수하여 응용이 기대된다.

IV. 결 론

신경회로망 최적 구현을 위한 시냅스 트랜지스터는 LOCOS 과정과 n⁺ 실리콘 게이트로 41 Å, 86 Å 그리고 112 Å인 얇은 산화막으로 제작하고 산화막 전류밀도, 스트레스전류, 전이전류 그리고 바이어스에 의한 드레인 소오스 전류를 측정하여 응용가능성을 조사하였다.

1. 산화막 터널링 전압은 산화막 두께 41 Å, 86 Å 그리고 112 Å에서 각각 4V, 7.2V 그리고 9.2V로 측정되었다.

2. 인가 전압에 의한 스트레스 전류는 시간에 따

라 일정하게 유지하고 인가전압에 따라 비례하였으며, 과도전류는 시간에 따라 $\frac{1}{t}$ 로 감소하였다.

3. 게이트전압 스윙율이 클수록 상승신호의 시작 부분과 하강신호의 끝부분에서 드레인 소오스 전류가 감소하였다.

4. 산화막 두께가 증가할수록 드레인 소오스전류의 온전압이 증가하였고 온전압이 오프전압보다 크게 측정되었다.

5. 시냅스 트랜지스터의 가중치와 바이어스 조건에 따라 여기상태와 금지상태의 전류는 각각 산화막 두께 41 Å에서 $1.25 \times 10^{-5} \text{A} \sim 3.55 \times 10^{-3} \text{A}$, $2.18 \times 10^{-7} \text{A} \sim 1.49 \times 10^{-6} \text{A}$, 산화막 두께 86 Å에서 $1.50 \times 10^{-5} \text{A} \sim 7.64 \times 10^{-4} \text{A}$, $6.2 \times 10^{-14} \text{A} \sim 1.5 \times 10^{-11} \text{A}$, 산화막 두께 112 Å에서 $2.8 \times 10^{-8} \text{A} \sim 5.8 \times 10^{-4} \text{A}$, $1.5 \times 10^{-14} \text{A} \sim 8.4 \times 10^{-14} \text{A}$ 로 측정되었다.

이상의 결론으로부터 얇은 산화막 시냅스 트랜지스터는 특성이 우수하여 고속 고집적 신경회로망 최적구현을 위한 응용이 기대된다.

V. 참고 문헌

1. D.E. Johnson, et al., "Neural network implementation using a single MOST per synapse," IEEE Trans. on Neural Network, Vol. 6, No. 4, pp. 1008~1011, 1995.
2. A.F. Murray, et al., "Pulse stream VLSI neural networks mixing analog and digital techniques," IEEE Trans. on Neural Networks, Vol. 2, pp. 193~204, 1991.
3. B. Flower, et al., "The implementation of single and dual transistor VLSI synapses," Proc. 3rd Int. Conf. Microelectronics Neural Networks, pp. 1~10, 1993.
4. T. Ohmi, et al., "A neuron MOS network using self learning compatible synapse circuits," IEEE Journal of Solid State Circuits, Vol. 30, No. 8, pp. 913~922, 1995.
5. R.W. Newcomb, et al., "VLSI implementation of synapse weighting and summing in pulse coded neural type cells," IEEE Trans. on Neural Networks, Vol. 3 No. 3, pp. 394~403, 1992.
6. A.G. Andreou, et al., "Current mode subthreshold MOS circuits for analog VLSI neural systems," IEEE Trans. on Neural Networks, Vol. 2, No. 2, pp. 205~213, 1991.
7. A.J. Annema, "Feed forward neural networks," Kluwer Academic Publishers, Boston, 1995.
8. M. Depas, et al., "Soft breakdown of ultra thin gate oxide layers," IEEE Trans. on Electron Devices, Vol. 43, No. 9, pp. 1499~1504, 1996.
9. N.A. Dumin, et al., "Correlation of the decay of tunneling currents with trap generation inside thin oxides," IEEE Solid State Electronics, Vol. 39, No. 55, pp. 655~660, 1996.
10. D.J. Dumin, et al., "Low level leakage currents in thin silicon films," Journal of Applied Physics, Vol. 76, No. 1, pp. 319~327, 1994.
11. R.S. Scott, et al., "The superposition of transient low level leakage currents in stressed silicon oxides," IEEE Solid State Electronics, Vol. 38, No. 7, pp. 1325~1328, 1995.
12. D.J. Dumin, et al., "The charging and discharging of high voltage stress generated traps in thin silicon oxide," IEEE Trans. on Electron Devices, Vol. 43, No. 1, pp. 130~136, 1996.

시시 소개



강창수

1956년 9월 6일생. 1982년 2월 광운대학교 전자공학과 졸업. 1986년 2월 한양대학교 대학원 전자공학과 석사. 1992년 2월 광운대학교 대학원 전자재료공학과(공박). 1993년-현재 유한공업전문대학 전자과 조교수.